

Science and Technology English II

Exercise 207 “Bistability” Meiji University 2021

EX_207_21.pptx 18 Slides March 30th, 2021

<http://mikami.a.la9.jp/mdc/mdc1.htm>

Renji Mikami

Renji_Mikami(at_mark)nifty.com [mikami(at_mark)meiji.ac.jp]

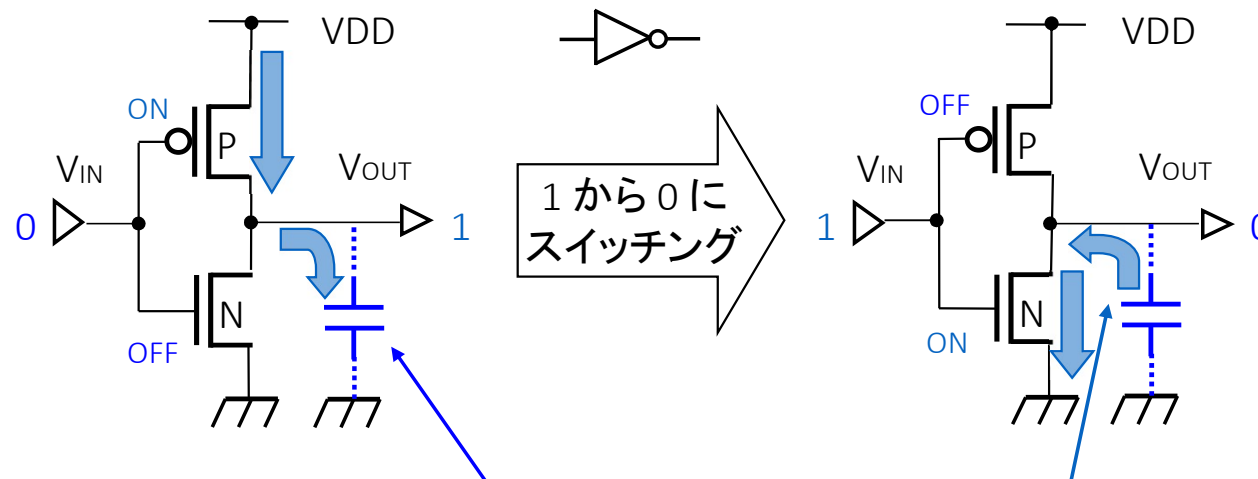
Day 206 Review : Power Consumption

- CMOS の消費電力は、リーク電流と動作電流
- CMOS の消費電力は、電圧が大きな要因 V_{DD}^2 (2乗)

$$= C_L V_{DD}^2 f_{0 \rightarrow 1} = C_L V_{DD}^2 P_{0 \rightarrow 1} f$$

- CMOS の動作電流(スイッチング電流)は、容量性負荷の充放電と貫通電流
- 90nmから変わってきた消費電力の傾向-プロセス微細化によって動作電流よりリーク電流が多くなる

スイッチング時の電力消費 容量性負荷充放電



論理レベル1が出力されるということは、このキャパシタ容量を充電することになる。
この容量は、配線の容量と次の段のゲートの負荷容量となる。実際は配線容量が大きい。

論理レベルを0にするためには、このキャパシタ容量を放電してグランドに流す(捨てる)。
これが動作時の消費電力になり、放電に要する時間が遅延になる

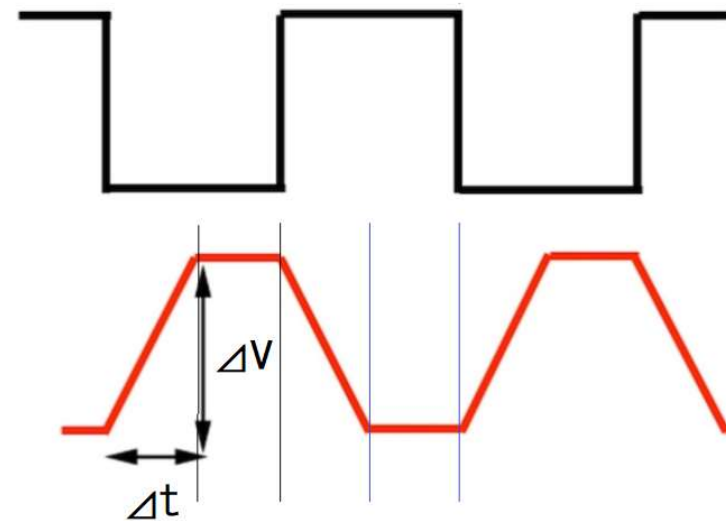
- この充放電時間が遅延となる。回路の動作遅延(トランジスタのスイッチ)時間より配線路の容量の充放電時間が遅延の主体になる

EX207 技術解説 1

- Sable とは回路の安定状態
 - モノステーブル 安定状態が一つの場合
 - Monostable の例: Hのままとか Lのまま安定
 - バイステーブル 安定状態が二つの場合
 - Bistable の例: Hあるいは Lのふたつの状態を持つ
 - メタステーブル 準安定状態
 - 一定不安定な状態になるがあとで安定状態になる(注:”あとで”が示す時間の長さは確定的ではない点に注意)
 - オシレーション(Oscillation:発振)などもある

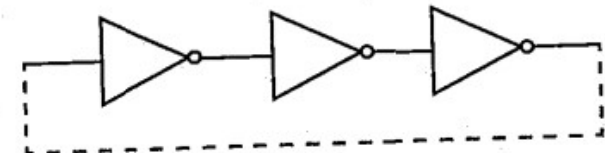
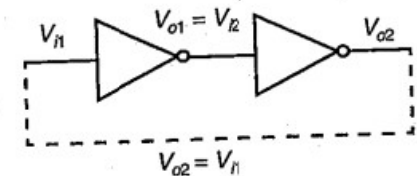
EX207 技術解説 2

- Slew Rate $\Delta v / \Delta t$ 例: 1v/msec
- 立ち上がり(下がり)の速度
- デジタル回路のHL変化には時間がかかる
(遅延=delay, 回路通過遅延を propagation delayという)
 - また変化には勾配がある。この勾配のことをスルーレートという
(スルーレートともいう)
 - VTC特性のひとつ



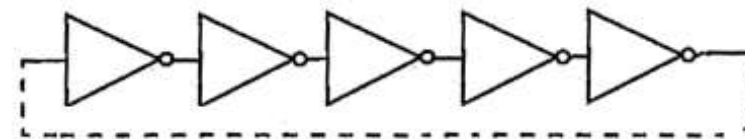
EX207 技術解説 3

- VTC (回路特性)
 - voltage transfer characteristics
 - voltage transfer curve
- 速いスリューレートの入力変化でも出力のスリューレートは回路特性により変わる。偶数個のシリーズインバータでは、論理(H/L)は変わらないはずだが、実際の動作では、メタステーブル(準安定状態)が起こりうる
- 入力1なら出力も1?
- 入力0なら出力も0?
- リング・オシレータは、奇数個のインバータの出力を入力に帰還して発振状態を作る(2年の論理回路実習で扱ったもの)
- 入力0なら出力は1
これが入力に戻ると反転?

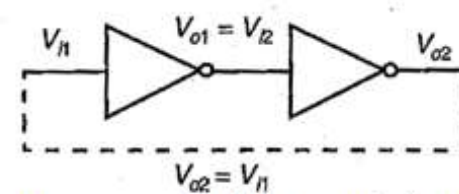


Day 207 Synchronous Logic

- 近代のVLSI設計は、すべて完全同期式回路で構成する
- Ring Oscillator (Chapter3)や Cross coupled inverter (Chapter6)は基本的に設計ルール外 (理由:配置やレイアウト次第で特性が変わり、動作保証ができない)
- 完全同期設計では、同じクロックで駆動されている回路同士は安定して接続できるが、異なるクロック系の信号同士は直接接続できない。再度同期化してから接続する。



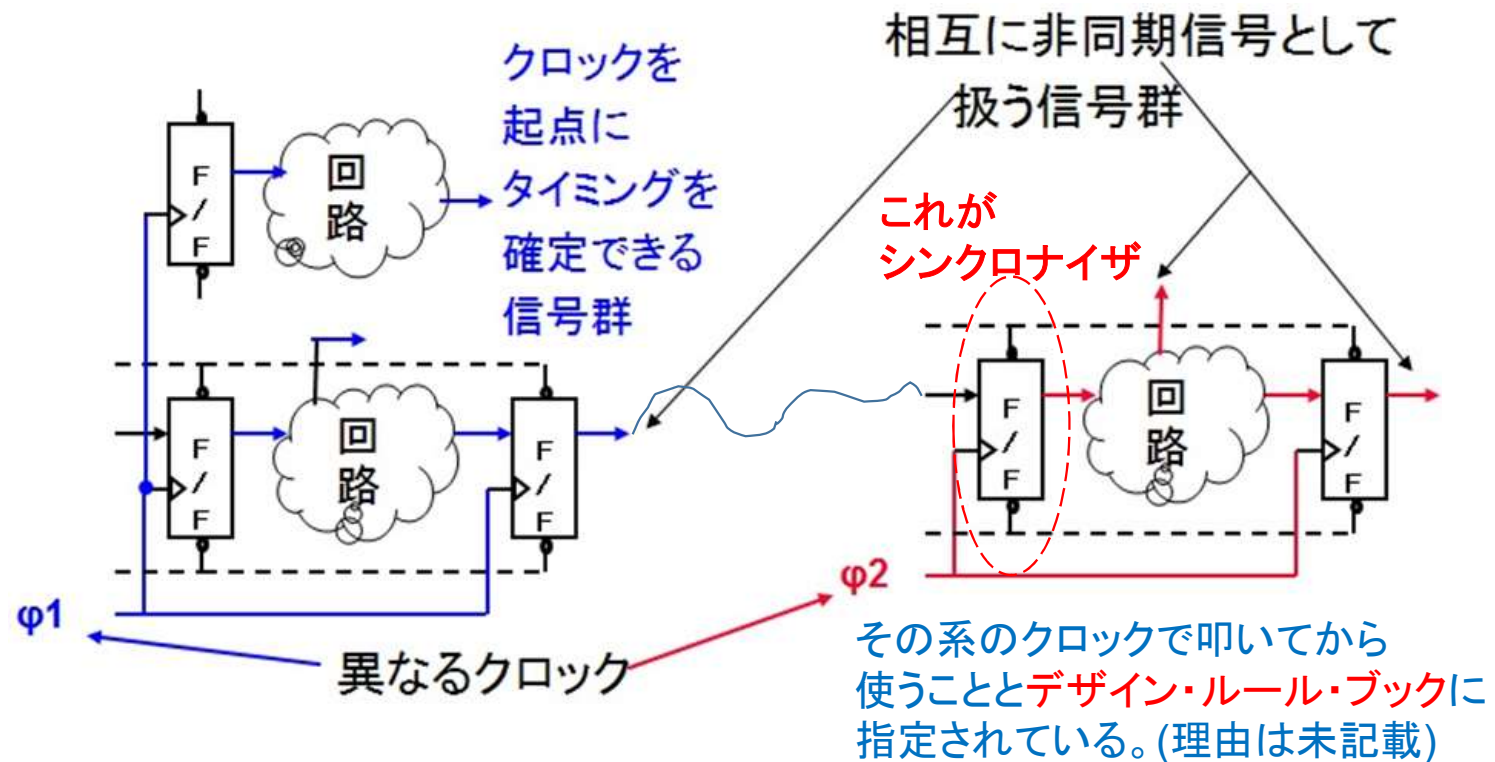
Ring Oscillator (Chapter3)



Cross coupled inverter (Chapter6)

多層クロック・システムインターフェース

- 同一クロック系の信号は、そのクロックを起点とした遅延で値が確定する。
異なるクロック形の信号は非同期の信号として扱う。



F/F の入カタイミング要件

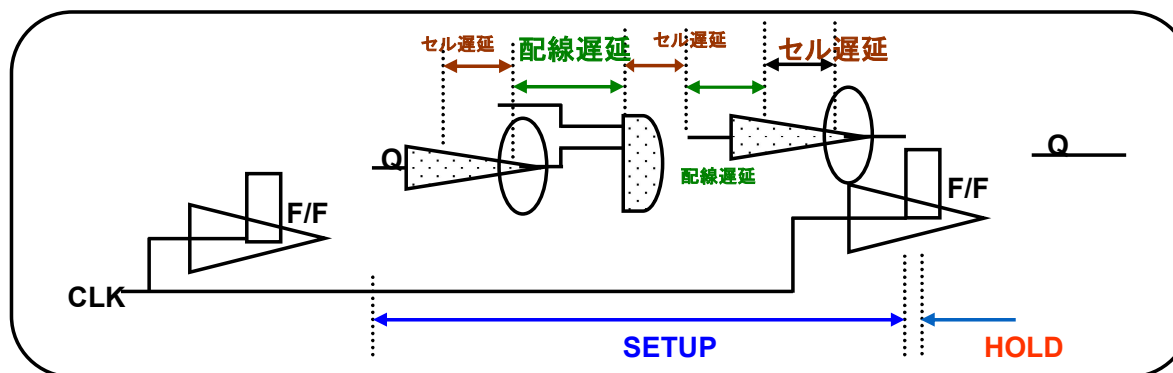
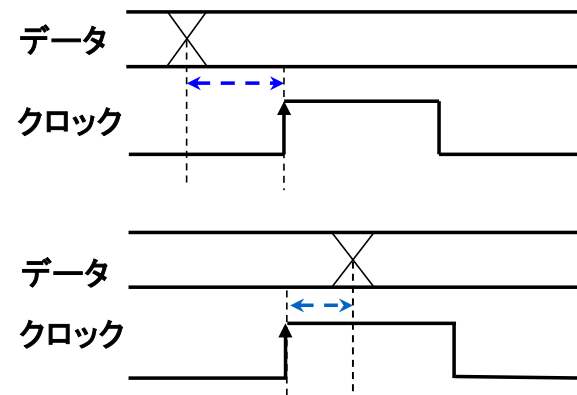
- セットアップ・タイム/ホールド・タイム：対クロック信号に対しての入カタイミング要件

- セットアップ時間 (SETUP)

クロックの立上り(または立下がり)のエッジの**前**
にデータが確定していなければならない時間

- ホールド時間 (HOLD)

クロックの立上り(または立下がり)のエッジの**後**
にデータが確定していなければならない時間

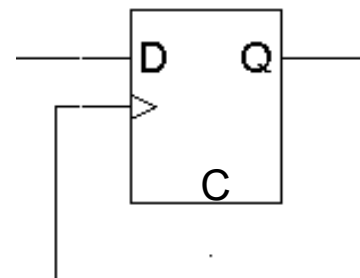


この要件を満たさない場合
F/F はメタステーブル状態に
なる可能性があります

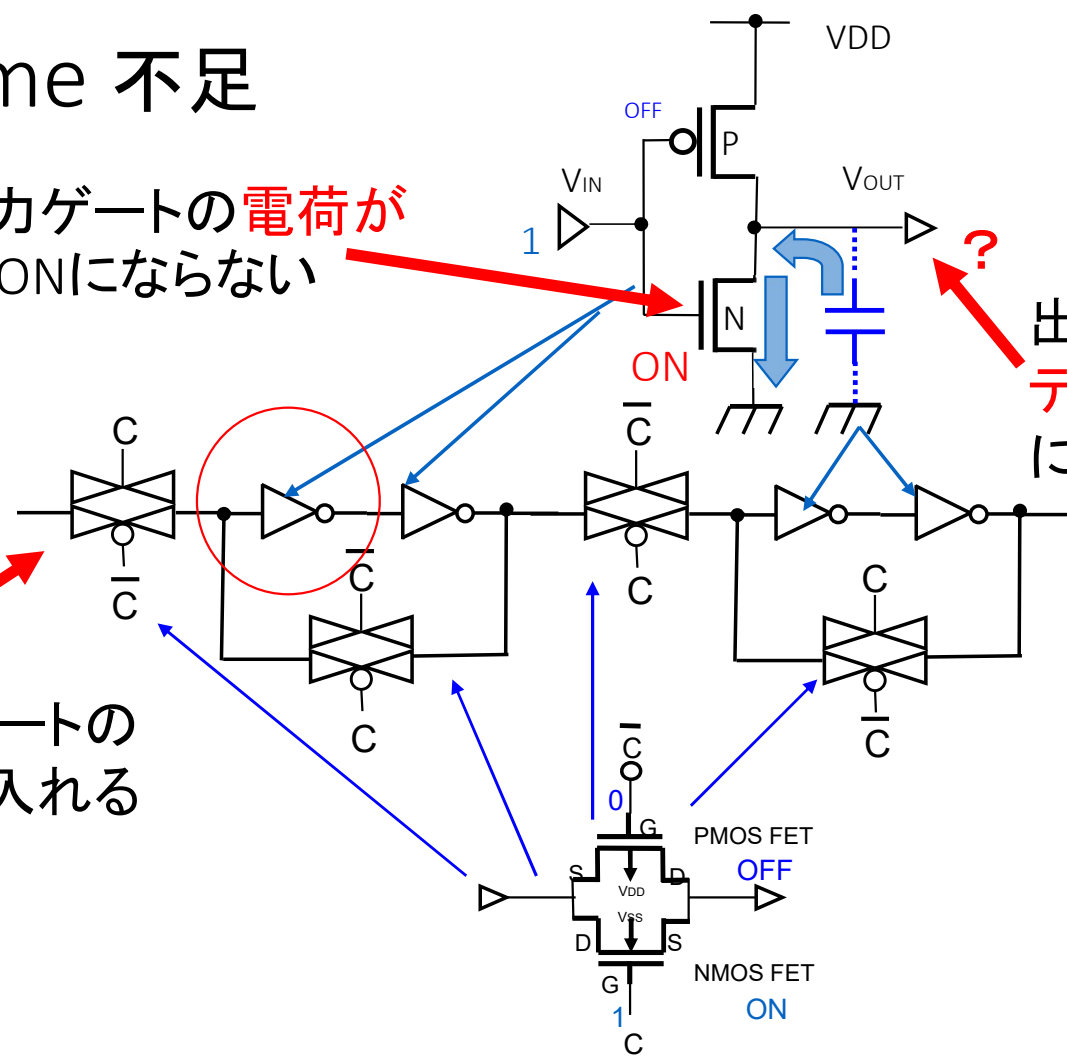
Set Up / Hold time 不足

インバータの入カゲートの電荷が不足して完全にONにならない

出力がメタステーブル状態になる

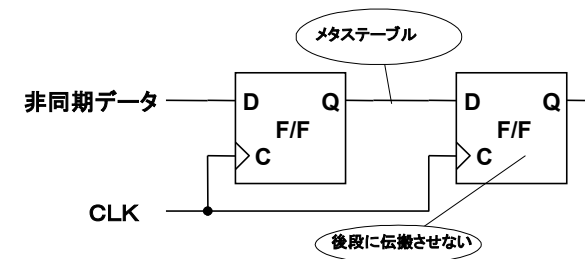


トランスミッションゲートの開閉で信号入力を入れる



Metastable

- ラッチやフリップフロップの入力信号においてセットアップ時間やホールド時間が守られなかった場合に出力信号が不安定な状態になることをいう。
- 発生は確率的なもので、収束に要する時間と収束後の値を確定することはできない。LSIではラッチやF/F遅延値の数倍後に値が確定する。(収束時間の長いものは発生確率が低く、収束時間の短いものは発生確率が高くなる。)
- 同期系に対して、非同期入力が行われたときには必ずこのリスクが発生する。同期式システム設計の唯一の管理不能な現象である。
- この問題が厄介なのはシミュレーションやDRCなどで検証できないこと、確率的に発生し再現が困難であること。収束に要する時間が確定できないことである。(地震のように発生を想定できるが、その時期と規模-LSIの場合は遅延-を予測することが困難) 発生しにくい回路構成にして、発生時の対策を回路化する。サインオフ後の完成ESにこの問題があると、機能不良との切り分けが難しくなる。



Exercise: EX_207 文意理解

- 本文の以下のページを速読(何度繰り返してもよい)し、指定したキーワードについて(自分の言葉で)和文または英文で解説せよ。(和文翻訳サイトを使ってもよいが、その前に必ず英文を通読すること。)図版や正確なギリシャ文字,数式は配布資料原本を参照のこと。
- EX_207-1 : P333 Line 26 STE-102-601 ~ P334 STE-102-603
 - 原本で言及している “*metastable*” とは何か、どのようにして発生するか、原本で取り上げている回路の動作を考察すること
 - 英文原本から”英文のまま”回路動作を読み解けるようになればよい、
 - 英文を逐次日本語訳をして、訳した日本語から内容(回路動作)を日本語で理解するというプロセスを行わないようにするのがポイント。
- 提出はClass Web “レポート” にて木曜まで
- 毎回のレポートは、最低A4 1ページ以上は書いてください。余白には、今回の授業の内容、資料についての感想や要望を記入してください。

EX_207-1(1) : 6.2.1 Bistability P333 Line 26~ STE-102-601

- Two inverters connected in cascade are shown in Figure 6. 1a, along with a voltage-transfer characteristic typical of such a circuit. Shown plotted are the VTCs of the first inverter, that is, V_{o1} versus V_{i1} , and the second inverter (V_{o2} versus V_{o1}). The latter plot is rotated to accentuate that $V_{i2} = V_{o1}$. Assume now that the output of the second inverter V_{o2} is connected to the input of the first V_{i1} , as shown by the dotted lines in Figure 6.1a. The resulting circuit has only three possible operation points (A, B, and C), as demonstrated on the combined VTC. The following important conjecture is easily proven to be valid:
- Under the condition that the gain of the inverter in the transient region is larger than 1, only A and B are stable operation points, and C is a metastable operation point.

Figure 6.1 (a), (b), Figure 6.2 (a), (b)

334

DESIGNING SEQUENTIAL LOGIC CIRCUITS

STE-102-602

Chapter 6

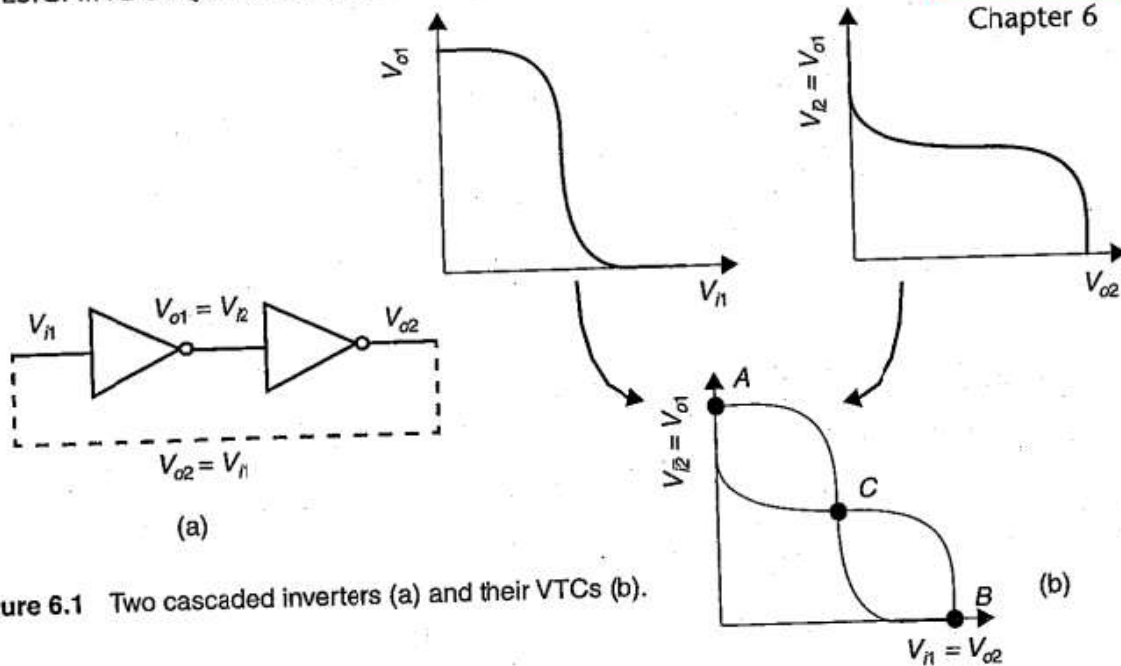


Figure 6.1 Two cascaded inverters (a) and their VTCs (b).

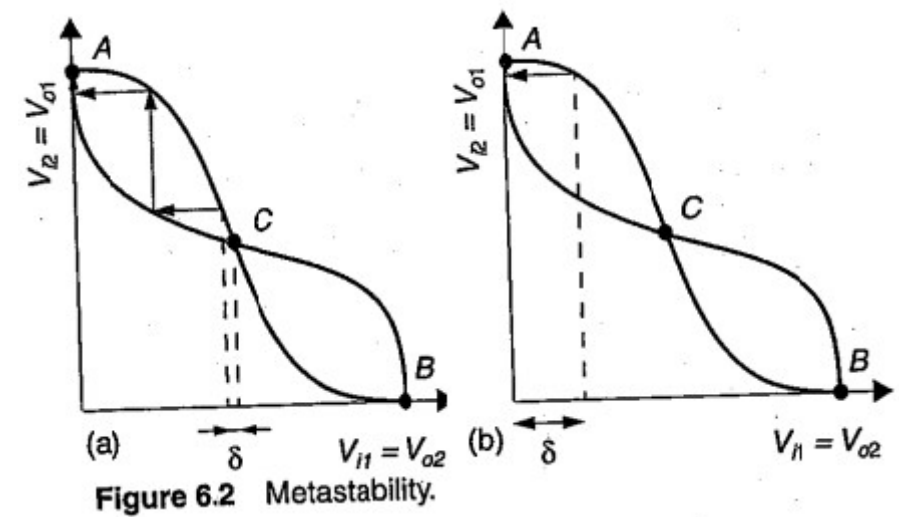


Figure 6.2 Metastability.

EX_207-1(2) : P333 STE-102-601 Line 37~ P334 STE-102-602

- This condition holds for every inverter we have discussed in previous chapters. Suppose that the cross-coupled inverter pair is biased at point C. A small deviation from this biaspoint, possibly caused by noise, is amplified and regenerated around the circuit loop. This is a consequence of the gain around the loop being larger than 1. The effect is demonstrated in Figure 6.2a. A small deviation is applied to V_{i1} (biased in C). This deviation is amplified by the gain of the inverter. The enlarged divergence is applied to the second inverter and amplified once more. The bias point moves away from C until one of the operation points A or B is reached. In conclusion, C is an unstable operation point. Every deviation (even the smallest one) causes the operation point to run away from its original bias. The chance is indeed very small that the cross-coupled inverter pair is biased at C and stays there. Operation points with this property are termed metastable.

EX_207-1(3) : P335 STE-102-603 ~Line 6

- On the other hand, A and B are stable operation points, as demonstrated in Figure 6.2b. In these points, the loop gain is much smaller than unity. Even a rather large deviation from the operation point is reduced in size and disappears.
- Hence the cross-coupling of two inverters results in a bistable circuit, that is, a circuit with two stable states, each corresponding to a logic state. The circuit serves as a memory, storing either a 1 or a 0 (corresponding to positions A and B).

EX_207-1(4) : P335 STE-102-603 Line 7 ~ 20

- In order to change the stored value, we must be able to bring the circuit from state A to B and vice-versa. Since the precondition for stability is that the loop gain G is smaller than unity, we can achieve this by making A (or B) temporarily unstable by increasing G to a value larger than 1. This is generally done by applying a trigger pulse at V_{i1} or V_{i2} . For instance, assume that the system is in position A ($V_{i1} = 0$, $V_{i2} = 1$). Forcing V_{i1} to 1 causes both inverters to be on simultaneously for a short time and the loop gain G to be larger than 1. The positive feedback regenerates the effect of the trigger pulse, and the circuit moves to the other state (B in this case). The width of the trigger pulse need be only a little larger than the total propagation delay around the circuit loop, which is twice the average propagation delay of the inverters,
- In summary, a bistable circuit has two stable states. In absence of any triggering, the circuit remains in a single state (assuming that the power supply remains applied to the circuit), and hence remembers a value. A trigger pulse must be applied to change the state of the circuit. Another common name for a bistable circuit is flip-flop.

Memo

フォローアップURL (Revised)

<http://mikami.a.la9.jp/meiji/MEIJI.htm>

担当講師

三上廉司(みかみれんじ)

Renji_Mikami(at_mark)nifty.com

mikami(at_mark)meiji.ac.jp (Alternative)

http://mikami.a.la9.jp/_edu.htm

