

Science and Technology English II

Exercise 206 “CMOS4” Meiji University 2021

EX_206_21.pptx 27 Slides October 24th, 2021

<http://mikami.a.la9.jp/mdc/mdc1.htm>

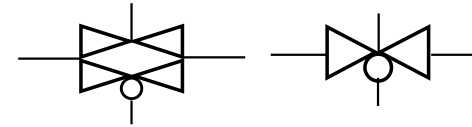
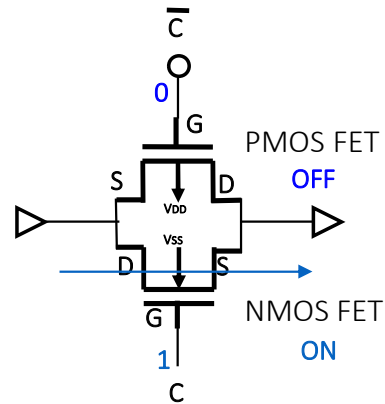
Renji Mikami

Renji_Mikami(at_mark)nifty.com [mikami(at_mark)meiji.ac.jp]

Day 205 Review : Transmission Gate

- CMOS / FET
- CMOS回路(P/Nチャネル半導体を相補接続)
- MOS FET
- CMOS Inverter 回路とPUP / PDN
- CMOS インバータ回路
- インバータ回路とNAND/NOR化
- CMOS 多入力ゲート

Day 205 Review : Transmission Gate



記号

PMOS FET と NMOS FET を接続したトランスファ- (伝達) ゲート

双方向で動作するアナログ・スイッチ
オン抵抗は高い

回路の開閉に使用される

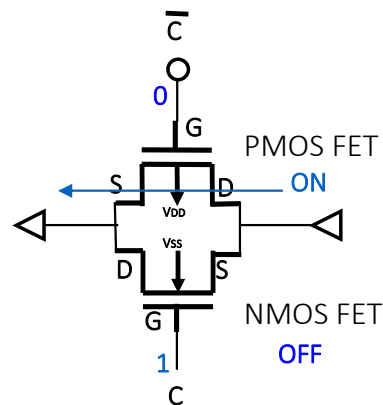
FPGA の配線部や F/F に使われる

P212 STE-102-407

Figure 4.22

P213 STE-102-408

Transmission Gate
の解説



Transmission Gate XOR

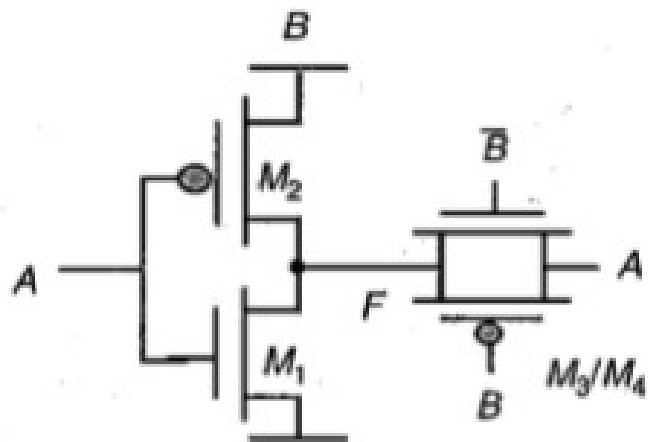
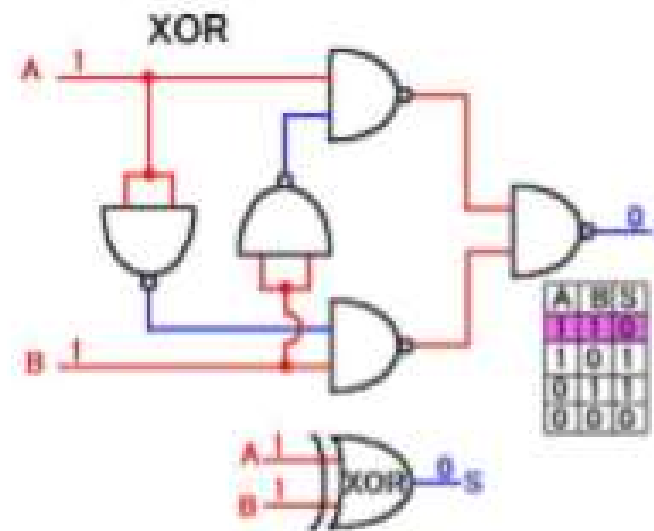


Figure 4.23 Transmission gate XOR.

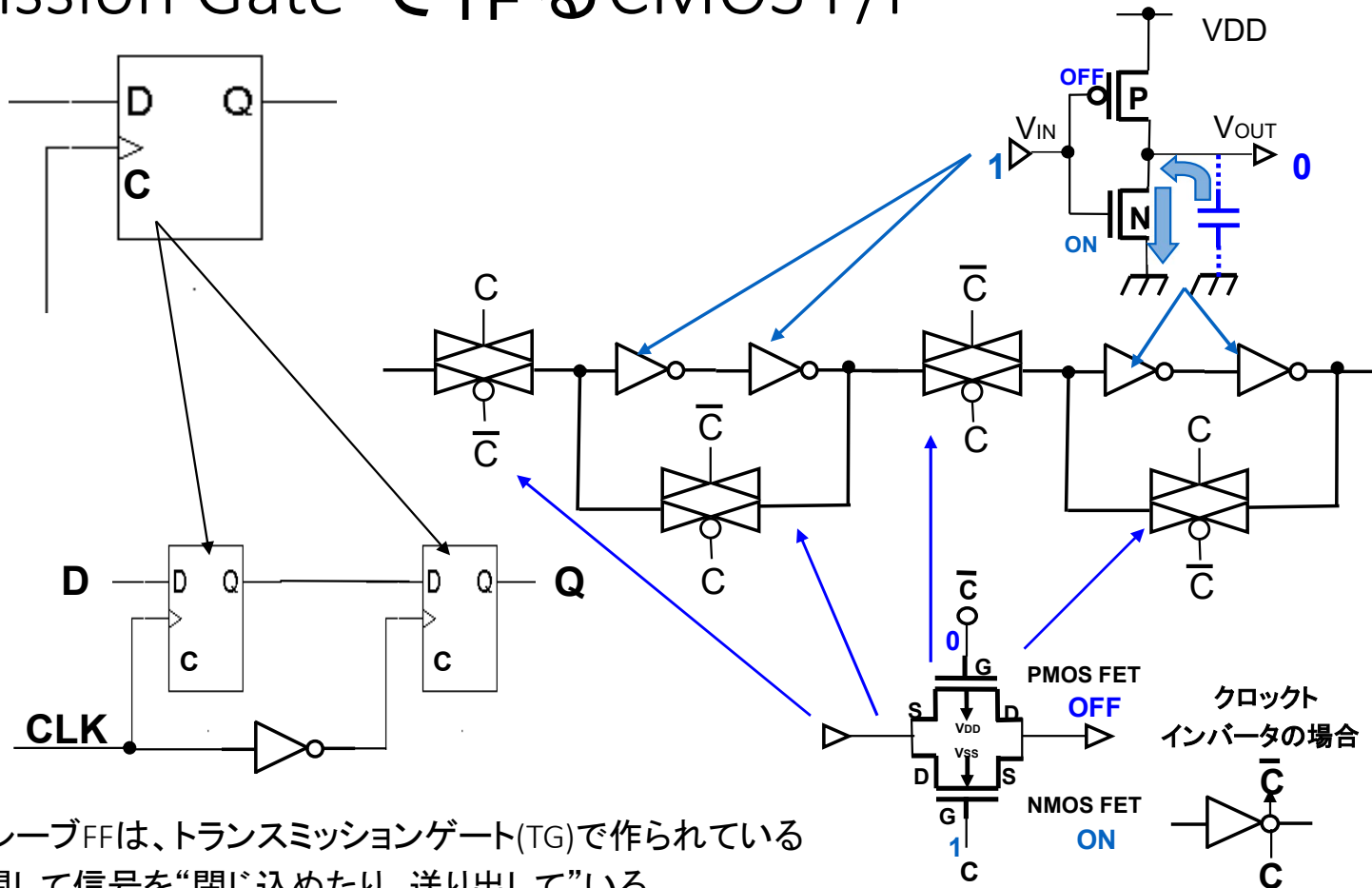


P213 STE-102-408

Figure 4.23

Transmission Gate
XORの解説

Transmission Gate で作るCMOS F/F



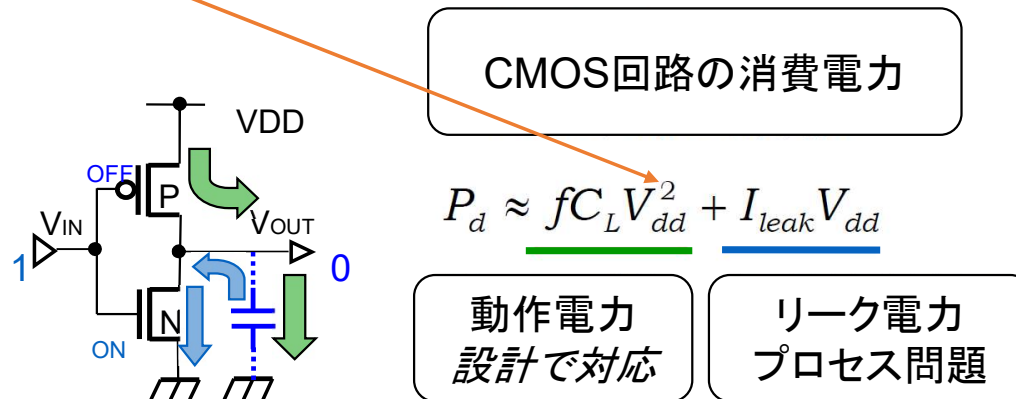
CMOS マスタースレーブFFは、トランスミッションゲート(TG)で作られている
 TG は、交互に開閉して信号を“閉じ込めたり、送り出して”いる

EX_206 CMOS 消費電力

- 電力はどこでどのように消費されるのか
- 消費電力 = リーク電流 + 動作時消費電力P
- $P = iE$ CMOSでは電圧は一定, 電流が流れるのはスイッチング時
- では電流はどのようにして消費され熱に変わるのか
- 90nmから変わってきた消費電力の傾向
- プロセス微細化によって動作電流よりリーク電流が多くなる
- クロックラインの電力評価とスイッチング電力評価
- プロセス依存(リーク電流)の問題は, 電源電圧を下げ, 必要以上の(リークの大きい)微細プロセスを使わないようにする
- 0.18u 迄のリーク電流の少ないプロセスを使用する

消費電力の二つの要因

- Vdd の項が二乗になっていることに注意

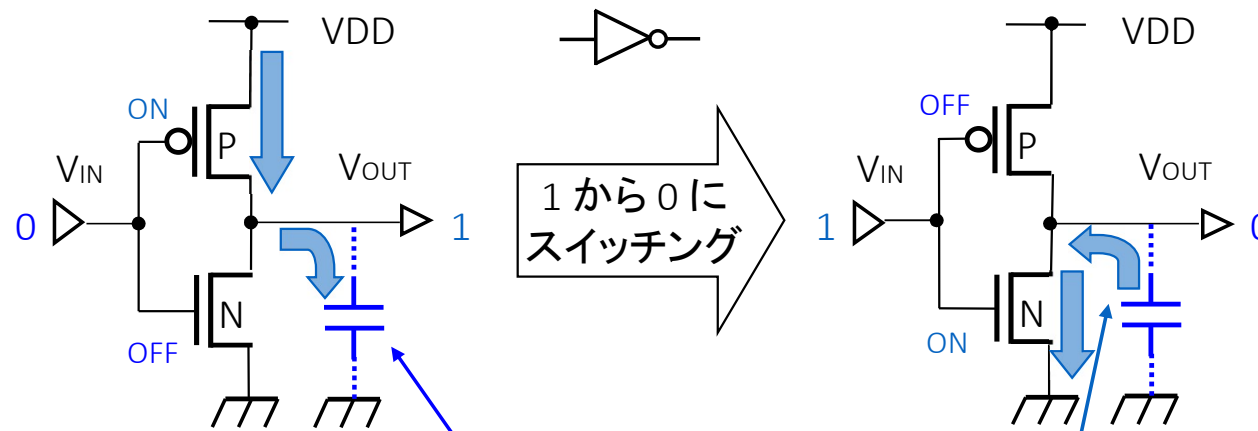


1. 電源電圧を下げる
2. 少リークのプロセスを使う
3. スイッチング動作を減らす
4. 動作周波数を下げる

クロック・ラインの電力評価

スイッチング電力評価

スイッチング時の電力消費 1 容量性負荷充放電

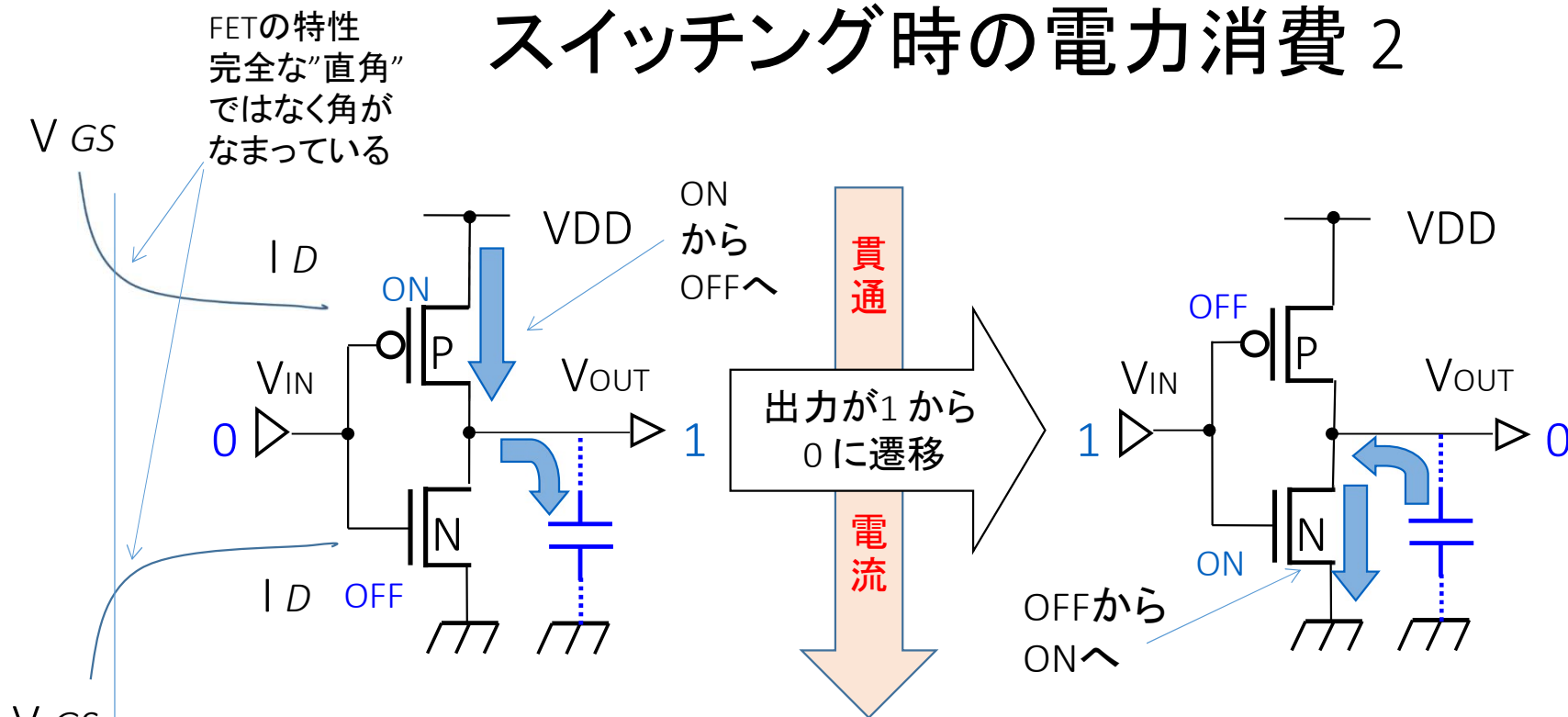


論理レベル1が出力されるということは、このキャパシタ容量を充電することになる。
この容量は、配線の容量と次の段のゲートの負荷容量となる。実際は配線容量が大きい。

論理レベルを0にするためには、このキャパシタ容量を放電してグランドに流す(捨てる)。
これが動作時の消費電力になり、放電に要する時間が遅延になる

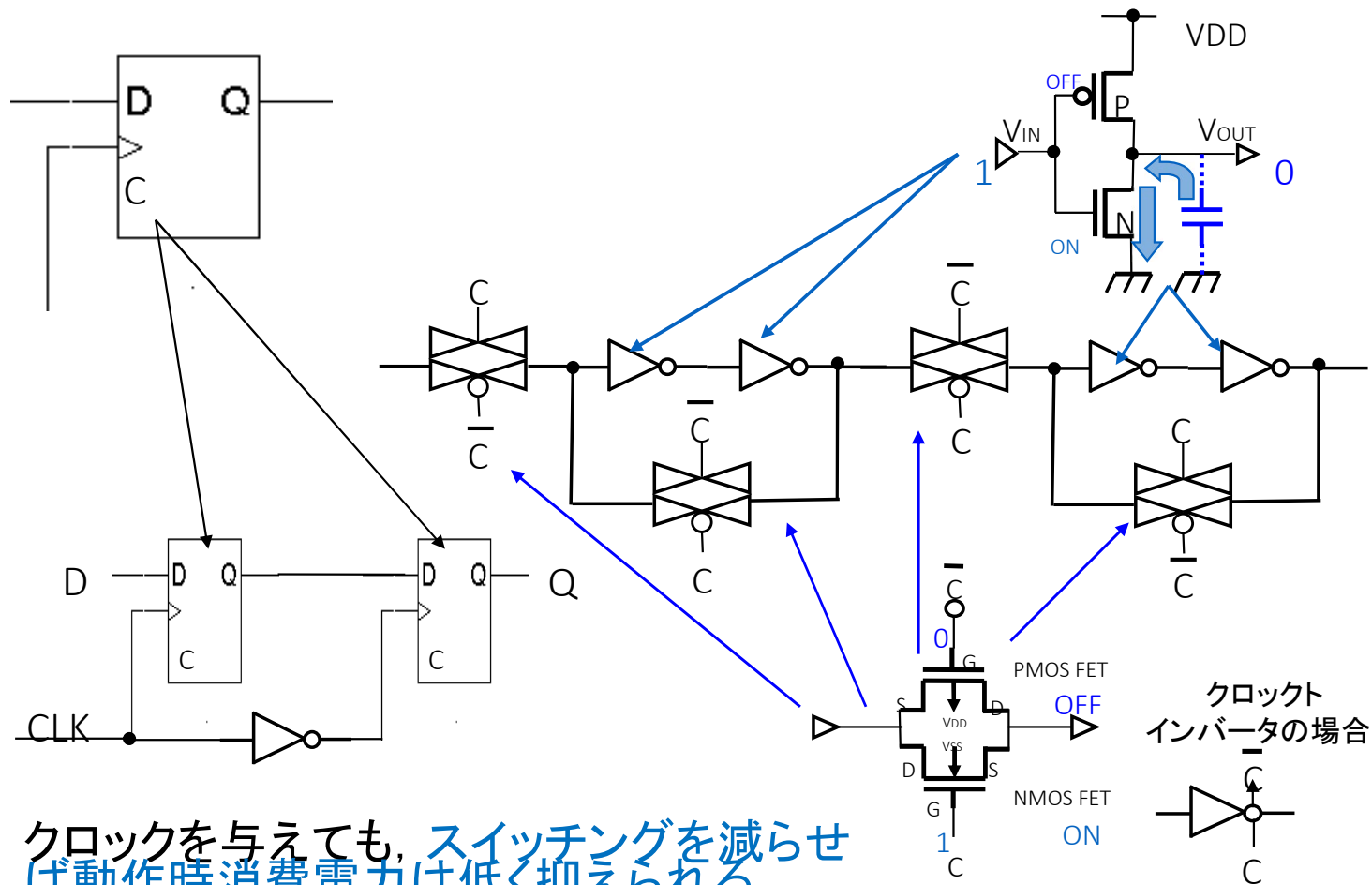
- この充放電時間が遅延となる。回路の動作遅延(トランジスタのスイッチ)時間より配線路の容量の充放電時間が遅延の主体になる

スイッチング時の電力消費 2



理想動作では、上下のFETは片側はOFFだが、
実際は、双方がONとなり**過渡的に電流が流れる**

Transmission Gate - CMOS のF/F 構成

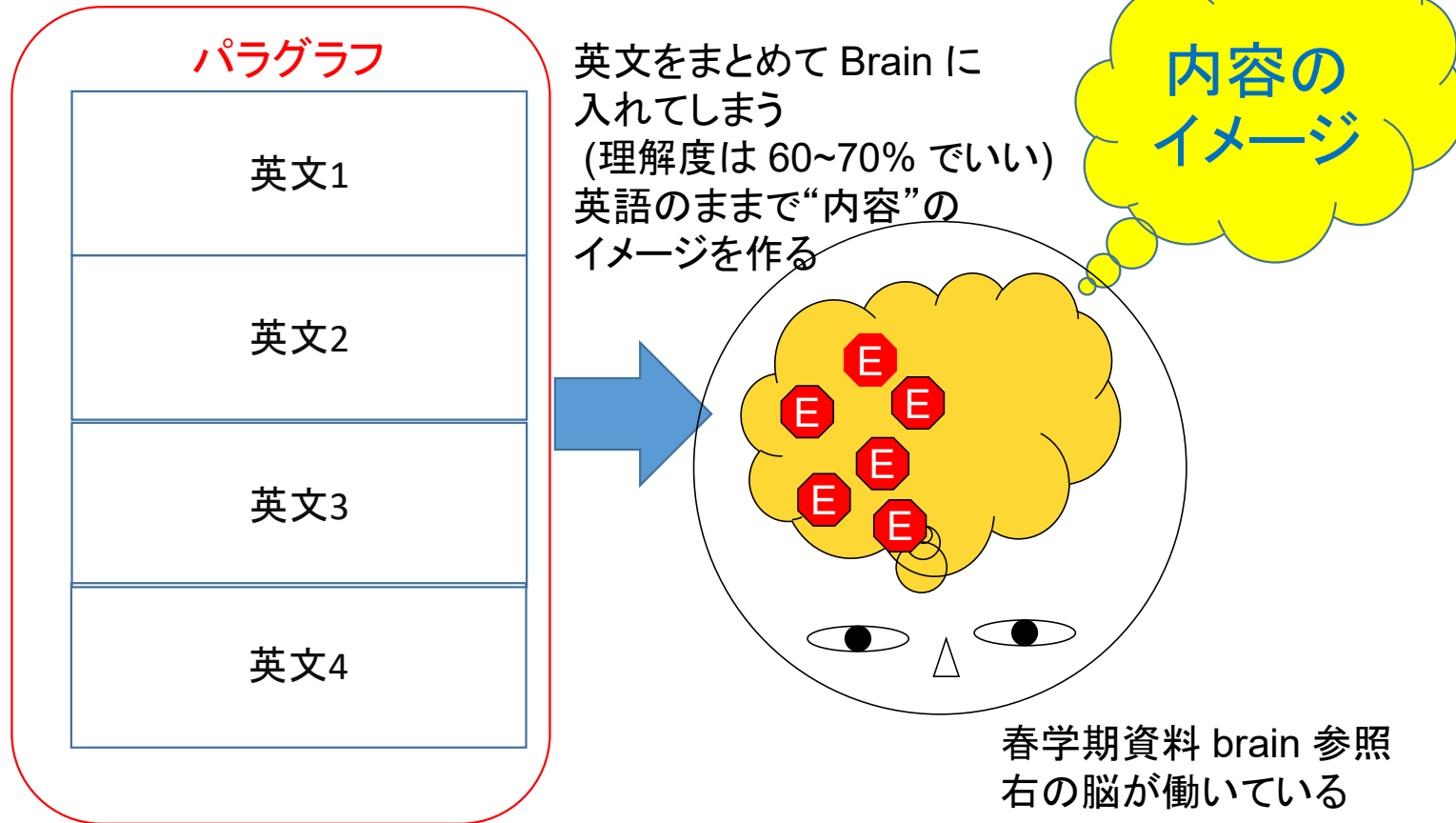


- クロックを与えても、スイッチングを減らせば動作時消費電力は低く抑えられる。

授業HP EX_206 英語解説

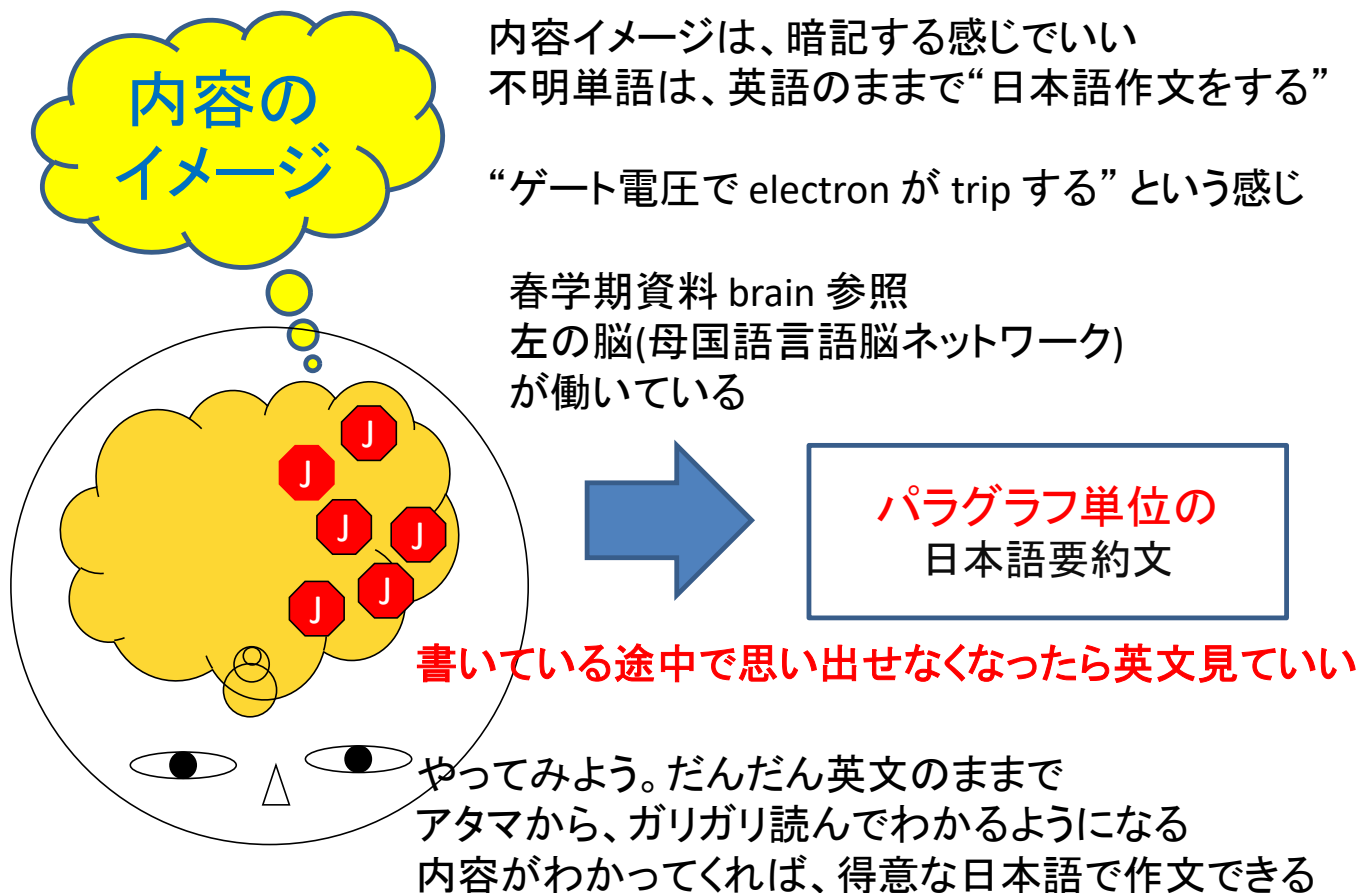
- http://mikami.a.la9.jp/meiji/ste/EX_206.pdf
- Day 206板書 の 英文の読み方(逐次和訳からイメージ理解からの日本語作文は理解OKですか)。
 - EX206 では(ワンパラグラフ単位で)速く読むことを意識してみてください
 - 何度か繰り返し読んでみてください
 - 途中で(不明単語があっても)止まらずに読み切る
 - 書き出し途中で忘れたところは、英文を再度見てもいいです
 - 意識の場合パラグラフに自分なりにタイトルをつけてみると内容の理解が深まります
- レポートはたくさん書いてください

パラグラフ単位でのイメージ理解をやってみよう



Day206追加:パラグラフ単位で自分なりにタイトルをつけてみよう

パラグラフ内容を整理して書き出す



EX_206-1 最初のパラグラフ

- Until recently, power consumption was only an **afterthought** in the design process of CMOS circuits. As the density and size of chips and systems continues to increase, the difficulty of providing adequate cooling either adds significant cost to the system or limits the amount of functionality that can be provided on a single die. Techniques to reduce the power consumption of a design are therefore receiving more attention.
- The popularity of portable applications that prefer low power consumption to prolong the battery lifetime, has added intensity to this quest. Examples of the latter can be found in the worlds of audio, video, and laptop computing.
 - 頭からガリガリと読み進んでみる
 - 不明単語でとまらない(下線ひくなどする)
 - **不明単語の意味を類推**する – **afterthought** など
 - なるべく速くよむ、何度か繰り返し読む
 - **内容イメージを概要として書き出してみる**
 - このパラグラフに**タイトル**をつけてみる
 - 書いている途中で思い出せなくなったら元の英文見てよい

EX_206-1 2番目のパラグラフ

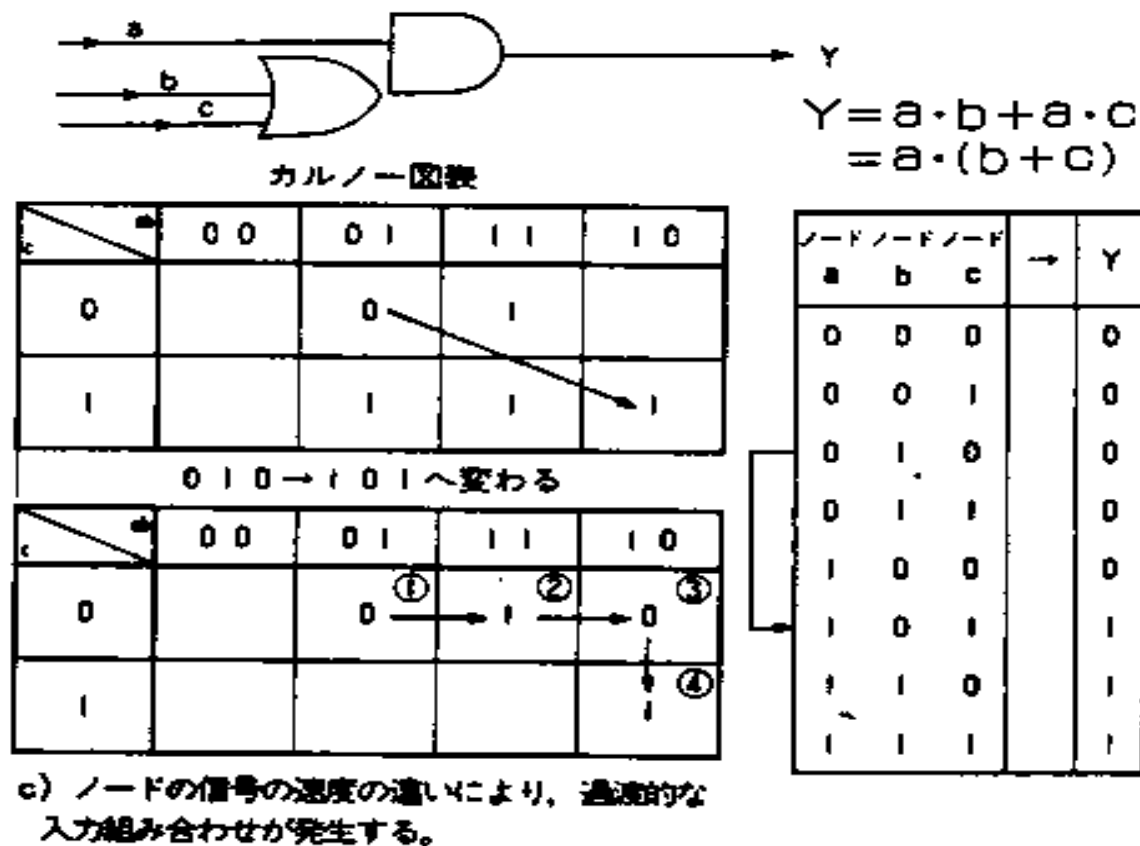
- In Chapter 3, we discussed the sources of power consumption in the complementary CMOS inverter. These considerations generally remain valid for more complex gates, although some extra considerations have to **be taken into account**. (筆者の好きな言い回し)
- This is the topic of this section. **Most important**, we will introduce the concept of switching activity. This concept, which is essential to determine the **dynamic** power consumption of a CMOS design, will be applied to both **static** and **dynamic** gates. Other sources of power consumption, such as **glitching** and **direct-path** current, are discussed as well. Finally, a number of techniques to reduce power consumption are introduced.
 - **Most important** という文に着目この後にキーになる内容がある。
 - dynamic : 動作している-スイッチングしている、反対語は static (止まっている- 0か1のまま)
 - glitch (スパイクという人もいる)は ダイナミック/スタティック ハザード
 - direct-path current は貫通電流(EX_206の図で解説)

StaticとDynamic

- デジタル回路でよく使われる概念
 - イメージでとらえたほうがよい
 - 次のスライドで例示
- Static
 - 安定した、固定した、収束した、仕様で定めた状態
- Dynamic
 - Staticでない状態、Staticに至る過渡的な動作、状態

7.2.2 ダイナミック・ハザード1

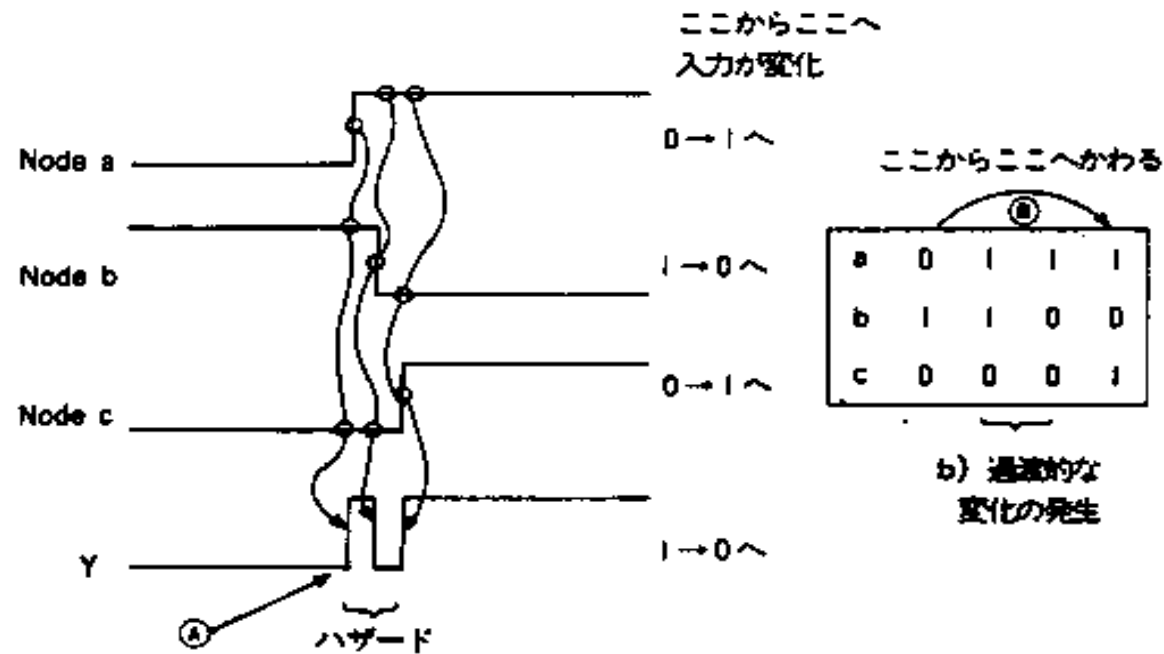
glitch



引用:三上廉司著
ASIC時代の論理設計

7.2.3 ダイナミック・ハザード2

glitch



a) Node a, b, cの信号の速度 (遅延) によって発生するダイナミック・ハザード。

引用:三上廉司著
ASIC時代の論理設計

glitch

7.2.5 スタティック 1 ハザード

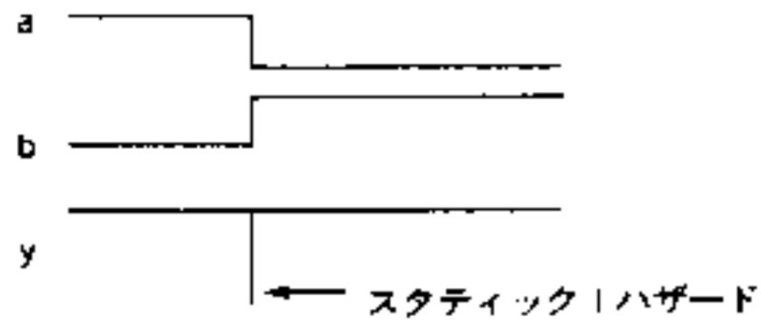
ハザードは同時に二つ以上の入力に変化する場合に発生 2 入力 OR について考えると

ハザードなし

a \ b	0	1
0	0	1
1	1	1

ハザードあり

a \ b	0	1
0	0	1
1	1	1

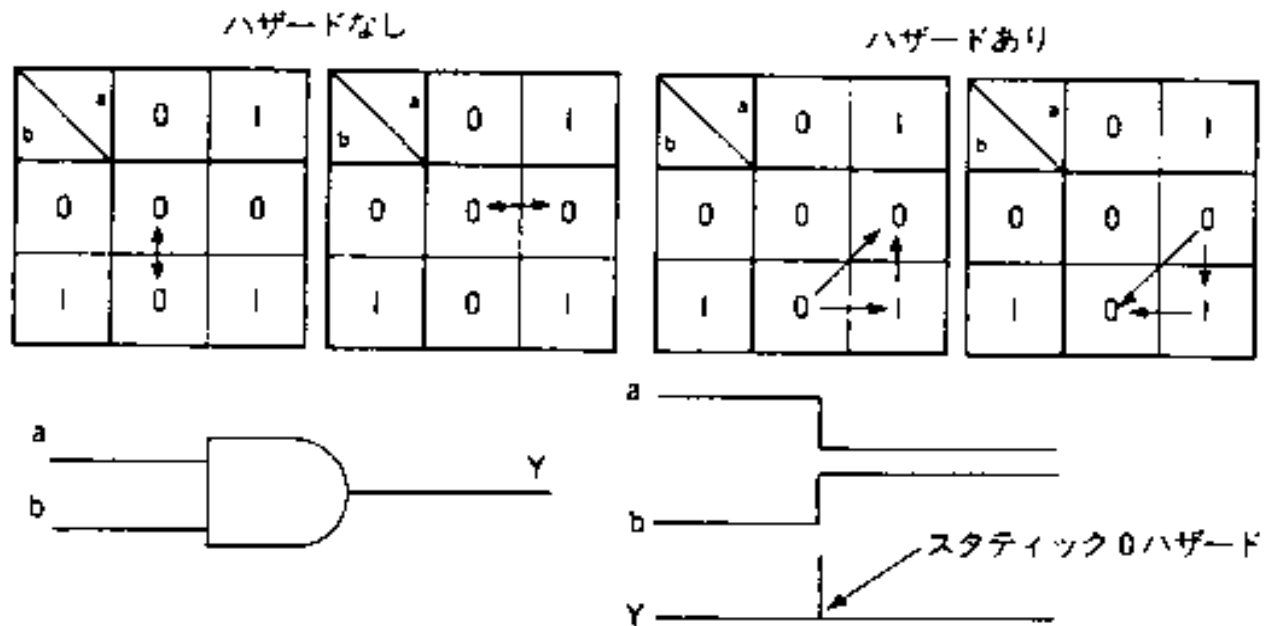


引用:三上廉司著
ASIC時代の論理設計

glitch

7.2.7 スタティック0ハザード

ハザードは、同時に二つ以上の入力に変化する場合に発生 2入力 AND で考えると



引用:三上廉司著
ASIC時代の論理設計

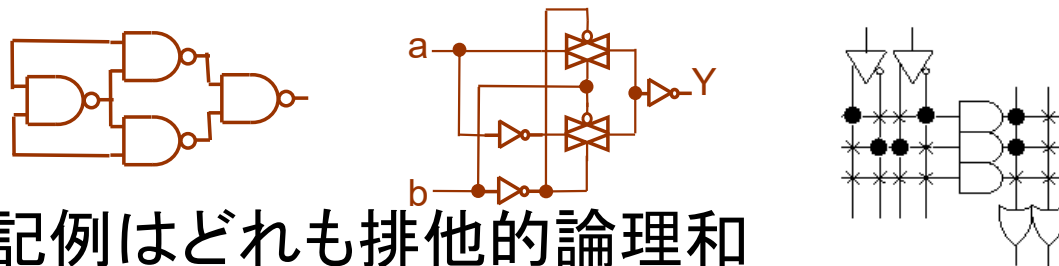
EX206-2/3 の技術用語

- Power in CMOS circuits is mainly consumed during the switching of the gates. The static power dissipation of most gate **topologies** (besides pseudo-NMOS) is limited to leakage. In Chapter 3, we derived an expression for the dynamic power consumption of an inverter:

- topology – 反対語は behavior (動作の表現)

Behaviorの例: $Y = a \text{ xor } b$; (VHDL) $Y = \sim ab + a\sim b$

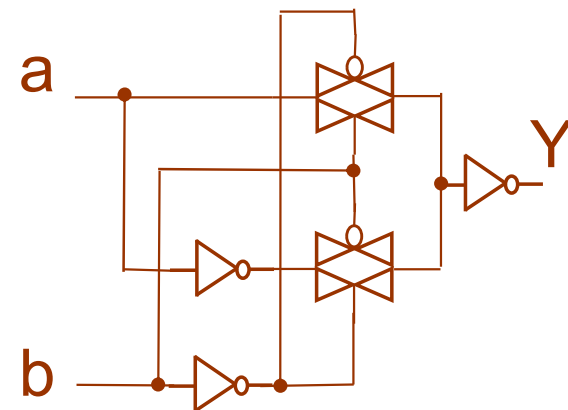
- topology は物理的な接続関係を意味する



- 上記例はどれも排他的論理和

Topology概念の構成要素

- Input/Output (入出力)
 - Input a, b
 - Output Y
- Instance (個々の物理パーツ)
 - Inverter 1, 2, 3
 - Transmission Gate 1,2
- Network (配線)
 - Instance 間を接続する配線



Exercise: EX_206 文意要約

- 本文の以下のページを速読し、文意を要約して日本語でまとめる。
- 和文翻訳サイトを使ってもよいが、その前に必ず英文を通読すること。
- 図版や正確なギリシャ文字,数式は配布資料原本を参照のこと。
- EX_206-1 : P234 Line 5~21 STE-102-409
 - 4.4 Power Consumption in CMOS Gates
- EX_206-2 : P234 Line 15~ 22 P235 Line 6 STE-102-410
 - 4.4.1 Switching Activity of a Logic Gate
- EX_206-3 : P235 Line 7~19 STE-102-410
 - Computing the dissipation of a complex gate ~
- 提出はClass Web “レポート” にて木曜まで
- 毎回のレポートは、最低A4 1ページ以上は書いてください。余白には、今回の授業の内容、資料についての感想や要望を記入してください。

EX_206-1 : 4.4 Power Consumption in CMOS Gates Line 5~ 21 STE-102-409

- Until recently, power consumption was only an afterthought in the design process of CMOS circuits. As the density and size of chips and systems continues to increase, the difficulty of providing adequate cooling either adds significant cost to the system or limits the amount of functionality that can be provided on a single die. Techniques to reduce the power consumption of a design are therefore receiving more attention. The popularity of portable applications that prefer low power consumption to prolong the battery lifetime, has added intensity to this quest. Examples of the latter can be found in the worlds of audio, video, and laptop computing.
- In Chapter 3, we discussed the sources of power consumption in the complementary CMOS inverter. These considerations generally remain valid for more complex gates, although some extra considerations have to be taken into account. This is the topic of this section. Most important, we will introduce the concept of switching activity. This concept, which is essential to determine the dynamic power consumption of a CMOS design, will be applied to both static and dynamic gates. Other sources of power consumption, such as glitching and direct-path current, are discussed as well. Finally, a number of techniques to reduce power consumption are introduced.

EX_206-2 : P234 Line 15~ 22 P235 Line 6 STE-102-410

- 4.4.1 Switching Activity of a Logic Gate
- Power in CMOS circuits is mainly consumed during the switching of the gates. The static power dissipation of most gate topologies (besides pseudo-NMOS) is limited to leakage. In Chapter 3, we derived an expression for the dynamic power consumption of an inverter:
- $P_{dyn} = CL (VDD)^2 f_{0 \rightarrow 1}$
- with $f_{0 \rightarrow 1}$ the frequency of energy-consuming transitions (or 0→1 transitions for static CMOS). It is easily realized that this expression also holds for more complex gates as the nature of the energy consumption remains identical: charging and discharging capacitors.
- Minimizing power consumption then boils down to reducing one or a number of factors of Eq. (4.27). The VDD factor is, obviously, the most influential due to quadratic dependence.

EX_206-3 : P235 Line 7~19 STE-102-410

- Computing the dissipation of a complex gate is complicated by the factor, also called the switching activity. While this factor is easily computed for an inverter, it turns out to be far more complex in the case of higher-order gates and circuits. One concern is that the switching activity of a network is a function of the nature and the statistics of the input signals: If the input signals remain unchanged, no switching happens, and the dynamic power consumption is zero! On the other hand, rapidly changing signals provoke plenty of switching and hence dissipation. Other factors influencing the activity are the circuit style (e.g., dynamic versus static), the function to be implemented, and the overall network topology. These factors can be incorporated by introducing a slight modification in Eq. (4.27): $P_{dyn} = C_L V_{DD}^2 f_{0 \rightarrow 1} = C_L V_{DD}^2 P_{0 \rightarrow 1} f$
- with f the average event rate of the inputs and $P_{0 \rightarrow 1}$ the probability that an input transition results in a 0 \rightarrow 1 (or power-consuming) event.

Memo

フォローアップURL (Revised)

<http://mikami.a.la9.jp/meiji/MEIJI.htm>

担当講師

三上廉司(みかみれんじ)

Renji_Mikami(at_mark)nifty.com

mikami(at_mark)meiji.ac.jp (Alternative)

http://mikami.a.la9.jp/_edu.htm

