

# Science and Technology English II

## Exercise 205 “CMOS3” Meiji University 2021

EX\_205\_21.pptx 21 Slides March 30<sup>th</sup>, 2021

---

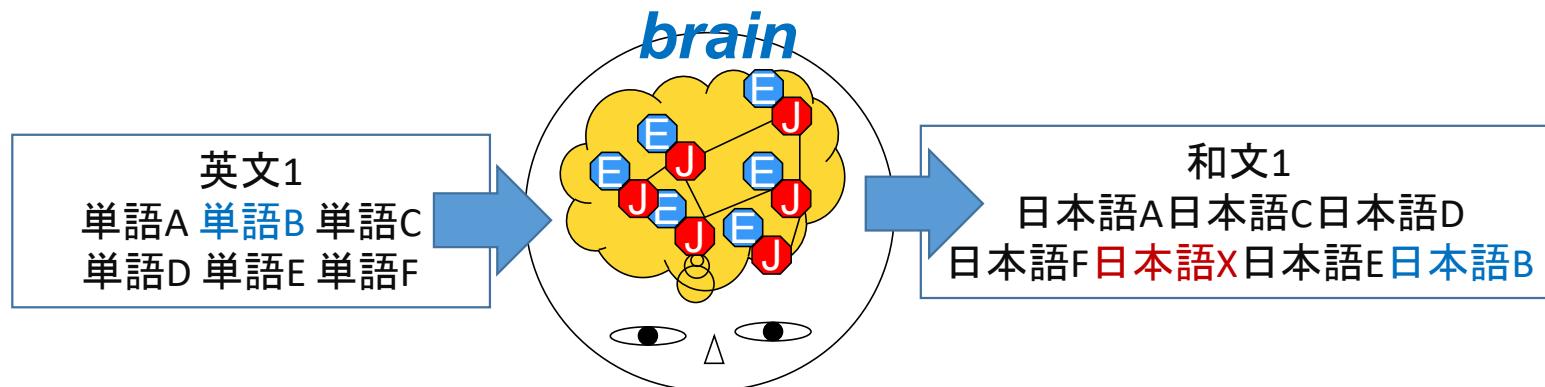
<http://mikami.a.la9.jp/mdc/mdc1.htm>

Renji Mikami

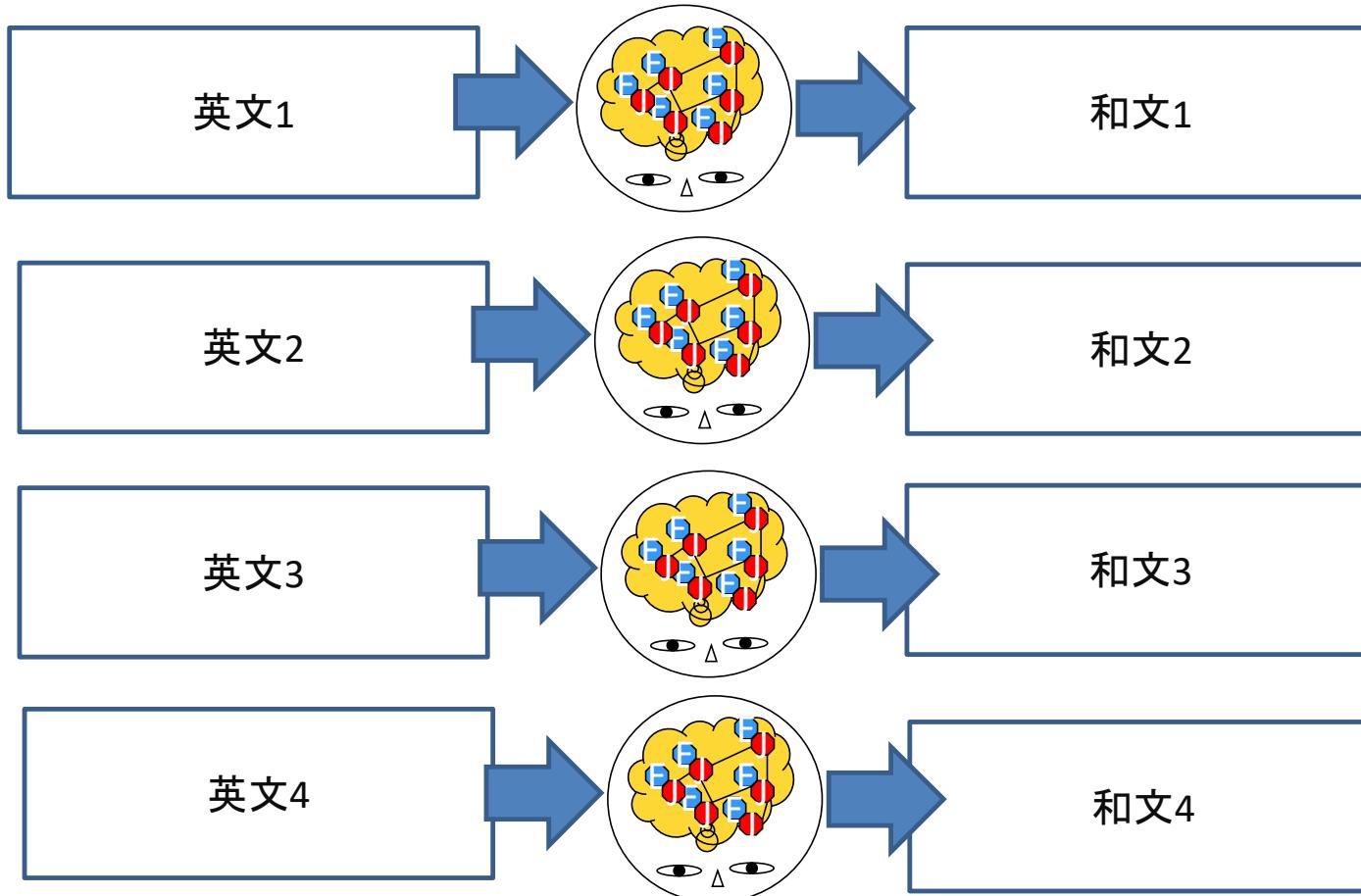
Renji\_Mikami(at\_mark)nifty.com [mikami(at\_mark)meiji.ac.jp]

# レポートのFB 204 Review

- 受験英語的な(意)訳文
  - 英文を読んで正しく訳せているが十分内容を理解していない(点数はとれる)
  - 英単語を日本語に対応させて単語訳を暗記、文法知識をもとに順番を入れ替えたり追加したりして日本語に組み上げる(日本語訳文は英文より長くなる、時間がかかる)
  - 点数をとるために英訳のテクニックであって内容の理解が十分ではない(わかつてなくても試験では点数とれる-下の図)



# これを各英文ごとに��けていく(受験英語的)



完成した  
和文は、  
間違っては  
いないので、  
点数はとれる

でも読んだ  
内容は  
分かって  
いるか?  
実務では  
内容把握  
が目的

### スライド 3

---

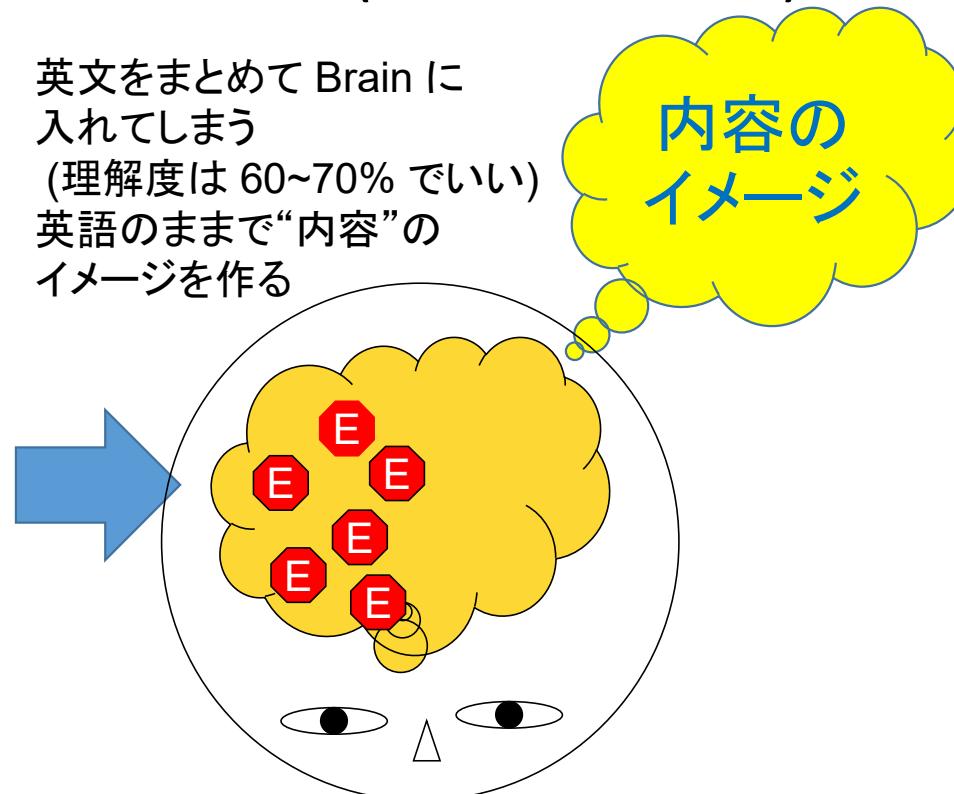
**MR1**

Mikami Renji, 2021/03/29

# こうしてみよう(ステップ1)

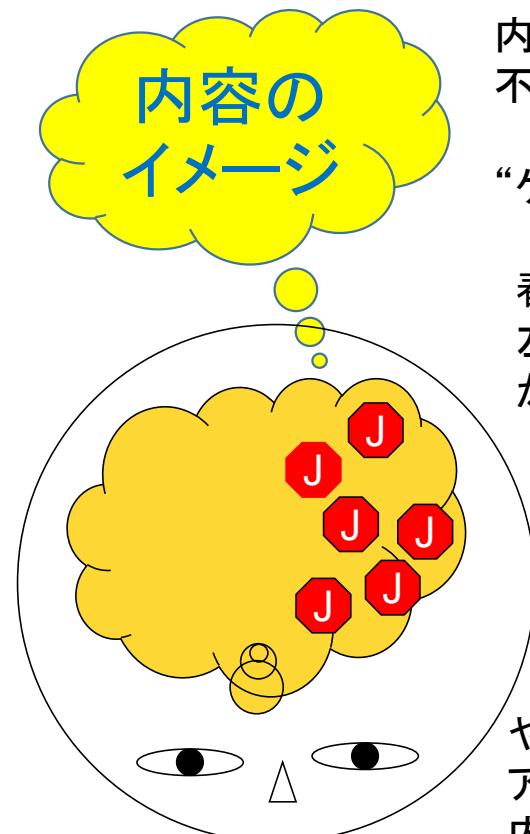
英文1
英文2
英文3
英文4

英文をまとめて Brain に  
入れてしまう  
(理解度は 60~70% でいい)  
英語のままで“内容”的  
なイメージを作る



春学期資料 brain 参照  
右の脳が働いている

# 内容イメージを整理して書き出す(ステップ2)



内容イメージは、暗記する感じでいい  
不明単語は、英語のままで“日本語作文をする”

“ゲート電圧で electron が trip する”という感じ

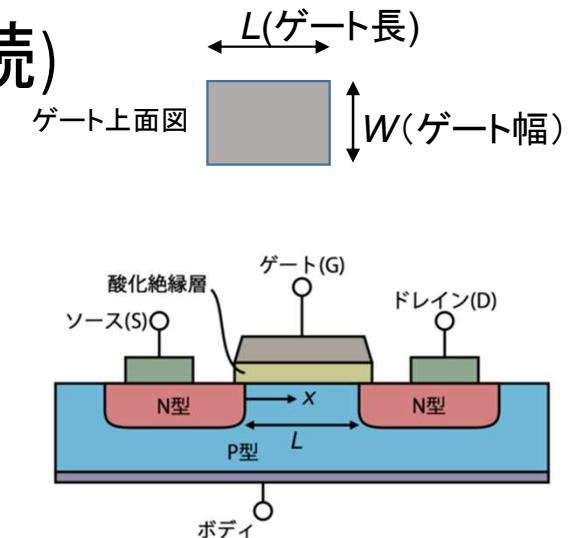
春学期資料 brain 参照  
左の脳(母国言語脳ネットワーク)  
が働いている

日本語要約文

やってみよう。だんだん英文のままで  
アタマから、ガリガリ読んでわかるようになる  
内容がわかつてくれれば、得意な日本語で作文できる

# Day 204 Review : CMOS Technology

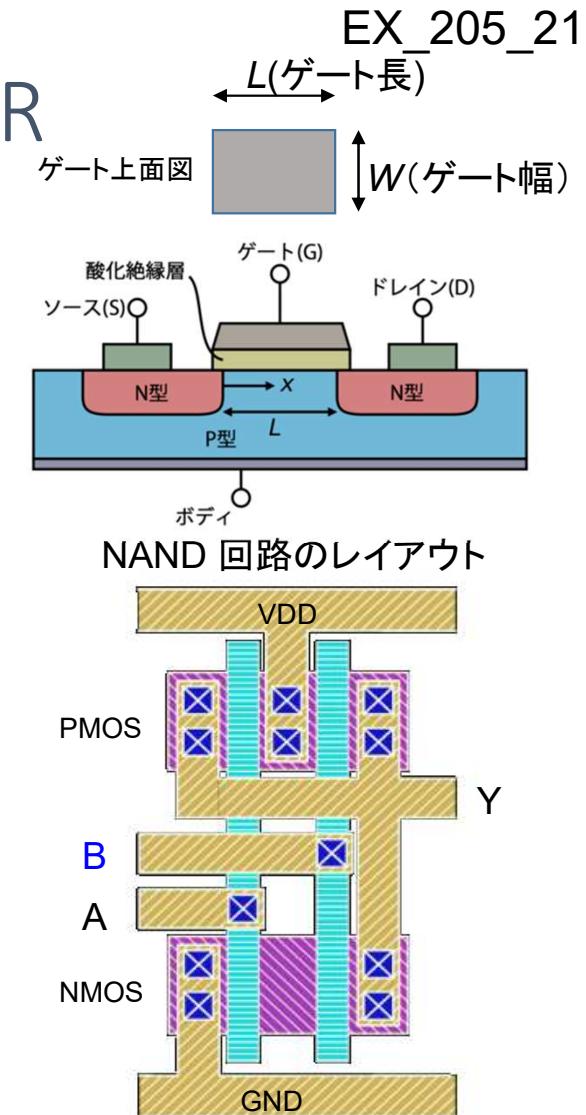
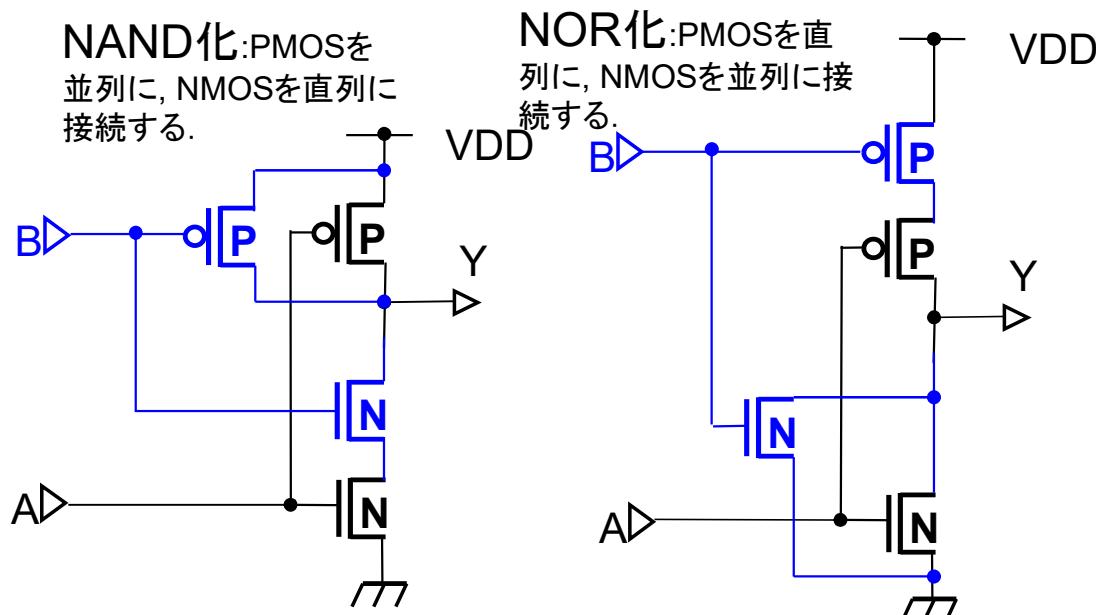
- CMOS / FET
- CMOS回路(P/Nチャネル半導体を相補接続)
- MOS FET
- CMOS Inverter 回路とPUP / PDN
- CMOS インバータ回路
- インバータ回路とNAND/NOR化
- CMOS 多入力ゲート



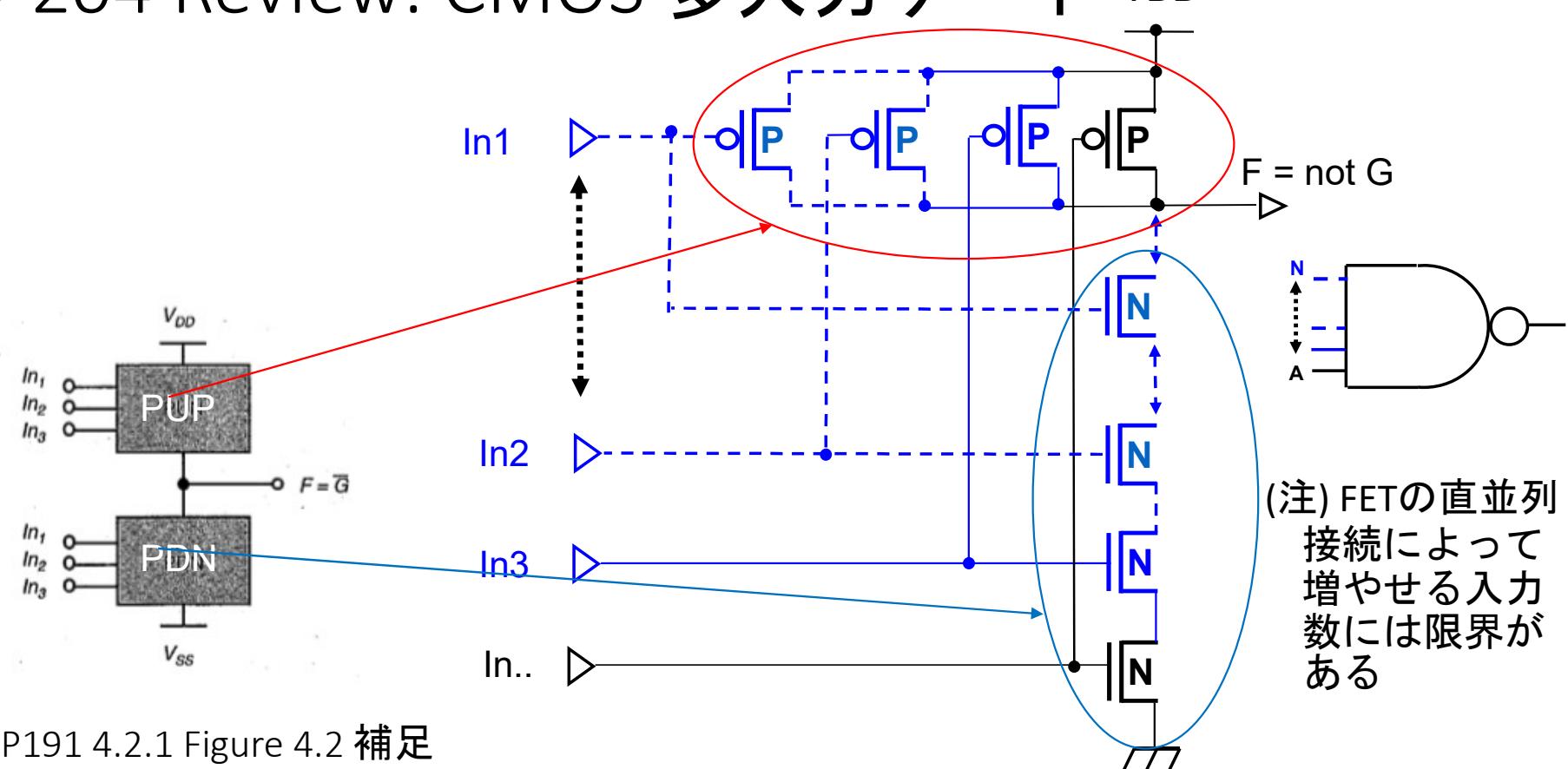
204 Review

## Day 204 Review: Inverter to NAND/NOR

P200 : Example 4.5 STE-102-405 上図の L がゲート長で、この最小値がプロセスルール(例:L=90nm, 90nmプロセス)  
W がゲート幅で W/L が重要な特性指標になる。



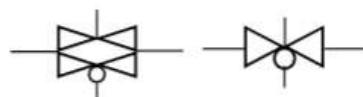
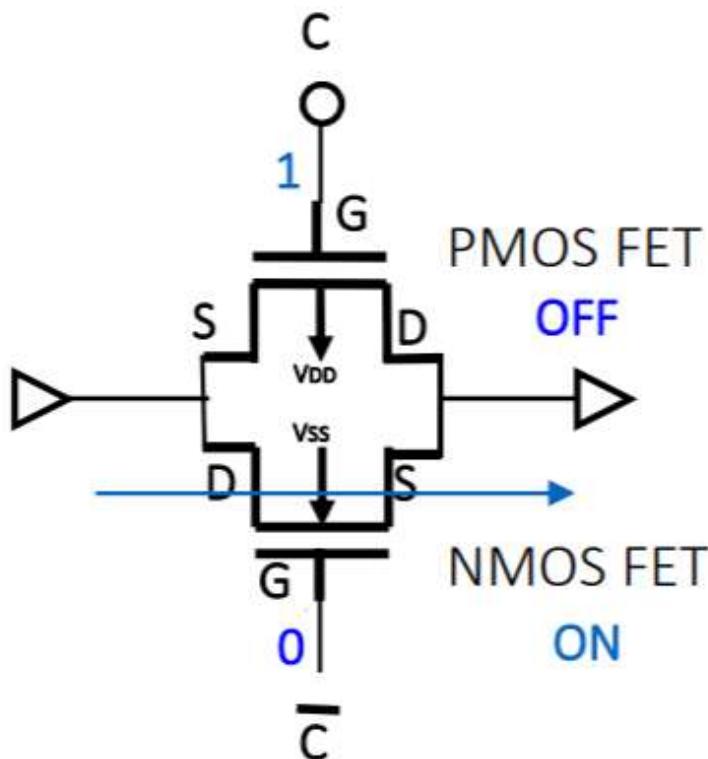
## Day 204 Review: CMOS 多入力ゲート



P191 4.2.1 Figure 4.2 補足  
STE-102-402

# EX\_205 技術解説

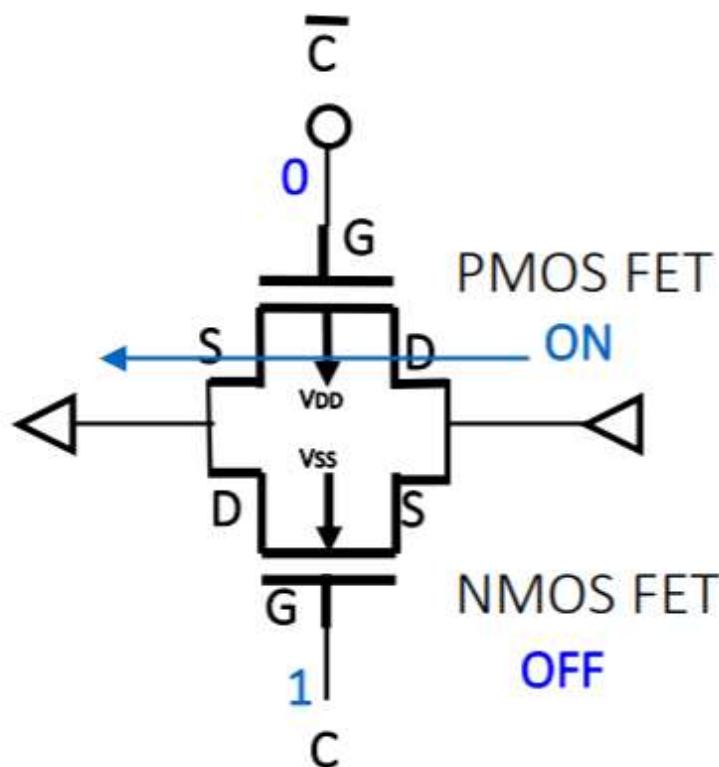
## Transfer / Transmission Gate



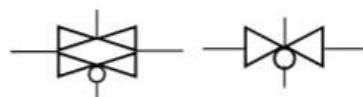
記号

PMOS FET と NMOS FET を接続したトラン  
スファー(伝達)ゲート  
双方向で動作するアナログ・スイッチ  
オン抵抗は高い  
回路の開閉に使用される  
FPGAの配線部やF/Fに使われる

# EX\_205 技術解説



## Transfer / Transmission Gate

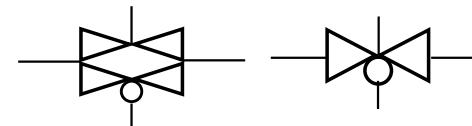
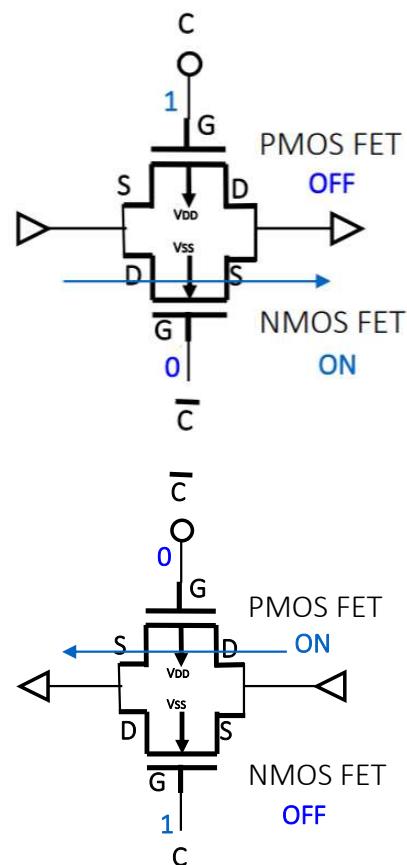


記号

PMOS FET と NMOS FET を接続したトラン  
スファー(伝達)ゲート  
双方向で動作するアナログ・スイッチ  
オン抵抗は高い  
回路の開閉に使用される  
FPGAの配線部やF/Fに使われる

# Transmission Gate

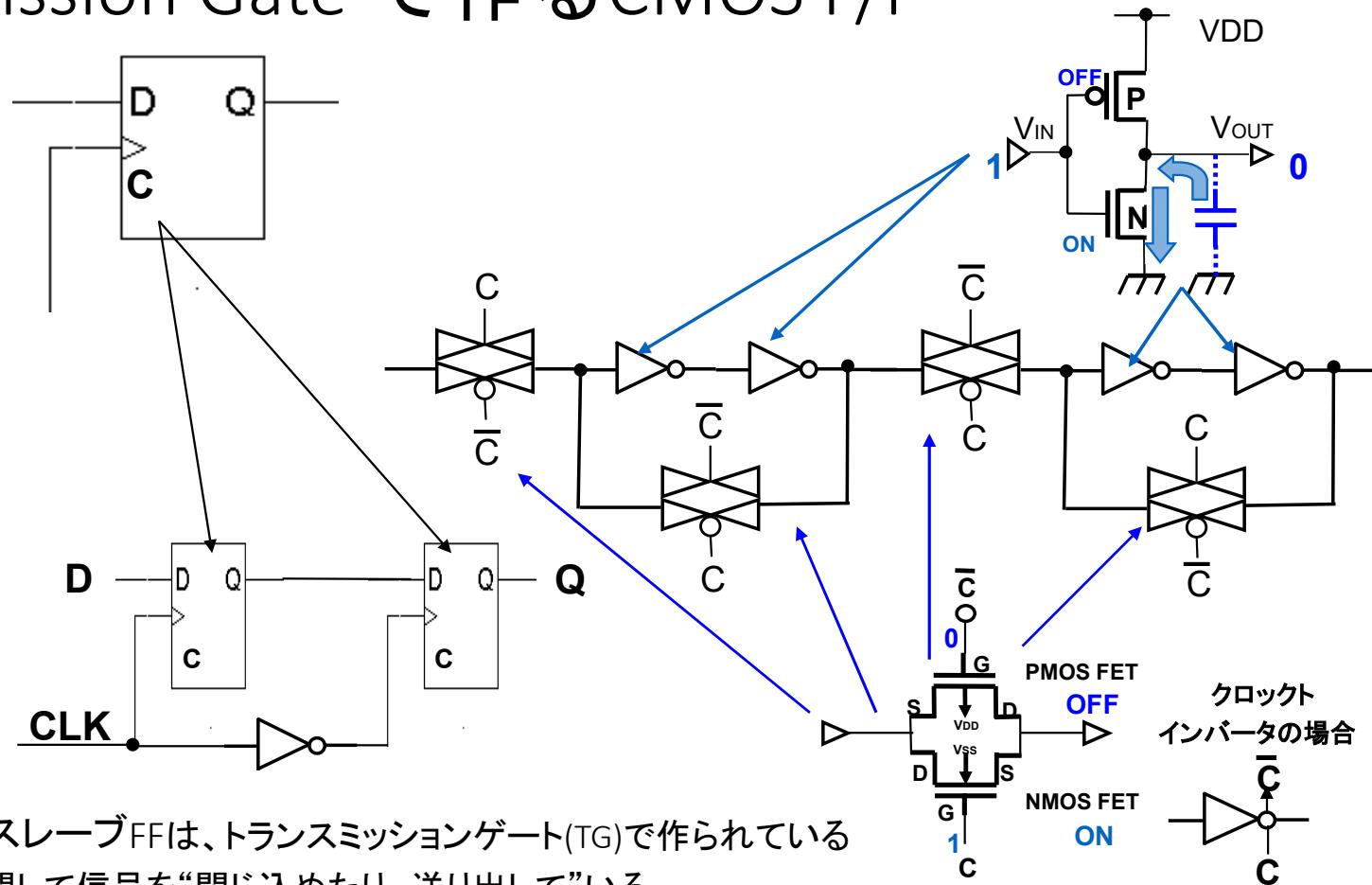
P212 STE-102-407  
 Figure 4.22  
 P213 STE-102-408  
 Transmission Gate  
 の解説



記号

PMOS FET と NMOS FET を接続した  
 トラン  
 スファー(伝達)ゲート  
 双方向で動作するアナログ・スイッチ  
 オン抵抗は高い  
 回路の開閉に使用される  
 FPGAの配線部やF/Fに使われる

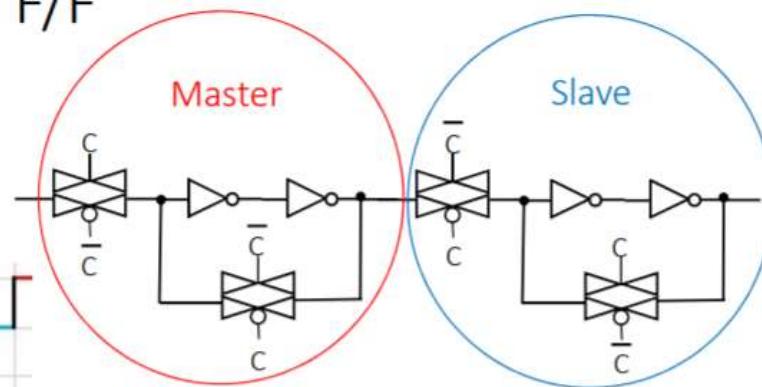
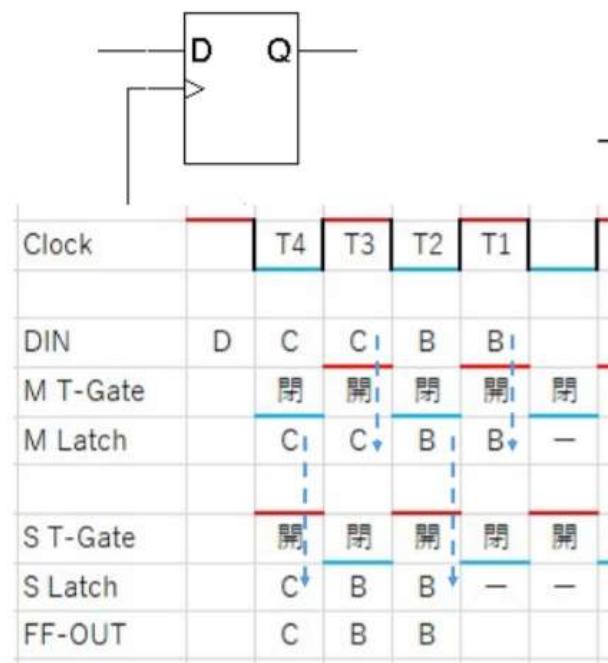
# Transmission Gate で作る CMOS F/F



CMOS マスタースレーブ FFは、トランジションゲート(TG)で作られている  
TG は、交互に開閉して信号を“閉じ込めたり、送り出して”いる

# Master Slave F/F 動作については、EX\_208参照

D-type Master / Slave F/F



Master側とSlave側の  
トランスマッショングートが  
交互に開閉してデータを送りだす

# Transmission Gate XOR

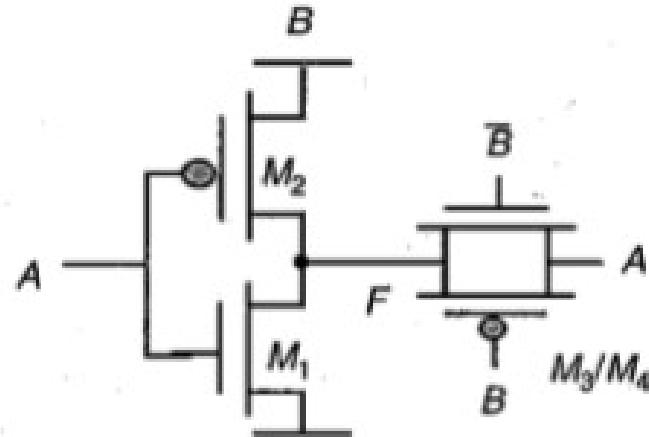
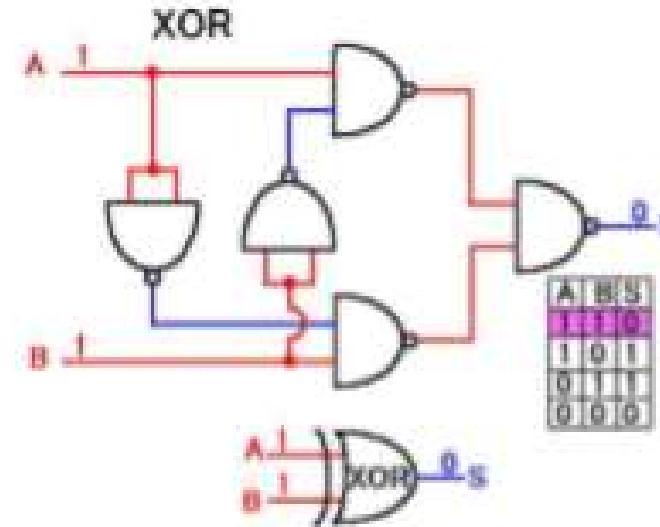


Figure 4.23 Transmission gate XOR.



P213 STE-102-408

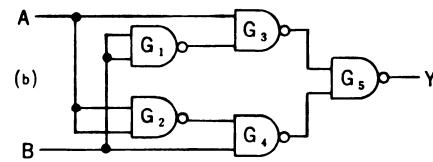
Figure 4.23

Transmission Gate  
XORの解説

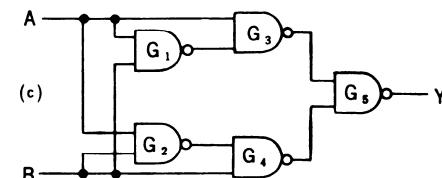
# TANT回路 NAND またはNOR の3段で任意回路を実現

第4.28図 XOR を NAND で作る

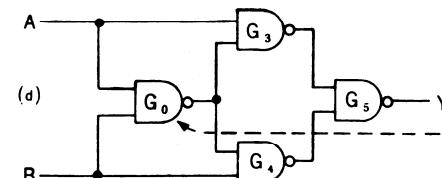
(a)  $Y = A \cdot \overline{B} + \overline{A} \cdot B$



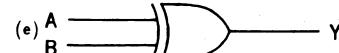
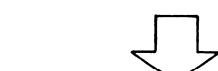
$$\begin{aligned} Y &= \overline{\overline{A} \cdot \overline{B} + \overline{A} \cdot B} \\ &= \overline{\overline{(A \cdot B)} \cdot \overline{(A \cdot B)}} \\ &\quad \underbrace{G_1}_{G_3} \quad \underbrace{G_2}_{G_4} \\ &\quad \underbrace{G_5}_{G_5} \end{aligned}$$



$$\begin{aligned} Y &= \overline{\overline{(A \cdot \overline{A} + A \cdot \overline{B})} \cdot (\overline{B} \cdot \overline{B} + A + B)} \\ &= \overline{A \cdot (\overline{A} + \overline{B})} \cdot B \cdot (\overline{B} + A) \end{aligned}$$



$$\begin{aligned} &\quad \underbrace{G_1}_{G_3} \quad \underbrace{G_2}_{G_4} \\ &\quad \underbrace{G_3}_{G_5} \end{aligned}$$



!---  $G_1$  と  $G_2$  は 1 つになる。  
---  $G_0$

- ユニバーサル演算(子)
- NAND / NOR
- PLA (Sum Of Product)

# Exercise: EX\_205 文意要約

- 本文の以下のページを速読し、文意を要約して日本語でまとめる。
- 和文翻訳サイトを使ってもよいが、その前に必ず英文を通読すること。
- 図版や正確なギリシャ文字,数式は配布資料原本を参照のこと。
- EX\_205-1 : P212 Line 14~ Transmission gates can be~ 4.2 STE-102-407
  - Transmission gates can be used to build some complex gates very efficiently.
- EX\_205-2 : P212 Bottom 5lines: Another example ~ P213 Line 10まで
  - Another example of the effective use of transmission gates ~ Figure 4.23
- EX\_205-3 : P213 Line 11 ~ 30まで STE-102-408
  - Design Issues in Static Pass-Transistor Logic Design
- 提出はClass Web “レポート” にて木曜まで
- 毎回のレポートは、最低A4 1ページ以上は書いてください。余白には、今回の授業の内容、資料についての感想や要望を記入してください。

## EX\_205-1 :P212 Line 14~ Transmission gates can be~ 4.2 STE-102-407

- Transmission gates can be used to build some complex gates very efficiently. The simplest example of this type of circuit is the (inverting) two-input multiplexer shown in Figure 4.22. This gate either selects input A or B based on the value of the control signal S, which is equivalent to implementing the following Boolean function:
  - $\text{not } F = (A \cdot S + B \cdot \text{not } S)$  (4.15)
- A complementary implementation of the gate requires eight transistors instead of six.
- Figure 4.22 Transmission gate multiplexer and its layout.

## EX\_205-2 : Another example of the effective use of transmission gates

STE-102-407 ~ 408

- Another example of the effective use of transmission gates is the popular XOR circuit shown in Figure 4.23. The complete implementation of this gate requires only six transistors (including the inverter used for the generation of not b), compared to the twelve transistors required for a complementary implementation. To understand the operation of this circuit, we have to analyze the  $B = 0$  and  $B = 1$  cases separately. For  $B = 1$ , transistors M1 and M2 act as an inverter while the transmission gate M3/M4 is off; hence  $F = (\text{not } A)$  and  $B$ . In the opposite case, M1 and M2 are disabled, and the transmission gate is operational, or  $F = A$  and  $(\text{not } B)$ . The combination of both results in the XOR function. Notice that, regardless of the values of A and B, node F always has a connection to either VDD or GND and is hence a low-impedance node. If this were not true, the circuit would be dynamic, and an occasional refresh would be required to counter the effects of charge leakage. When designing static-pass transistor networks, it is essential to adhere to the low-impedance rule under all circumstances. Other examples where transmission-gate logic is effectively used are fast adder circuits and registers. Both circuits will be discussed in later chapters.

## EX\_205-3(1) : Design Issues in Static Pass-Transistor Logic Design

STE-102-408

## Design Issues in Static Pass-Transistor Logic Design

- When designing transmission-gate-based devices, one has to be aware of a number of design problems that are specific to that circuit class.
- 1. Resistance.
- A transmission gate is, unfortunately, not an ideal switch, because it has a series resistance associated with it. To get an idea of the nature and value of this resistance, let us analyze the design instance of Figure 4.21c, when charging a capacitance  $CL$  from 0 V to  $VDD$ , that is, when passing a 1 from input to output. The resistance of the switch is modeled as a parallel connection of the resistances  $R_n$  and  $R_p$  of the NMOS and PMOS devices, defined as  $(VDD - V_{out})/I_n$  and  $(VDD - V_{out})/I_p$ , respectively, The currents through the devices are obviously dependent on the value of  $V_{out}$  and the operating mode of the transistors.

## EX\_205-3(2) : Continued - Design Issues in Static Pass-Transistor Logic Design

STE-102-408

- During the low-to-high transition, the pass-transistors traverse through number of operation modes. As its VGS is always equal to VDS, the NMOS transistor is either in saturation or off. The VGS of the PMOS is equal to VDD, and the device changes from saturation to linear during the transient. When computing  $I_p$  and  $I_n$ , it is important to incorporate the body effect. The operating modes of the transistors for different ranges of  $V_{out}$  are summarized below.
- $V_{out} < |V_{Tp}|$ : NMOS and PMOS saturated.
- $|V_{Tp}| < V_{out} < V_{DD} - V_{Tn}$ : NMOS saturated, PMOS linear.
- $V_{DD} - V_{Tn} < V_{out}$  : NMOS cutoff, PMOS linear.

# Memo

フォローアップURL (Revised)

<http://mikami.a.la9.jp/meiji/MEIJI.htm>

担当講師

三上廉司(みかみれんじ)

Renji\_Mikami(at\_mark)nifty.com

mikami(at\_mark)meiji.ac.jp (Alternative)

[http://mikami.a.la9.jp/\\_edu.htm](http://mikami.a.la9.jp/_edu.htm)

