

STE_204_21 に追補スライド(GDS)あり

Science and Technology English II

Exercise 204 “CMOS2” Meiji University 2021

EX_204_21.pptx 18 Slides April 7th, 2021

<http://mikami.a.la9.jp/mdc/mdc1.htm>

Renji Mikami

Renji_Mikami(at_mark)nifty.com [mikami(at_mark)meiji.ac.jp]

各自のレベルアップの方法(203再掲)

- 自分自身の実務英語のレベルを把握してください。そして、段階的にレベルアップをしてください。そのためには、**意識しながら**たくさん読んで、書いてみてください。
- 何かの**英文を読んで不自然さを感じられる**ようになったらしめたもの
- いろいろな場面の英文で**言い回しや単語の使い方**を意識してください

レポートコメントと英語のレベルについて

- 1.論理展開のスタイル
- 1.文法的な正しさ
- 2.自然な言い回し (不自然さを感じるセンス)
 - 良い英語にふれ、多読すると身につく
- 3.効果的な言い回し
- 3.話し言葉と書き言葉の違いに注意する
- 4.状況に応じた英語の使い分け(親しさの程度、日常性とフォーマルな度合い)
- 5.交渉、謝罪、裁判、身の危険、闘うときの英語

レベル1.相手に一定の教養があり、
あなたに好意的であれば通じる
(相手は英語の達人だから)

レベル2~3.実務の英語レベル

レベル4 相手から敬意を受ける

レベル5 闘う英語、相手があなたを認めようとしめない場合。Nativeでもタフ

Day 203 Review

- **Complementary** Metal oxide Semiconductor
- CMOS回路(P/Nチャンネル半導体を相補接続)
- MOS FET
- 信号強度(ストレングス)
- CMOS Inverter 回路とPUP(Pull Up) / PDN(Pull Down)
- インバータ回路とNAND/NOR化

MOS FET

ゲート・ソース間電圧 V_{GS} を変化させるとドレイン電流 I_D が変化する。

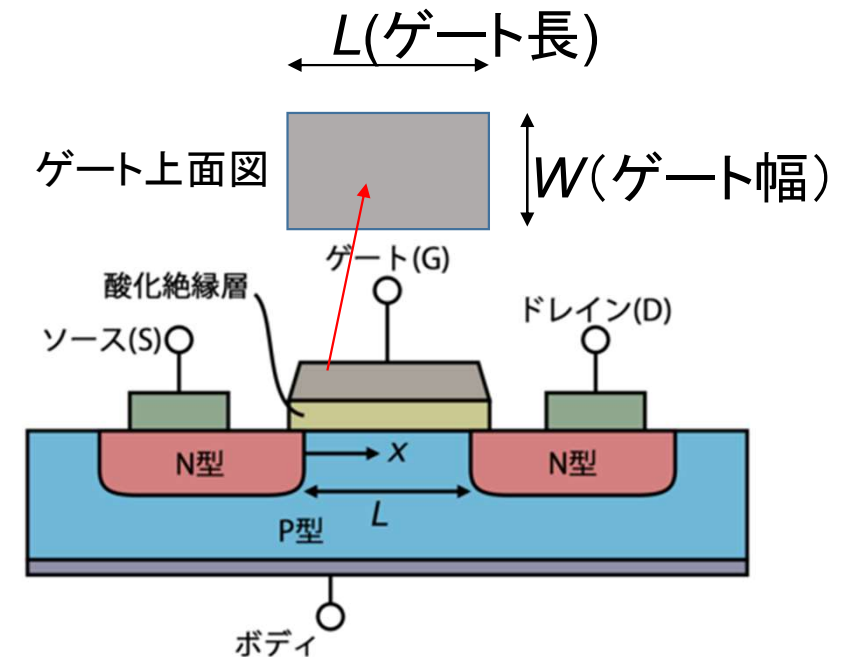
N チャンネルタイプは、 V_{GS} が高くなると I_D が増加する(エンハンスメント型)

P チャンネルタイプは、 V_{GS} が高くなると I_D 減少する(デプレッション型)

N型とP型を組み合わせた回路が CMOS(Complementary MOS)

トランジスタ 回路との比較

トランジスタでは、 I_B ベース電流(ベース・エミッタ電流)で I_C コレクタ電流(コレクタ・エミッタ)が変化する。この比が h_{FE} 直流電流増幅率



P200 : Example 4.5 STE-102-405 上図の L がゲート長で、この最小値がプロセスルール(例: $L=90\text{nm}$, 90nm プロセス) W がゲート幅で W/L が重要な特性指標になる。

図版引用:ウィキペディア <https://ja.wikipedia.org/wiki/MOSFET>

半導体のスケージング・ルール

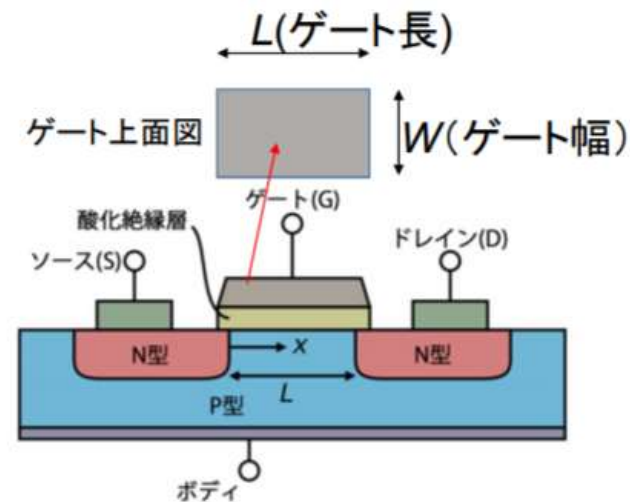
2021年時点での最小(最先端)のプロセスルールは5nm (TSMC). 3nmの計画が発表されている
これら7nm以下の微細ルールで作られているLSIは、AMDのRyzen CPU、Xilinx社の一部FPGA。

この進化はどこまで行くのか? 1 nm というサイズはどのくらいの大きさなのか?
ムーアの法則はいつまで成り立つか? 最も小さい水素原子の直径は、約 0.1 nm

量子効果の発生

物質と波の双方の性質を持つ
粒子として振舞いながら物質波(ドブロイ波)
として振舞い、トンネル効果で絶縁をすりぬけてしまう。これがリーク電流になる。

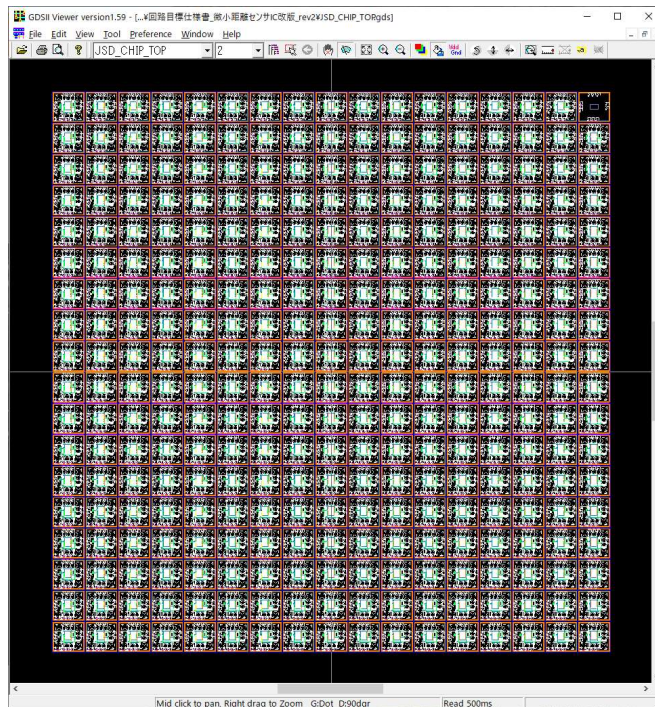
すでにLSIの消費電流(動作電流 + リーク電流)は、90nm プロセス時代からほぼ同じ程度になってきている



P200 : Example 4.5 STE-102-405 上図の L がゲート長で、この最小値がプロセスルール(例: $L=90\text{nm}$, 90nmプロセス)
 W がゲート幅で W/L が重要な特性指標になる。

シリコンウエハーと半導体

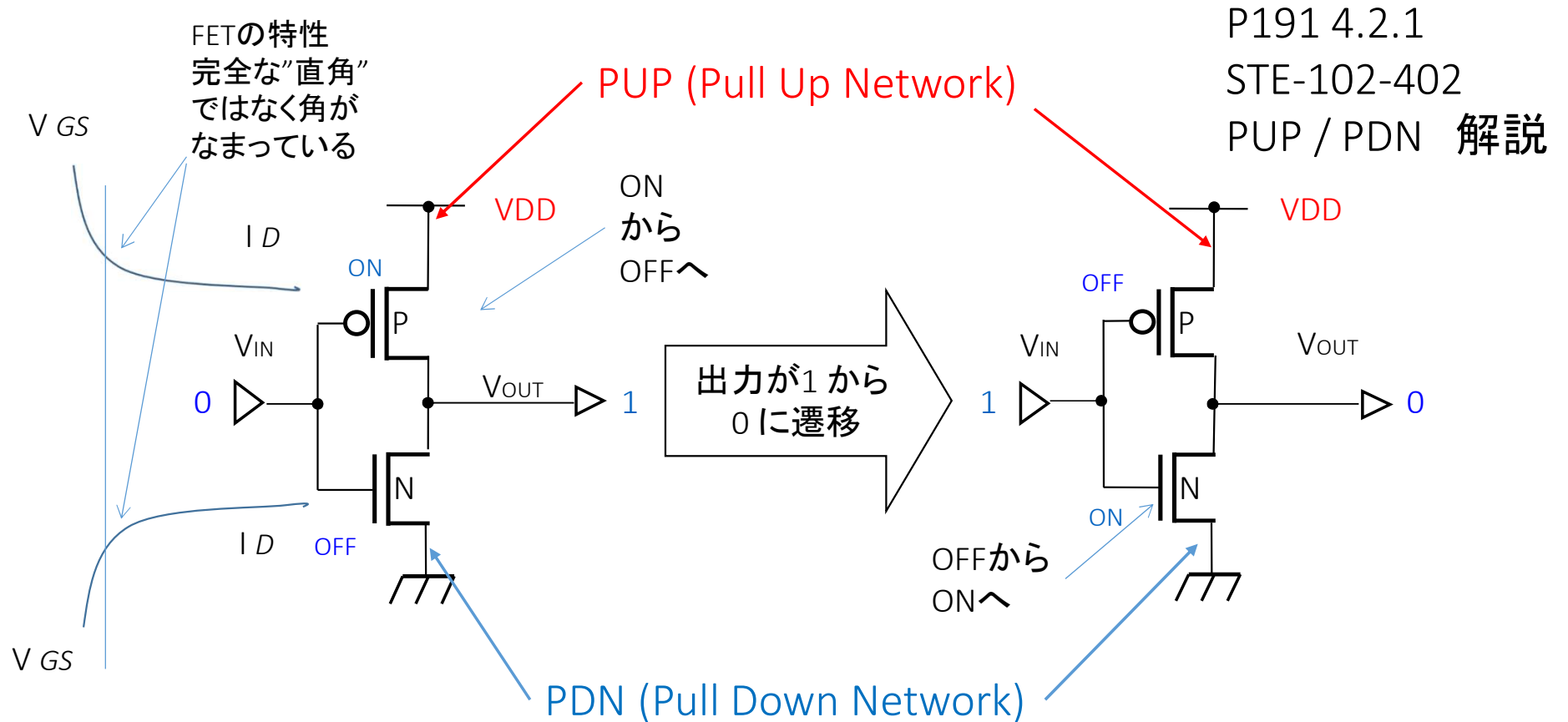
単結晶のシリコンを横に薄くスライスしたものがウエハー
このウエハー上に半導体のダイを並べて作っていく



シリコン単結晶(右) 引用:<https://ja.wikipedia.org/wiki/%E3%82%B1%E3%82%A4%E7%B4%A0>

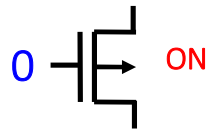
CMOS Inverter 回路とPUP / PDN

EX_204_21



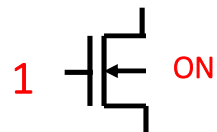
CMOS インバータ回路

PMOS FET



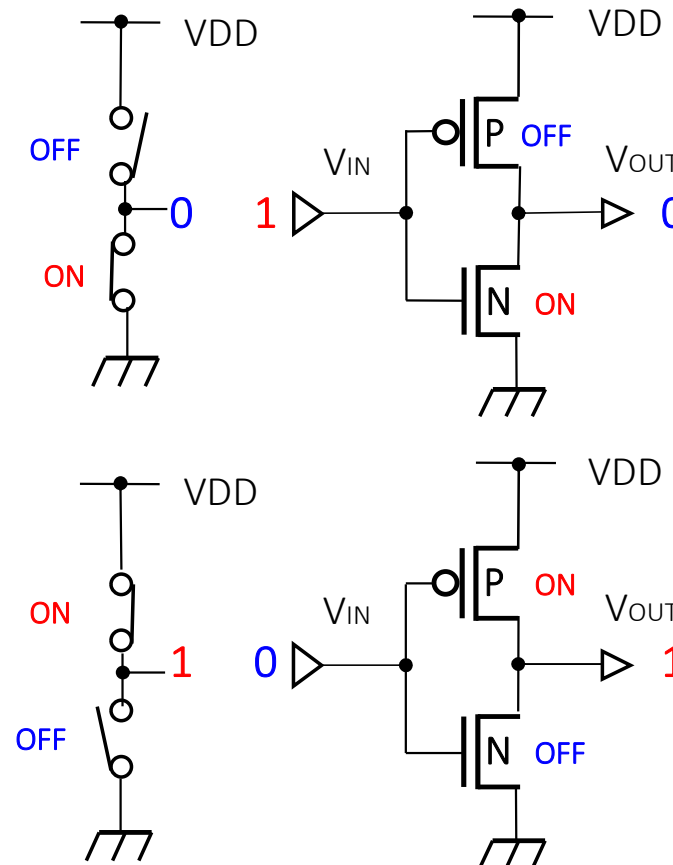
V_{in} が1のときは、PMOSがOFF, NMOSがON. よって V_{OUT} は0になる.

NMOS FET



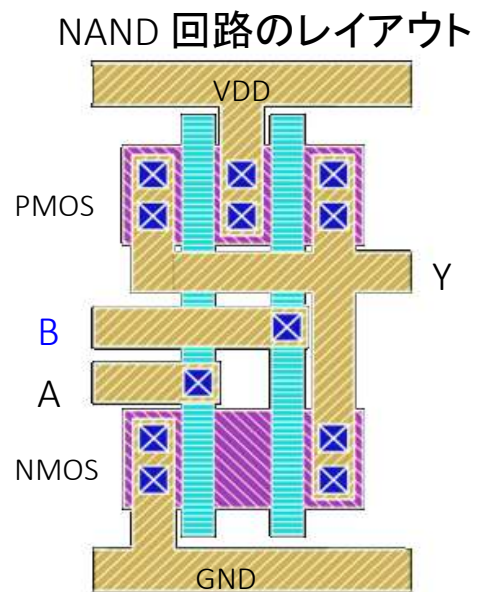
V_{in} が0のときは、PMOSがON, NMOSがOFF. よって V_{OUT} は1になる.

春学期 Review

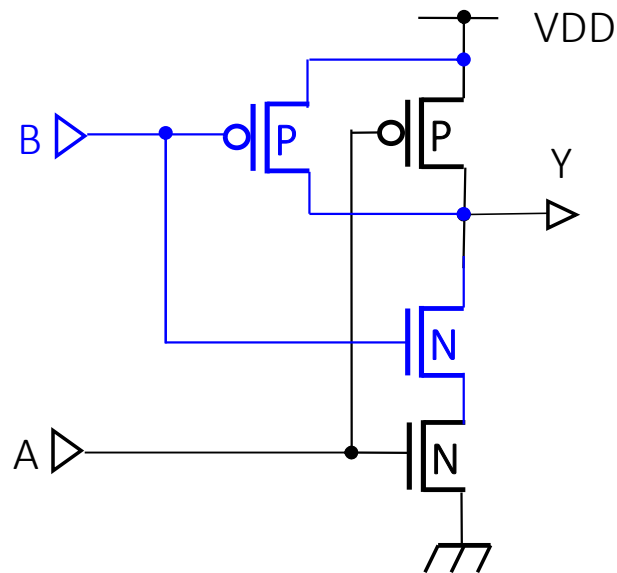


- CMOS 回路はスイッチングした時に電流が流れる
- スwitchングしていないときはほとんど電流が流れない
- トランジスタ回路では電流が流れ続ける
- そのため動作速度が遅いときはCMOSが低消費電力になる

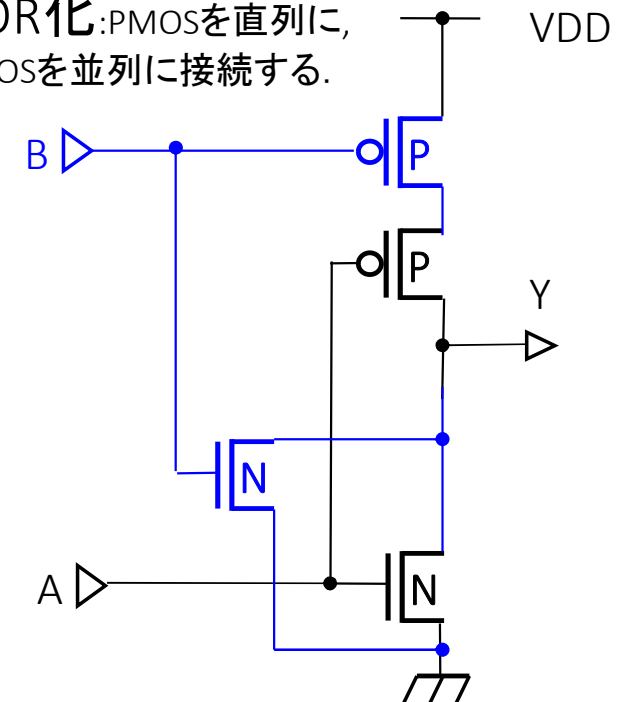
インバータ回路とNAND/NOR化



NAND化: PMOSを並列に,
NMOSを直列に接続する.



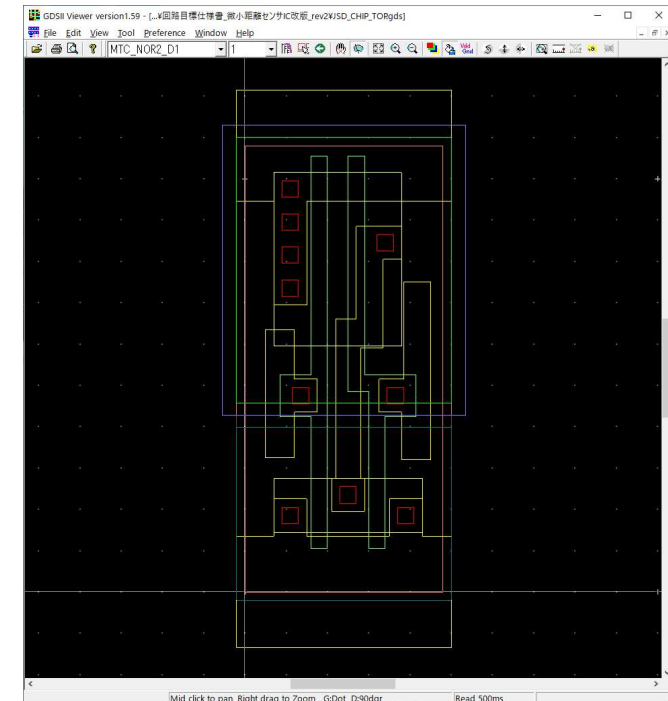
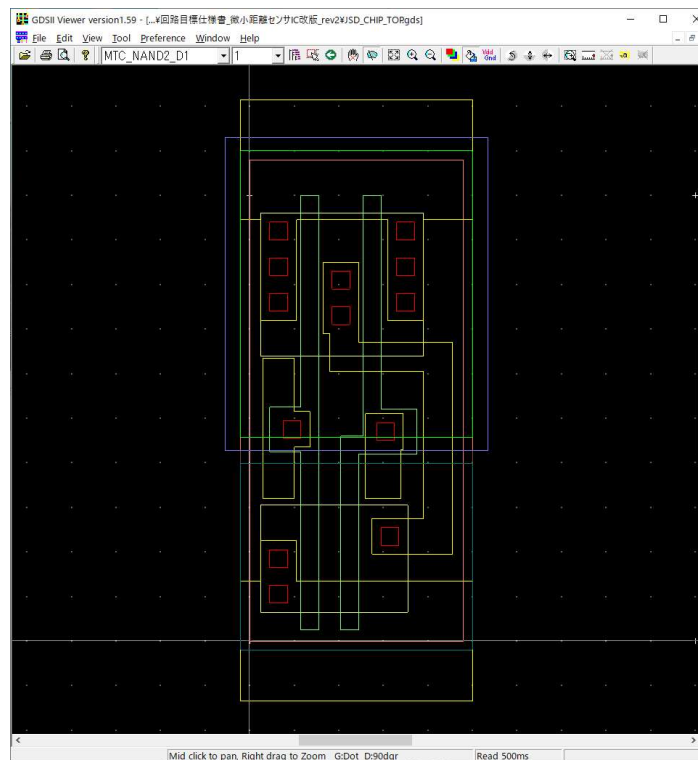
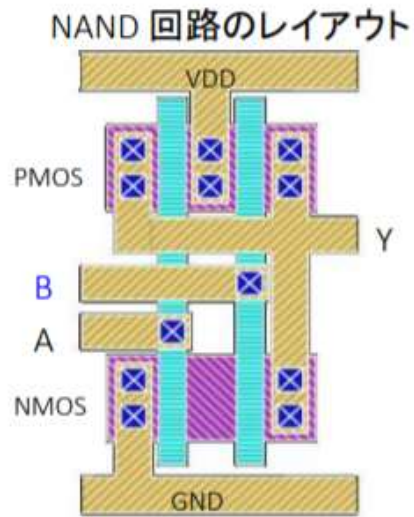
NOR化: PMOSを直列に,
NMOSを並列に接続する.



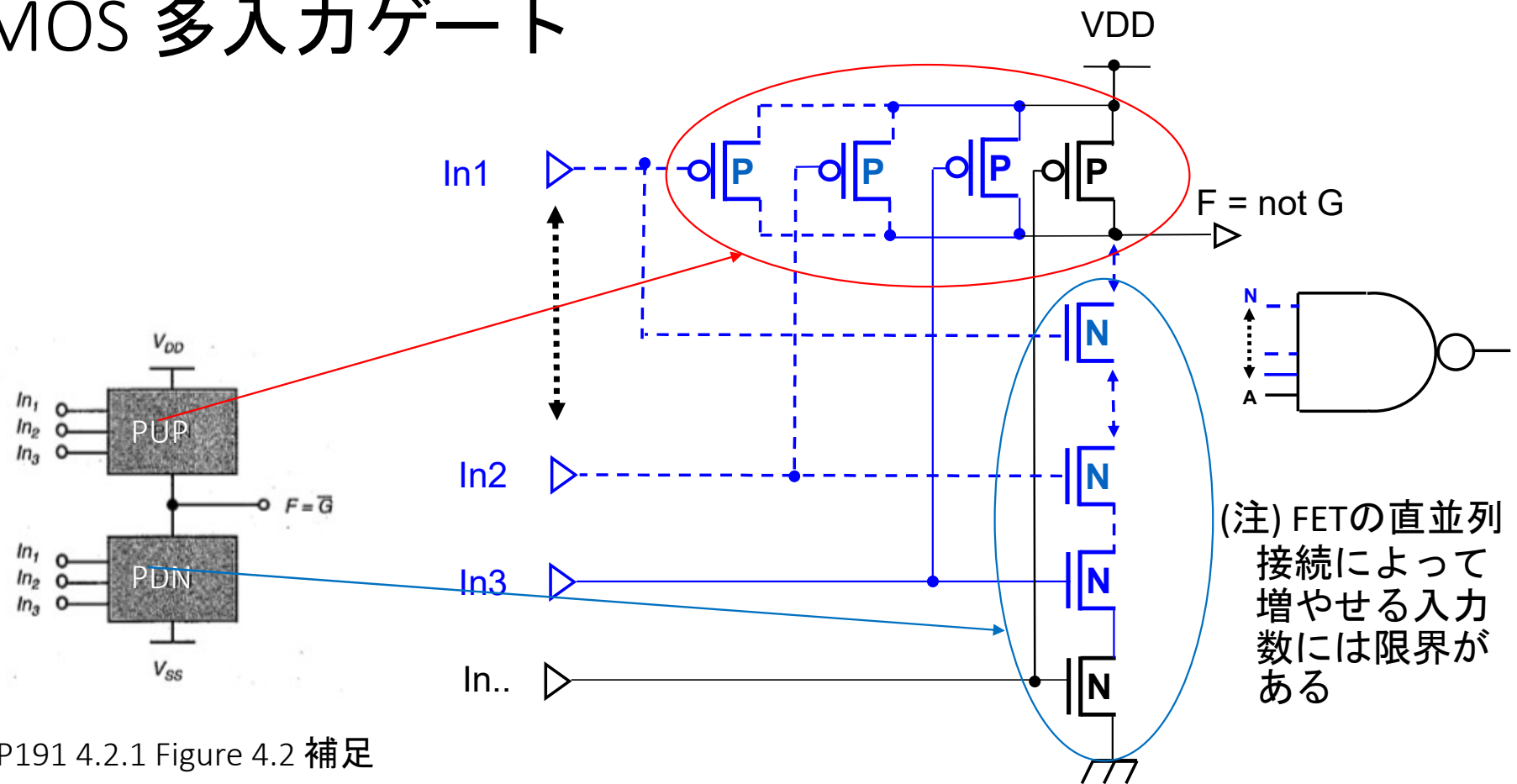
NANDとNORでは、ドライブ段の回路が違うので特性が異なる。

LSIのレイアウトパターン

- NAND2(左) NOR2(右)

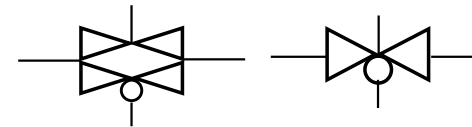
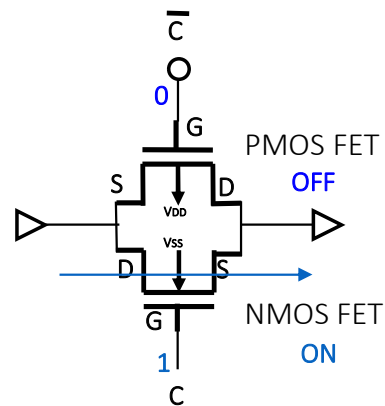


CMOS 多入力ゲート



P191 4.2.1 Figure 4.2 補足
STE-102-402

Day 205 Preview : Transmission Gate



記号

PMOS FET と NMOS FET を接続したトランスファ- (伝達) ゲート

双方向で動作するアナログ・スイッチ
オン抵抗は高い

回路の開閉に使用される

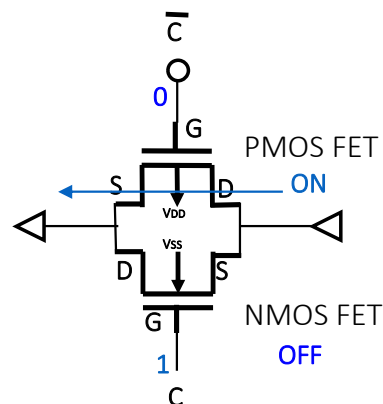
FPGA の配線部や F/F に使われる

P212 STE-102-407

Figure 4.22

P213 STE-102-408

Transmission Gate
の解説



Exercise EX_204 文意要約

- 本文の以下のページを速読し、文意を要約して日本語でまとめる。
 - 和文翻訳サイトを使ってもよいが、その前に必ず英文を通読すること。
 - 図版や正確なギリシャ文字,数式は配布資料原本を参照のこと。
 - EX_204-1 : P192 STE-102-403 Line16~28
 - EX_204-2 : P192 STE-102-403 Line28 ~ P193 Figure 4.3まで
-
- 提出はClass Web “レポート” にて木曜まで
 - 毎回のレポートは、最低A4 1ページ以上は書いてください。余白には、今回の授業の内容、資料についての感想や要望を記入してください。

EX_204-1 P192 STE-102-403 Line16~28

- A series connection of switches corresponds to an AND-operation, and a parallel connection of switches is equivalent to an OR-ing of the inputs.
- The pull-up and pull-down networks are dual networks, which means that a parallel connection of transistors in the pull-up network corresponds to a series connection of the corresponding devices in the pull-down network and vice versa.#1
- This property is understood from the following argument. Suppose that the pull down network of a CMOS gate is known and implements the logic function G . Since the PDN connects to GND, the CMOS gate implements the inverse function $F = \text{not } G$. We wish to derive the structure of the corresponding PUN. Since the PUN connects to VDD, it has to be conducting when $F = \text{TRUE}$ (or in other words, it must implement F). Taking into account the above, as well as the fact that the PMOS transistors of the PUN are inverse switches, the following relation has to be valid:
 - $(\text{not}(G(\text{In1}, \text{In2}, \text{In3}, \dots))) = F(\text{not In1}, \text{not In2}, \text{not In3}, \dots)$ (4.1)

EX_204-2 P192 STE-102-403 Line28 ~ P193 Figure 4.3まで

- This condition is met if (but not only if) F and G are dual equations, where each AND operation in F is replaced by an OR in G and vice-versa. This is a direct consequence of De Morgan's theorems, which state the following identities:
- $\text{not}(A+B) = \text{not}A * \text{not}B, \quad \text{not } A*B = \text{not}A + \text{not}E \quad (4.2)$
- The complementary gate is inverting (implementing functions such as NAND, NOR, and XNOR). Implementing a noninverting Boolean function (such as AND OR, or XOR) in one stage is not possible and requires the addition of an extra inverter stage.
- #1 The duality is a satisfying but not necessary requirement. Other valid PUN/PDN combinations can be envisioned, some of which will be illustrated in later chapters.
- Example 4.1 Two-input NAND Gate
- Figure 4.3 shows a simple two-input NAND gate ($F = \text{not } (AB)$). The PUN consists of two parallel PMOS transistors. This means that F is 1 if $A = 0$ or $B = 0$, which is equivalent to $F = \text{not}A + \text{not}B = \text{not } (AB)$. The PDN, which consists of two series NMOS transistors, provides a connection to GND when both $A=1$ and $B=1$. Consequently, it implements $G = AB = \text{not } F$, which is consistent with the PUN network. It can be easily verified that the output F is always connected to either VDD or GND, but never to both.
- Figure 4.3 Two-input NAND gate in complementary static CMOS style.

EX_204-3 P200 STE-102-405 Line7 ~ Line 20まで

- Example 4.5 A Four-Input Complementary CMOS NAND Gate
- The layout of a four-input NAND gate is shown in Figure 4.10. No transistor sizing (besides the appropriate scaling of the PMOS devices for mobility) is applied. Hence all NMOS transistors have a (W/L) of (1.8/1.2), while the PMOS devices are set to (5.4/1.2).
- To simplify the manual analysis, it is customary to replace the serial chain of NMOS transistors by a single device whose channel length is the sum of the lengths of the transistors in the chain. This is equivalent to stating that the resistance of the discharge network is similar to the series connection of the resistances of the individual transistors. The parasitic capacitances of this hypothetical transistor can be estimated as the sum of the capacitances of the individual devices (this is a worst-case scenario). Remember, however, that the merging of the series transistors into a single device is simplification that ignores a number of second-order influences, such as the body effect and the distributed nature of the parasitic capacitors.
- Figure 4.10 Layout and schematics of a four-input NAND gate in complementary CMOS. See also Colorplate 7.

Memo

フォローアップURL (Revised)

<http://mikami.a.la9.jp/meiji/MEIJI.htm>

担当講師

三上廉司(みかみれんじ)

Renji_Mikami(at_mark)nifty.com

mikami(at_mark)meiji.ac.jp (Alternative)

http://mikami.a.la9.jp/_edu.htm

