

Science and Technology English II

Exercise 203 “CMOS1” Meiji University 2021

EX_203_21.pptx 19 Slides October 10th, 2021

<http://mikami.a.la9.jp/mdc/mdc1.htm>

Renji Mikami

Renji_Mikami(at_mark)nifty.com [mikami(at_mark)meiji.ac.jp]

Day 202 Review

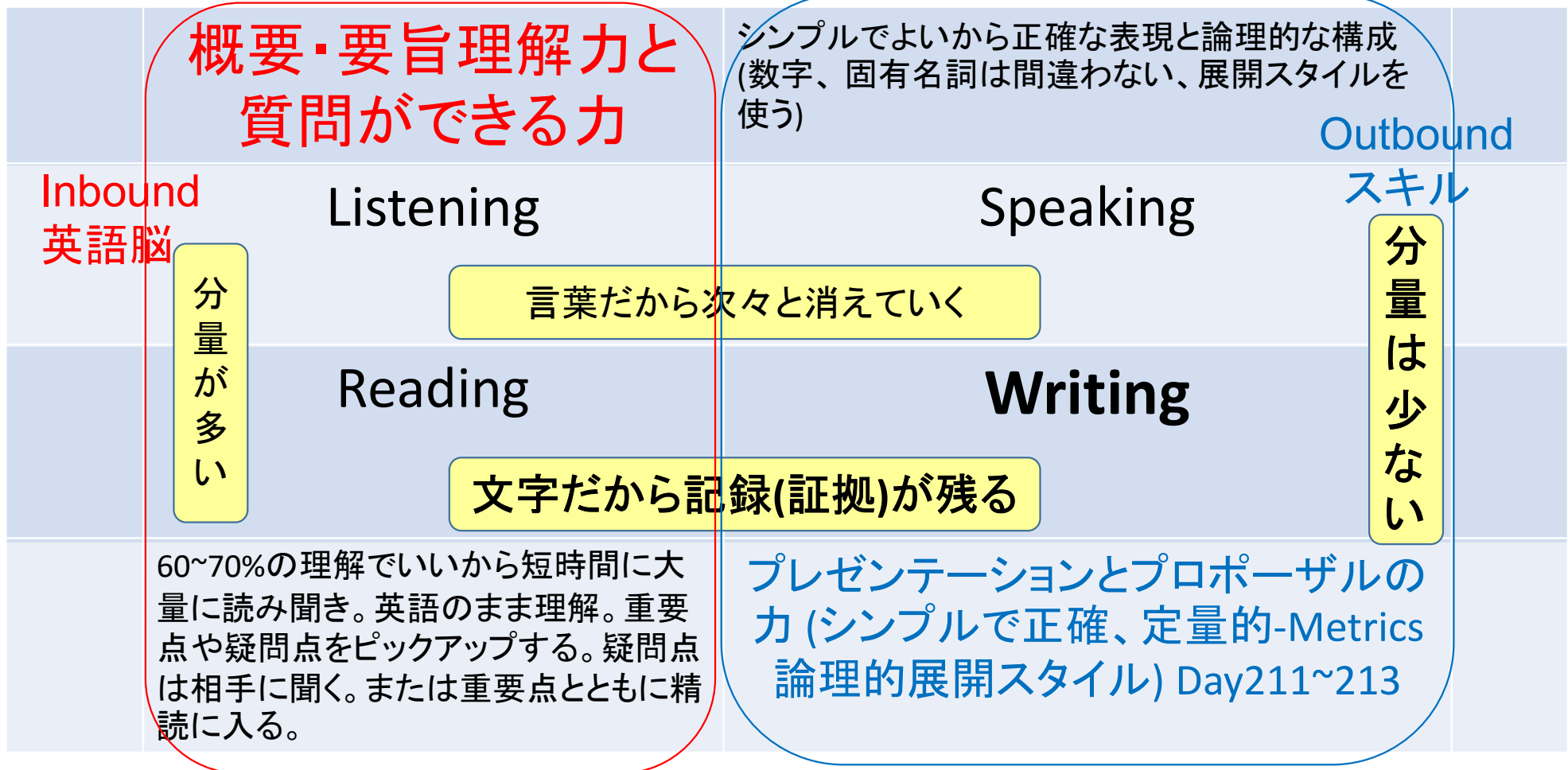
- 英語 4 技能の整理
- **Inbound** のKey **概要・要旨理解力と質問ができる力**

相手から伝達される情報、どのような単語や内容が来るか分からない。
=> 60~70%の理解でいいから短時間に大量に読み聞き。英語のまま理解。重要点や疑問点をピックアップする。疑問点は相手に聞く。重要点、疑問点のみ精読に入る。Metricsは?

- **Outbound** のKey **プレゼンテーションとプロポーザルの力**

自分の熟知する単語と内容である。=>相手が理解できるように組立を考える。シンプルでよいから正確な表現と論理的な構成(数字、固有名詞は間違わない、展開スタイルを使う) Metricsは?

Outbound はビジネスの世界 英語 4 技能の実戦的なスキル



自分に合ったレベルアップの方法

- 自分自身の実務英語のレベルを把握してください。そして、段階的にレベルアップをしてください。そのためには、意識しながらたくさん読んで、書いてみてください。
- 何かの英文を読んで不自然さを感じられるようになったらしめたもの
- いろいろな場面の英文で言い回しや単語の使い方を意識する

レポートコメントと英語のレベルについて

- 1.論理展開のスタイル
- 1.文法的な正しさ
- 2.自然な言い回し (不自然さを感じるセンス)
 - 良い英語にふれ、多読すると身につく
- 3.効果的な言い回し
- 3.話し言葉と書き言葉の違いに注意する
- 4.状況に応じた英語の使い分け(親しさの程度、日常性とフォーマルな度合い)
- 5.交渉、謝罪、裁判、身の危険、闘うときの英語

レベル1.相手に一定の教養があり、
あなたに好意的であれば通じる
(相手は英語の達人だから)

レベル2~3.実務の英語レベル

レベル4 相手から敬意を受ける

レベル5 闘う英語、相手があなたを認めようとしなない場合。Nativeでもタフ

Day 203 Integration in EE

- Methodology
 - ROI, Plan-Do-See, Inbound-Outbound
 - ロジカルコミュニケーションの基礎: 言語に無関係
- Basic English Skills
 - Grammar and Vocabulary (学校英語, 受験英語)
- **Specific Knowledge**
 - **Engineering English – fundamental Knowledge for Specific Area ie, CS(Computer Science), Chemical, Mathematics**

Specific Knowledge 4 Logic Gates in CMOS

- Key Tech Words : CMOS
 - Complementary Metal oxide Semiconductor
 - 相補的(回路構成)の金属と酸化物半導体 : MOS-FET で構成
 - Field Effect Transistor – 電界効果トランジスタ
- CMOS回路(P/Nチャネル半導体を相補接続)
 - 半導体 Si (14ケイ素) Ge(26ゲルマニウム) 4価の元素に
 - Nチャネル: 5価の不純物ドナー(リン、ヒ素など)を加えたもの
 - キャリアは電子(負の電荷)
 - Pチャネル: 3価の不純物アクセプタ(ホウ素、Alなど)を加えたもの
 - キャリアはホール(正孔-電子の抜けたところ-正の電荷)

MOS FET

ゲート・ソース間電圧 V_{GS} を変化させるとドレイン電流 I_D が変化する。

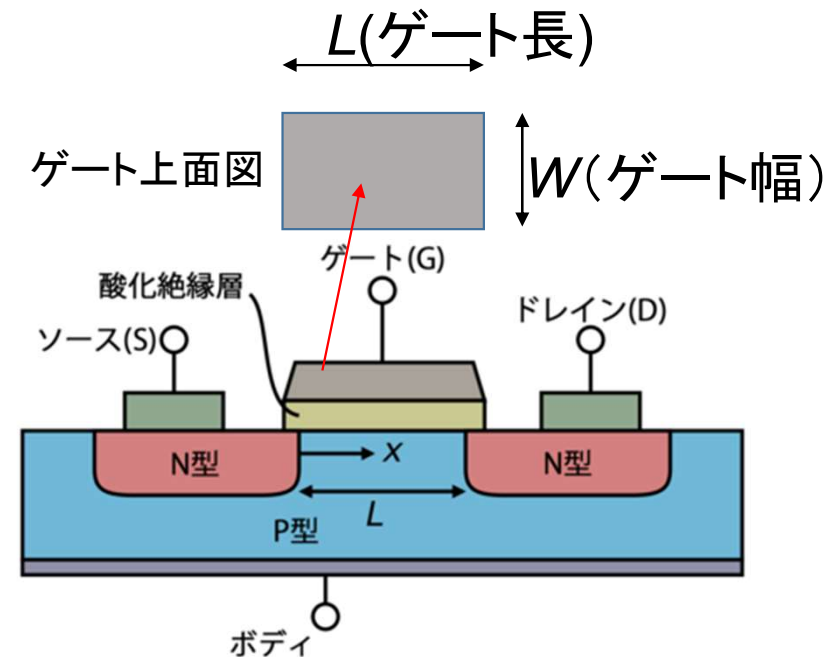
N チャンネルタイプは、 V_{GS} が高くなると I_D が増加する(エンハンスメント型)

P チャンネルタイプは、 V_{GS} が高くなると I_D 減少する(デプレッション型)

N型とP型を組み合わせた回路が CMOS(Complementary MOS)

トランジスタ 回路との比較

トランジスタでは、 I_B ベース電流(ベース・エミッタ電流)で I_C コレクタ電流(コレクタ・エミッタ)が変化する。この比が h_{FE} 直流電流増幅率



P200 : Example 4.5 STE-102-405 上図の L がゲート長で、この最小値がプロセスルール(例: $L=90\text{nm}$, 90nm プロセス) W がゲート幅で W/L が重要な特性指標になる。

図版引用:ウィキペディア <https://ja.wikipedia.org/wiki/MOSFET>

信号強度(ストレングス)

- 論理シミュレータでは、電子回路の動作をより正確に表すために多値に拡張している
- 多値拡張の例(9値 VHDL - IEEE1164.std_logic の例)
信号強度(Strength) 1,0,H,L,X,W,
U(Unknown),—(Don't care),Z(High Impedance)

	論理1	論理0	不定
信号強度“強”	1	0	X
信号強度“弱”	H	L	W

EX203-3(1)

STE-102-402

high - impedance
low - impedance

EX203-3(1)

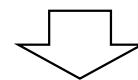
STE-102-403

“strong ones”
“strong zeros”
“weak zeros”

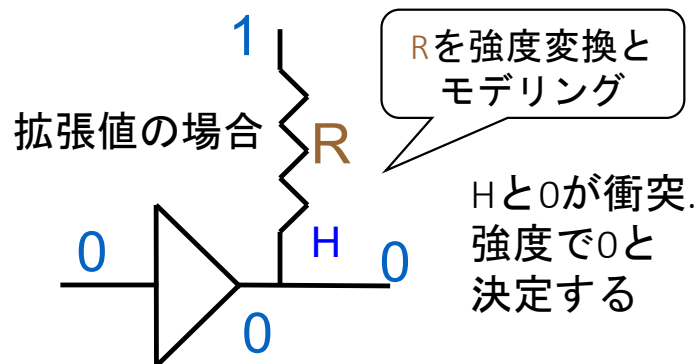
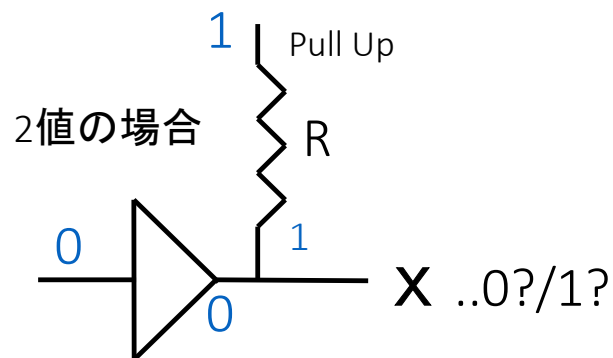
- Verilog の場合 (左から強い順)
 - Drive : supply, *strong*, pull, , *weak*, , *highz*
 - Charge : large, medium, small

ストレングスによる値の確定

- std_logic, std_logic_vector (VHDL)
- 9値 ('U','X','0','1','Z','W','L','H','-')



U:初期値 -:ドントケア
 Z:ハイ・インピーダンス
 0:通常の0 L:弱い0
 1:通常の1 H:弱い1
 X:不定 W:弱い不定



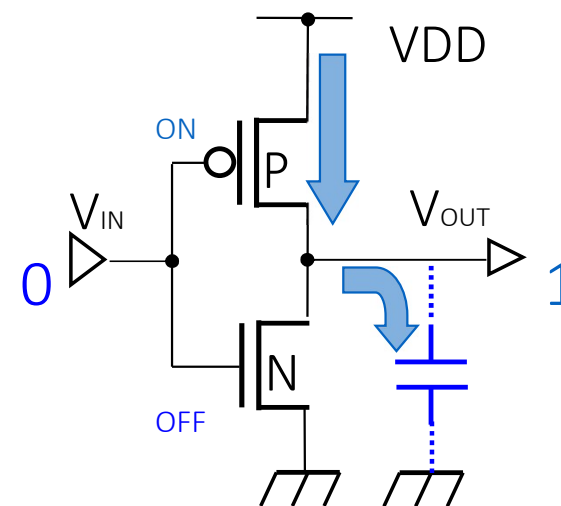
True / False あるいは、

1 / 0, H / L という二値では実回路でシミュレーションで不定が多くなり実用性が落ちるので信号強度という概念を導入してある。

Verilog 信号強度

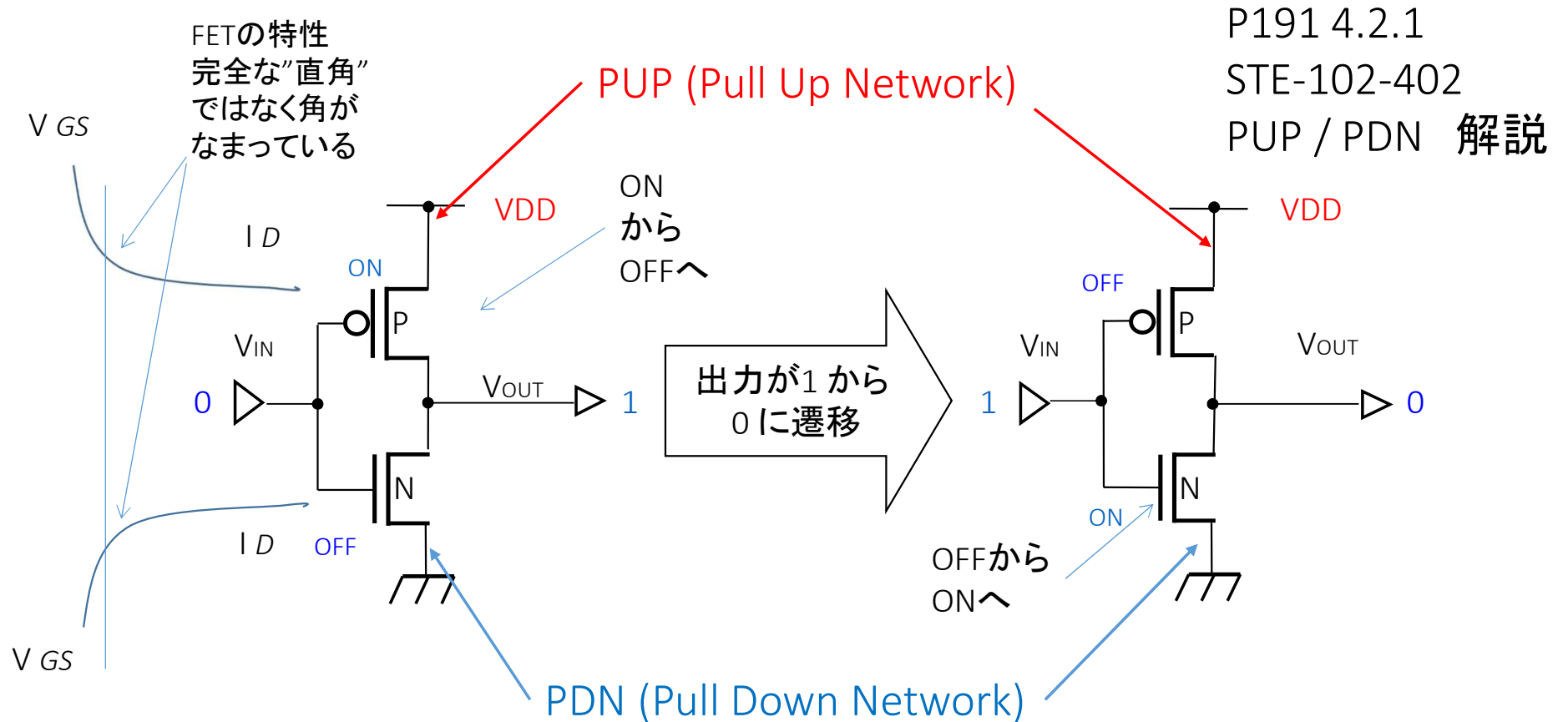
- Verilogの場合は、スイッチレベルの回路に対応するために、より詳細な信号強度の設定がある。通常回路の場合のDriveのほかに容量をwireに設定でき、これがcharge strengthになり、計算のルールはシミュレータで決められる。MOS FETがOFF状態になっても配線に蓄積された容量は一定時間後に放電するが、このようなモデルのシミュレーションに使用される

	論理1	論理0	Drive/Charge
Level 7 (電源)	supply1	supply0	Drive
Level 6 (通常)	strong1	strong0	Drive
Level 5 (プル)	pull1	pull0	Drive
Level 4	large		Charge
Level 3	medium		Charge
Level 2	weak1	weak0	Drive
Level 1	small		Charge
Level 0 (ハイZ)	highz1	highz0	Drive



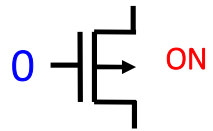
CMOS Inverter 回路とPUP / PDN

EX_203_21



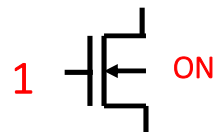
CMOS インバータ回路

PMOS FET



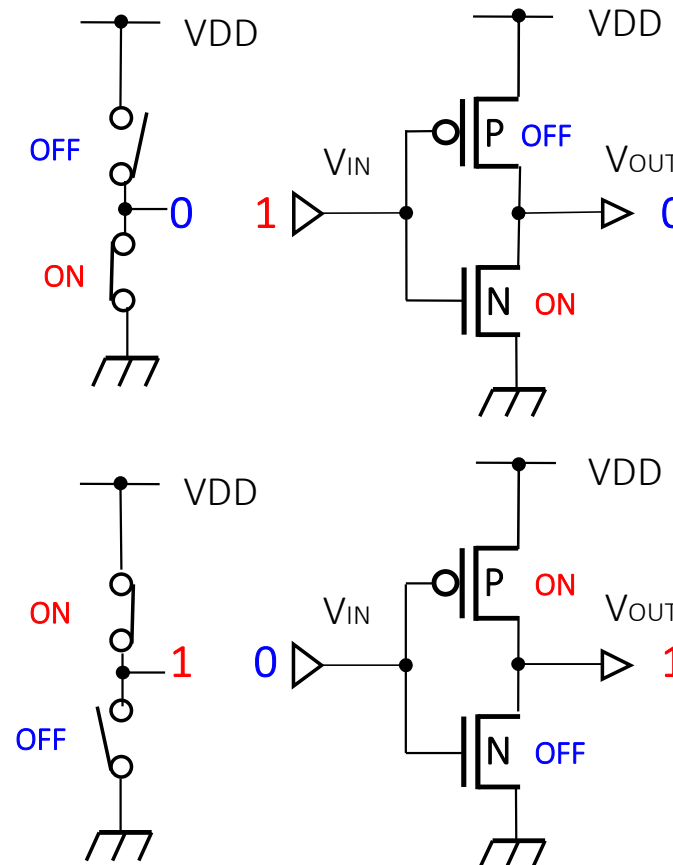
V_{in} が1のときは、PMOSがOFF, NMOSがON. よって V_{OUT} は0になる.

NMOS FET



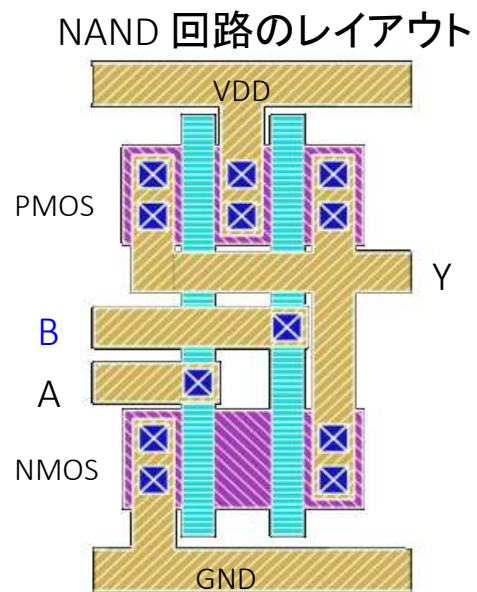
V_{in} が0のときは、PMOSがON, NMOSがOFF. よって V_{OUT} は1になる.

春学期 Review

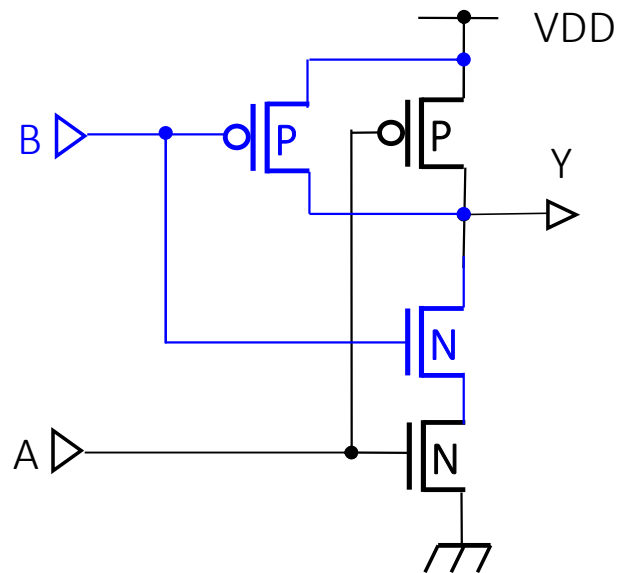


- CMOS 回路はスイッチングした時に電流が流れる
- スwitchングしていないときはほとんど電流が流れない
- トランジスタ回路では電流が流れ続ける
- そのため動作速度が遅いときはCMOSが低消費電力になる

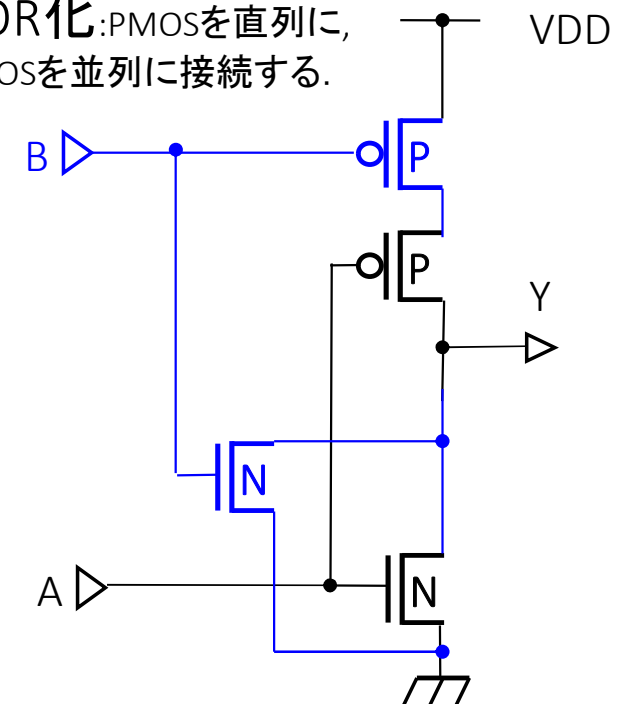
インバータ回路とNAND/NOR化



NAND化: PMOSを並列に,
NMOSを直列に接続する.



NOR化: PMOSを直列に,
NMOSを並列に接続する.



NANDとNORでは、ドライブ段の回路が違うので特性が異なる。

Exercise EX_203 文意要約

- 本文の以下のページを速読し、文意を要約して日本語でまとめる。
- 和文翻訳サイトを使ってもよいが、その前に必ず英文を通読すること。
- 図版や正確なギリシャ文字,数式は配布資料原本を参照のこと。
- EX_203-1 :P191 Section 4.2 STE-102-402
 - 4.2 Static CMOS Design
- EX_203-2 :P191 Section 4.2 STE-102-402
 - 4.2.1 Complementary CMOS
- EX_203-3 :P192 STE-102-403 line15 まで
- 提出はClass Web “レポート” にて木曜まで
- 毎回のレポートは、最低A4 1ページ以上は書いてください。余白には、今回の授業の内容、資料についての感想や要望を記入してください。

EX_203-1 4.2 Static CMOS Design

STE-102-402

- The static CMOS inverter discussed in Chapter 3 has excellent properties in many areas: low sensitivity to noise and process variations, excellent speed, and low power consumption. Most of those properties are carried over to more complex logic gates implemented using the same circuit topology. Unfortunately, complex static CMOS gates such as NAND gates with three or more inputs become large and slow. Other design styles have been devised to address this issue. In this section, we sequentially address the complementary, the ratioed, and the pass-transistor logic styles, all of which belong to the class of the static circuits. This means that at every point in time (except during the switching transients), each gate output is connected to either VDD or VSS via a low-resistance path. Also, the outputs of the gates assume at all times the value of the Boolean function implemented by the circuit (ignoring, once again, the transient effects during switching periods). This is in contrast to the dynamic circuit class, that relies on temporary storage of signal values on the capacitance of high-impedance circuit nodes. This approach has the advantage that the resulting gate is simpler and faster. On the other hand, its design and operation are more involved than those of its static counterpart, due to an increased sensitivity to noise. The design and analysis of dynamic gates is discussed in the Section 4.3.

EX_203-2 4.2.1 Complementary CMOS

STE-102-402

- A static CMOS gate, as represented by the CMOS inverter of Chapter 3, is a combination of two networks, called the *pull-up* network (PUN) and the *pull-down* network (PDN) (Figure 4.2). The PUN consists solely of PMOS transistors and provides a conditional connection to VDD. The PDN potentially connects the output to VSS and contains only NMOS devices. The PUN and PDN networks should be designed so that, whatever the value of the inputs, one and only one of the networks is conducting in steady state. In this way, a path always exists between VDD and the output F, realizing a high output ("one"), or, alternatively, between VSS and F for a low output ("zero"). This is equivalent to stating that the output node is always *low-impedance* node in steady state. In constructing the PDN and PUN networks, the following observations should be kept in mind:

EX_203-3 P192 STE-102-403 Line 15 まで

- A transistor (both NMOS and PMOS) can be thought of as a switch controlled by its gate signal.
- An NMOS switch closes when the controlling signal is high. A PMOS transistor, on the other hand, acts as an inverse switch; that is, the switch closes when the controlling signal is low.
- The PDN is constructed of NMOS devices, while PMOS transistors are used in the PUN. The main reason for this choice is that NMOS transistors produce "*strong zeros*" and PMOS devices generate "*strong ones*". We can clarify this statement with the following simple example. Assume that we try to discharge capacitance CL to GND through either an NMOS transistor (with the gate connected to VDD) or a PMOS device (with the gate connected to GND). The NMOS transistor discharges the capacitor all the way to GND (hence producing a *strong zero*), while the PMOS device shuts off when $V_{out} = |V_{Tp}|$ is reached (producing a *weak zero*). The former case is clearly preferable. Similar considerations lead to the choice of PMOS transistors in the PUN.

Memo

フォローアップURL (Revised)

<http://mikami.a.la9.jp/meiji/MEIJI.htm>

担当講師

三上廉司(みかみれんじ)

Renji_Mikami(at_mark)nifty.com

mikami(at_mark)meiji.ac.jp (Alternative)

http://mikami.a.la9.jp/_edu.htm

