

Science and Technology English I

Exercise 111 Meiji University 2020

(DICS Chapter-3 , The Inverter)

EX_111.pptx 18 Slides November 24th, 2019

<http://mikami.a.la9.jp/mdc/mdc1.htm>

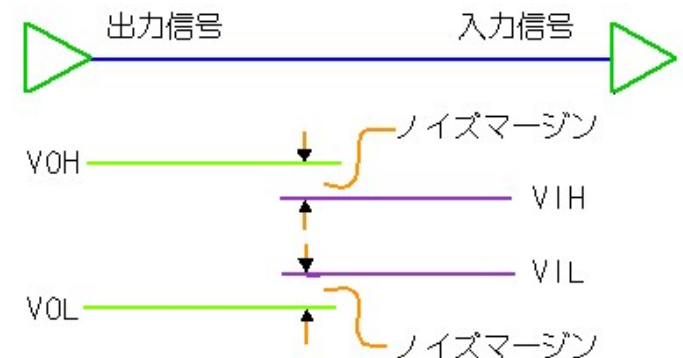
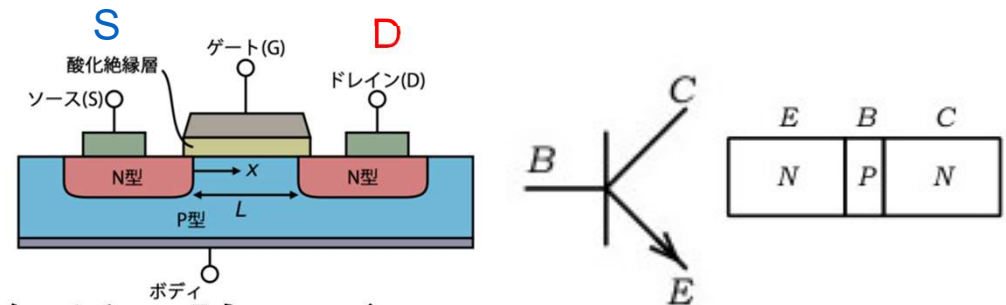
Renji Mikami

Renji_Mikami(at_mark)nifty.com [mikami(at_mark)meiji.ac.jp]

技術解説 Inverter

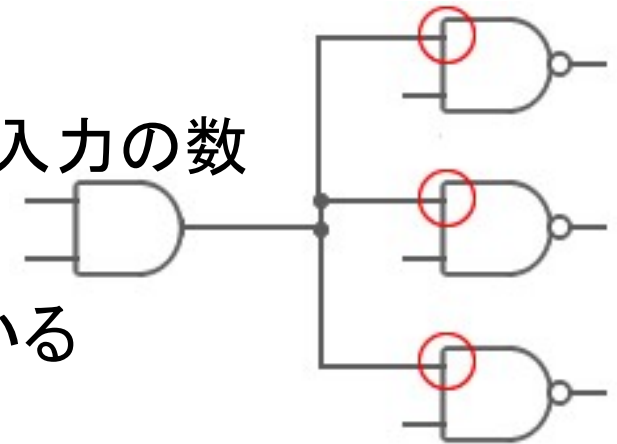
内容のポイント:

- インバータを基本としてここから各種の論理ゲートが作られる
- 重要な用語 V_{DD} (MOS回路の電源) V_{SS} (MOS回路の0電位)
 V_{CC} (トランジスタ回路の電源) GND (一般的な0電位)
- 論理ゲートの入力と出力電圧
- 出力側: 論理1 電圧が V_{OH} 以上 / 論理0 電圧が V_{OL} 以下
- 入力側: 論理1 電圧が V_{IH} 以上 / 論理0 電圧
- ノイズマージン(雑音余裕度)
- V_{OH} と V_{IH} の差/ V_{OL} と V_{IL} の差



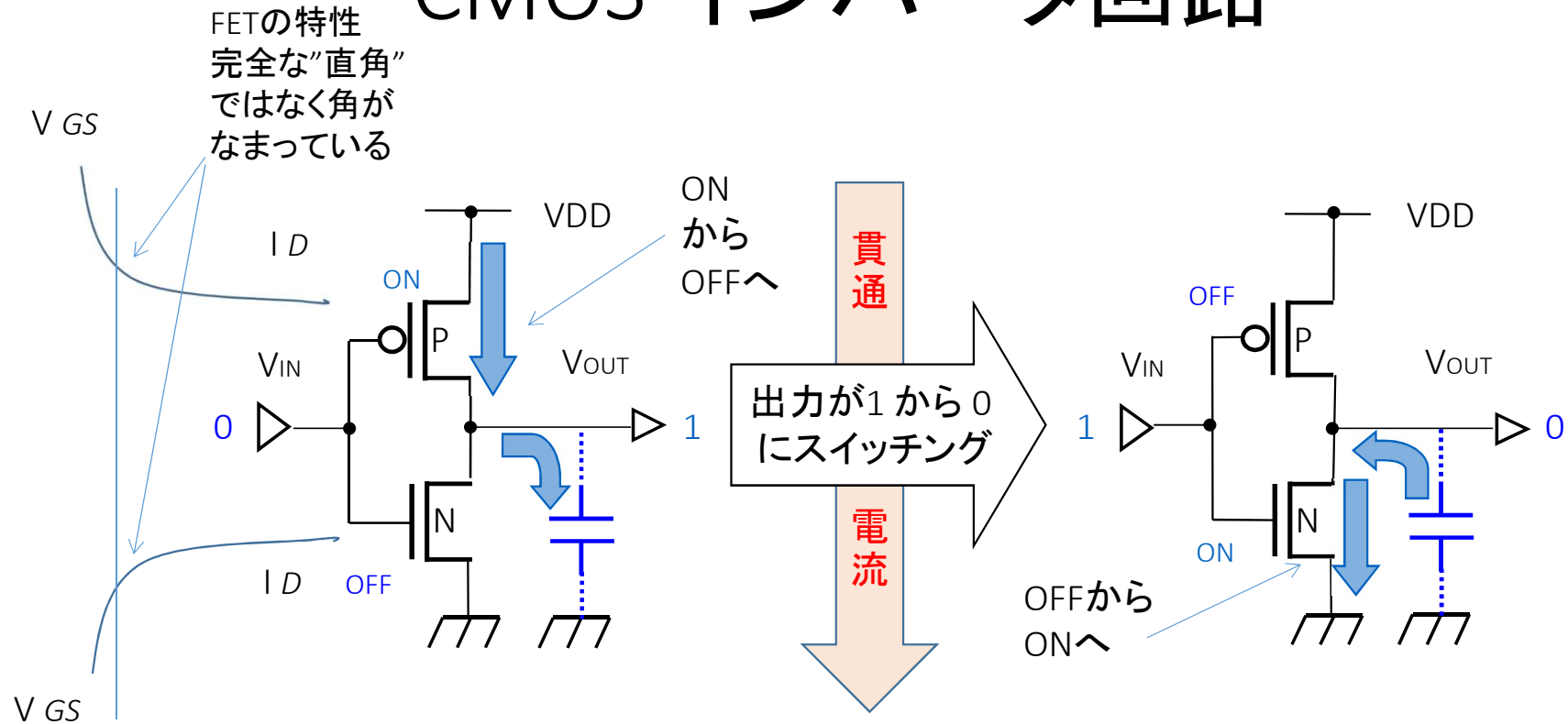
Fan-In と Fan-out

- ファンイン: 論理素子の入力の数
- ファンアウト: 論理素子の出力がドライブできる入力の数
- 右図の場合は Fan-In は 2 (2入力)、
- 左側の AND ゲートは 3つの入力をドライブしている



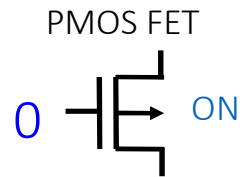
- TTL (Transistor Transistor Logic)の場合は Fan-out が 10程度
- 接続数が多くなると駆動電流とシンク電流が増加して出力レベルが甘くなる。(ノイズマージンを保てなくなる)-トランジスタの場合
- CMOSでは、出力は、配線とゲートの電荷の充電と放電を行うので、接続数が多くなると充放電時間が増えて、これが遅延となる。

CMOS インバータ回路

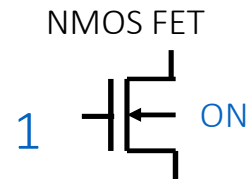


トランジスタの回路は、次の段を動作するためにB-E(ベース-エミッタ)間に電流を流し続けなければならない
MOSでは次の段を駆動するために電荷をチャージすればよい。電流は、**スイッチング時に流れる。**

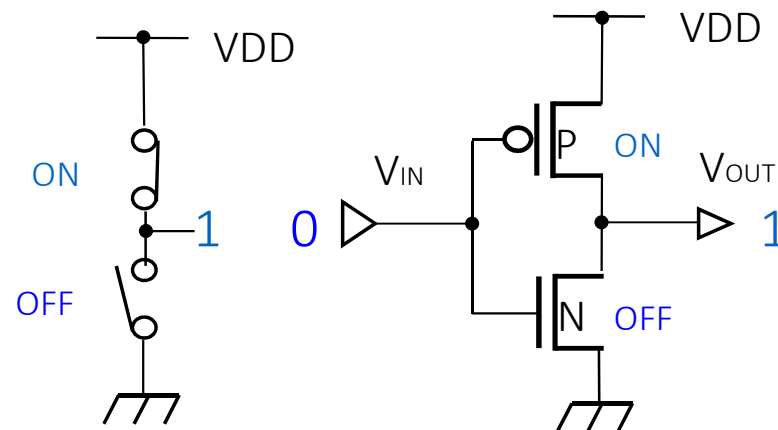
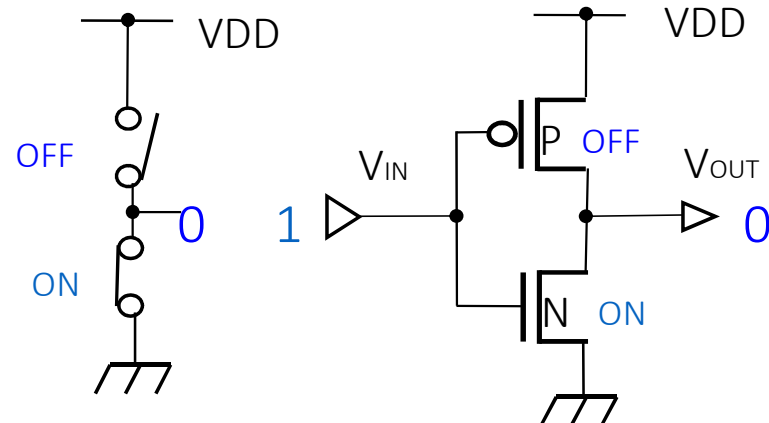
CMOS インバータ回路



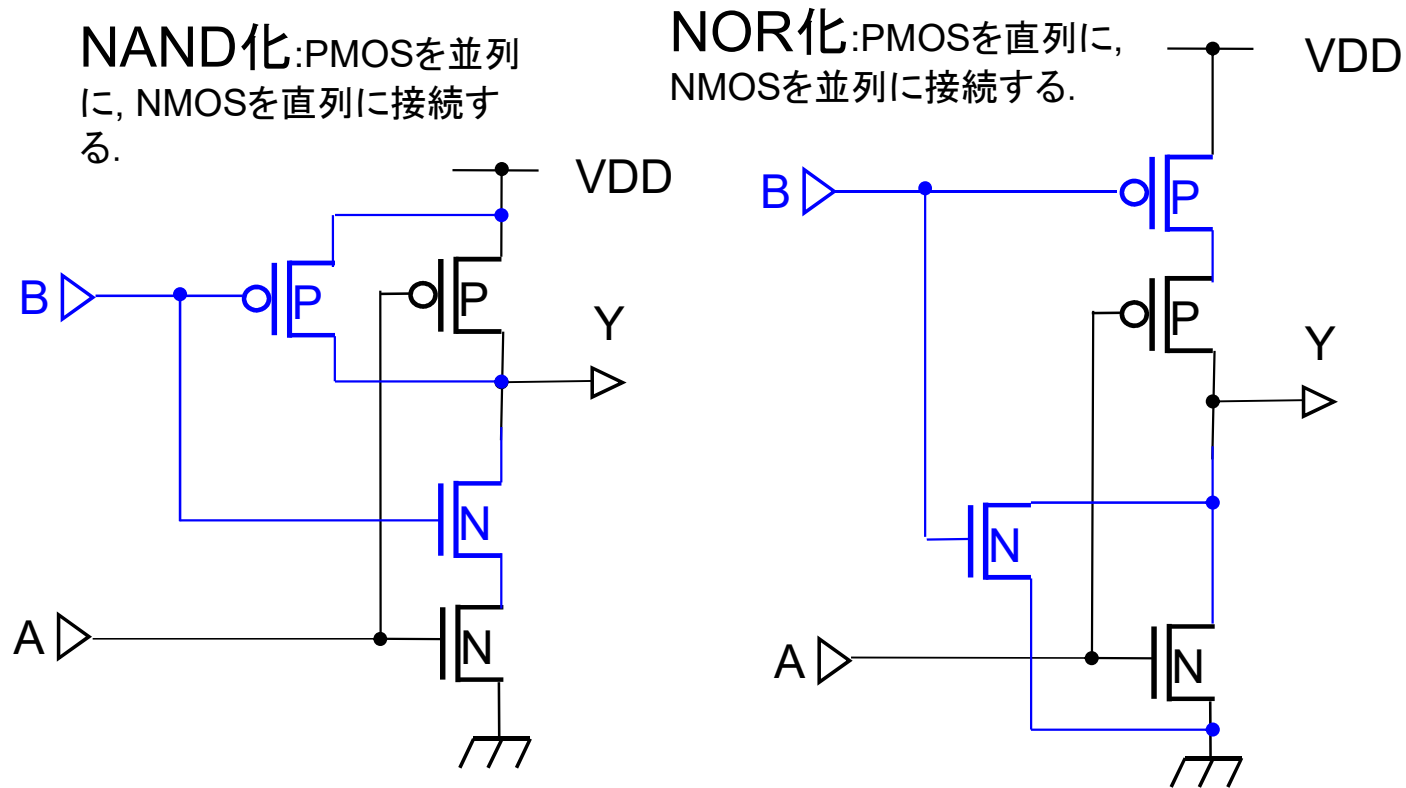
V_{in} が1のときは, PMOSがOFF, NMOSがON.
よって V_{out} は0になる.



V_{in} が0のときは, PMOSがON, NMOSがOFF.
よって V_{out} は1になる.

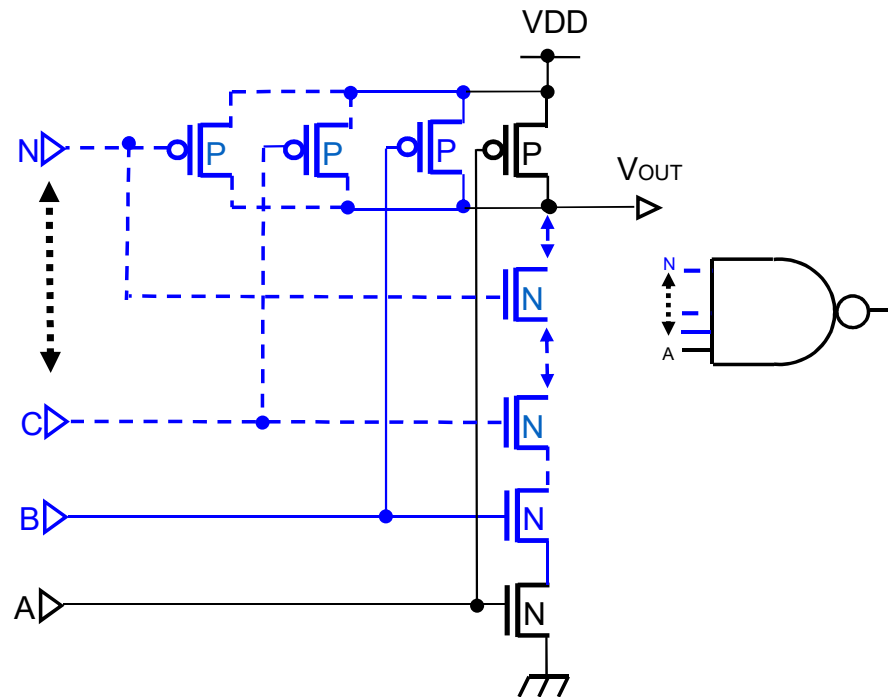


インバータ回路のNAND/NOR化



NANDとNORでは, ドライブ段の回路が違うので特性が異なる.

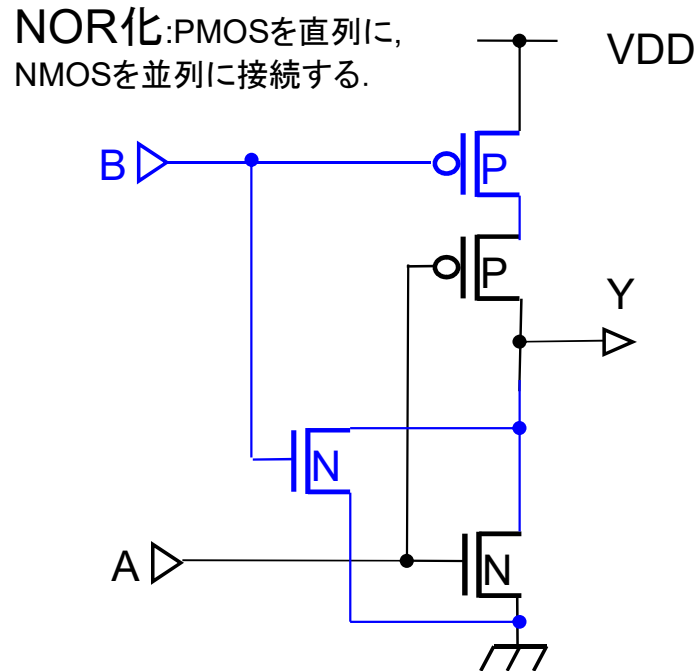
NAND回路の多入力化



(注) FETの直並列接続によって増やせる入力数には限界がある

NOR回路の多入力化

各自で3入力NOR回路を考えてみよう



NAND回路と同様にFETを直並列に増やすことで入力ゲート数を増やせる

ECL 回路

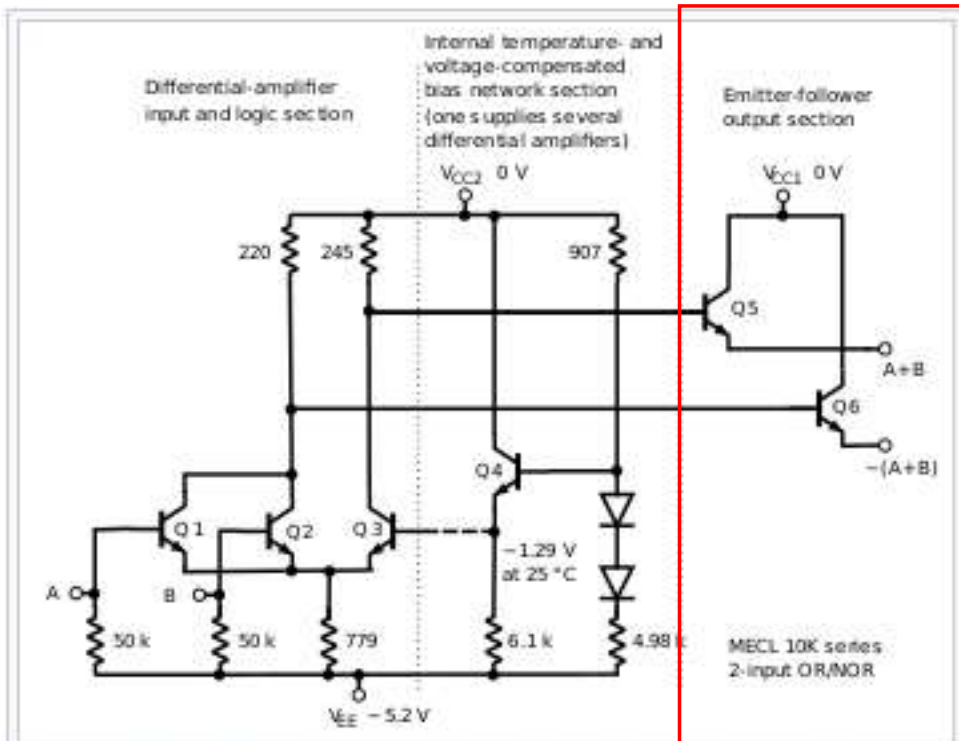
エミッタフォロア
回路

回路の終段(ドライバー段)がエミッタ駆動になっている。ドライバーの役割は、次の段をドライブ(駆動)することにある。

通常は、増幅率を高くとれるコレクタ側で駆動するが、ドライブ・インピーダンスが高いため駆動力は小さい。

エミッタ側でのドライブは、増幅率は1程度になるが駆動インピーダンスが低いので、負荷の大きい後段の回路を強力に駆動できる。(TTL(Transistor Transistor Logic)型回路では、ファンアウト(駆動できる入力回路の数)を大きくとれるので有利)

CMOS Logic では、電流で駆動せず、ゲートに電荷をチャージしたり抜いたりして動作させるので大きな駆動力を必要しない。



Motorola ECL 10,000 シリーズの基本ゲート回路

図[1]

図版引用: ウィキペディア

<https://ja.wikipedia.org/wiki/エミッタ結合論理>

Exercise: EX_111-1 p109 [STE-101-301]]

- ねらい: Inverter 回路が核になっている理由を読み取る
注: CMOS インバータに着目理解、ECLは当面考えなくてもいい
- Bipolar は2極(PとNの意味) junction は接合、ECLは、Emitter Couple Logic で高速動作だが現在特殊用途向け
- 3.1 Introduction 以下 20 (3 パラグラフ)

Exercise

課題文を要約してください(箇条書きでもOK、英文でも日本語でもかまいません)

提出は、Class Webで水曜まで

EX_111-1 p109 [STE-101-301]

3.1 Introduction

The inverter is truly the nucleus of all digital designs. Once its operation and properties are clearly understood, designing more intricate structures such as NAND gates, adders, multipliers, and microprocessors is greatly simplified. The electrical behavior of these complex circuits can be almost completely derived by extrapolating the results obtained for inverters. The analysis of inverters can be extended to explain the behavior of more complex gates such as NAND, NOR, or XOR, which in turn form the building blocks for modules such as multipliers and processors.

The choice of a technology or a design style dramatically affects the density, performance, and the power consumption of a design. To illustrate this, we discuss in detail the behavior of static complementary CMOS and bipolar ECL inverters, which are representative gates for both MOS and bipolar technologies. Although these are not the Only gate topologies in use (see Chapters 4 and 5), they are certainly the most popular at present. For each gate, we analyze the following fundamental properties:

- robustness, expressed by the static (or steady-state) behavior
- performance, determined by the dynamic (or transient) response
- heat dissipation and supply capacity requirements, set by the power consumption

The first Section provides precise definitions for each of the above properties. While each of these parameters can be easily quantified for a given technology, we also discuss how they are affected by scaling of the technology. Finally, the properties of the presented gates are summarized, and some suggestions are provided on selecting a technology.

3.1 Introduction

核

外挿する

動作と特性

109

The inverter is truly the nucleus of all digital designs. Once its operation and properties are clearly understood, designing more intricate structures such as NAND gates, adders, multipliers, and microprocessors is greatly simplified. The electrical behavior of these complex circuits can be almost completely derived by extrapolating the results obtained for inverters. The analysis of inverters can be extended to explain the behavior of more complex gates such as NAND, NOR, or XOR, which in turn form the building blocks for modules such as multipliers and processors.

集積密度、性能、消費電力

The choice of a technology or a design style dramatically affects the density, performance, and the power consumption of a design. To illustrate this, we discuss in detail the behavior of static complementary CMOS and bipolar ECL inverters, which are representative gates for both MOS and bipolar technologies. Although these are not the only gate topologies in use (see Chapters 4 and 5), they are certainly the most popular at present. For each gate, we analyze the following fundamental properties:

頑丈

• *robustness*, expressed by the static (or steady-state) behavior

静的な(定常的)

• *performance*, determined by the dynamic (or transient) response

動的な(過渡的)

熱放散

• *heat dissipation and supply capacity requirements*, set by the power consumption

The first section provides precise definitions for each of the above properties. While each of these parameters can be easily quantified for a given technology, we also discuss how they are affected by *scaling of the technology*. Finally, the properties of the presented gates are summarized, and some suggestions are provided on selecting a technology.

技術の微細化

定量化

EX_111- 1 p109 [STE-101-301]] 自動翻訳

- 3.1 序論
- インバーターは本当にすべてのデジタルのデザインの核である。いったんその操作とプロパティがはっきりと理解されたら、NANDゲート、加算器、係数、マイクロプロセッサなどのより複雑な構造をデザインすることが大いに簡素化される。これらの複雑な回路の電気の行動は、インバーターのために得られた結果を補外することによってほとんど完全に引き出されうる。インバーターの分析は、係数やプロセッサなどのモジュールのための建築用ブロックを次々形成するNAND、NOR、XORなどのより複雑なゲートの行動を説明するために拡張できる。
- テクノロジーまたはデザインスタイルの選択は、デザインの密度、性能、および電力消費量にドラマチックに影響する。これを説明するために、私達は、MOSおよび双極のテクノロジーのための代表したゲートである静的な補足的なCMOSおよび双極のECLインバーターの行動を詳細に議論する。これらは、使用(4および5章を見なさい)において、唯一のゲートポロジではないけれども、それらは確かに、現在最もポピュラーである。個々のゲートのために、私達は以下の基本財産を分析する:
 - 静的な(または定常)行動のため表現された-頑丈さ
 - 動的な(または短期滞在客)反応のため決定された-性能
 - 電力消費量で設定された-放熱と供給必要生産能力
- 最初のセクションは上記のプロパティのうちのそれぞれに精密な定義を提供する。与えられたテクノロジーのためにこれらのパラメータのうちのそれぞれが容易に定量化できる間、私達は、どのようにそれらがテクノロジーの縮尺によって影響されるかも議論する。最後に、提出されたゲートのプロパティが要約されて、テクノロジーを選ぶとすぐに、いくつかの提案が提供される。

<https://www.excite.co.jp/world/english/>

Exercise: EX_111-2 p115 [STE-101-307]

- ねらい: MOSFET の Fan In Fan Out を理解する
- 次週課題もできたら読んでおく
- ターゲット文は MOS Structure Capacitors 16ライン

Exercise

ポイントに注目してEX_111-2を要約してください
(英文でも日本文でもかまいません)

提出は、Class Webで水曜まで

EX_111-2 p115 [STE-101-307]

- Fan-In and Fan-Out
- The fan-out denotes the number of load gates N that are connected to the output of the driving gate (Figure 3.7). Increasing the fan-out of a gate can affect its logic output: levels. From the world of analog amplifiers, we know that this effect is minimized by making the input resistance of the load gates as large as possible (minimizing the input currents) and by keeping the output resistance of the driving gate small (reducing the effects of load currents on the output voltage). When the fan-out is large, the added load can deteriorate the dynamic performance of the driving gate. For these reasons, many generic and library components define a maximum fan-out to guarantee that the static and dynamic performance of the element meet specification.
- The fan-in of a gate is defined as the number of inputs to the gate (Figure 3.7b). Gates with large fan-in tend to be more complex, which often results in inferior static and dynamic properties.

EX_111-2 p115 [STE-101-307]

Fan-In and Fan-Out

STE-101-307

劣化させる

115

The *fan-out* denotes the number of load gates N that are connected to the output of the driving gate (Figure 3.7). Increasing the fan-out of a gate can affect its logic output levels. From the world of analog amplifiers, we know that this effect is minimized by making the input resistance of the load gates as large as possible (minimizing the input currents) and by keeping the output resistance of the driving gate small (reducing the effects of load currents on the output voltage). When the fan-out is large, the added load can deteriorate the dynamic performance of the driving gate. For these reasons, many generic and library components define a *maximum fan-out* to guarantee that the static and dynamic performance of the element meet specification.

The *fan-in* of a gate is defined as the number of inputs to the gate (Figure 3.7b). Gates with large fan-in tend to be more complex, which often results in inferior static and dynamic properties.

保証する

仕様

劣等の

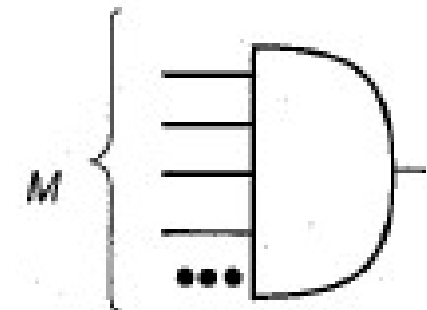
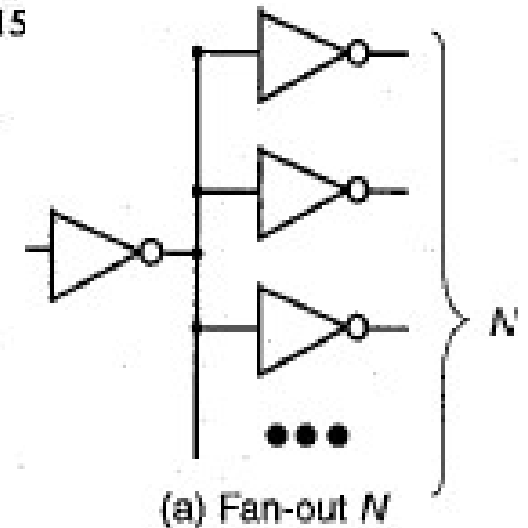


Figure 3.7 Definition of fan-out and fan-in of a digital gate.

EX_111-2 p115 [STE-101-307] 自動翻訳

- ファンインとファンアウト
- ファンアウトは、ドライブゲートのアウトプットと接続されるロードゲートNの数を示す(図3.7)。ゲートのファンアウトを増大させることはそのロジックアウトプットに影響するかもしれない:レベル。アナログ増幅器の世界から、私達は、この効果が、ロードゲートのインプット抵抗を、(インプット電流を最小化する)できる限り大きくすること、およびドライブゲートのアウトプット抵抗を小さくしておくことによって最小化されると知っている(ロード電流のアウトプット電圧への効果を減らす)。ファンアウトが大きい時には、追加されたロードはドライブゲートの動的な性能を悪化できる。これらの理由のために、一般的な多くとライブラリコンポーネントは、要素の静的で、動的な性能が指定を満たしていることを保証するために、最大のファンアウトを定義する。
- ゲートのファンインはゲートへのインプットの数と定義される(数値3.7b)。大きいファンインを持つゲイツは、より複雑である傾向がある。それは、しばしば、劣っている静的な、および動的なプロパティを結果として生じる。

<https://www.excite.co.jp/world/english/>

Memo

フォローアップURL (Revised)

<http://mikami.a.la9.jp/meiji/MEIJI.htm>

担当講師

三上廉司(みかみれんじ)

Renji_Mikami(at_mark)nifty.com

mikami(at_mark)meiji.ac.jp (Alternative)

http://mikami.a.la9.jp/_edu.htm

