

概要説明

独自のコンフィグレーション可能なブロックのアレイを備えた PSoC[®]5 は、MCU、メモリ、アナログ、およびデジタルの周辺回路機能を 1 つのチップに収めた真のシステム レベル ソリューションを提供します。CY8C53 ファミリは、高精度、広帯域、および高い柔軟性で信号を取得、処理、および制御する最新の手段を提供します。アナログ機能では熱電対 (DC 出力) から、超音波信号までさまざまなセンサを扱えます。CY8C53 ファミリはすべての IO ポートにおいてデジタル信号データ入力、アナログ信号の入力を行うことができます。また、USB、マルチマスタ I²C、CAN などのインタフェースを搭載した高性能のコンフィグレーション可能なデジタル システムとして機能するものもあります。CY8C53 ファミリでは、通信インタフェースのほかに、容易に構成できるロジックアレイ、すべての I/O ピンへの信号の柔軟なルーティング機能、および高性能な 32 ビット ARM[®] Cortex[™]-M3 マイクロプロセッサ コアを備えています。階層的な回路設計入力ツールである PSoC[®] Creator[™] を設計段階で使用して、あらかじめ構築されたコンポーネントと基本論理要素の豊富なライブラリにより、システム レベルの設計を容易に構築できます。設計者は、設計ツールである PSoC Creator にあらかじめ用意されたコンポーネントと基本的な回路構成要素 (論理回路、ワイヤなど) を組み合わせ、簡単にシステム レベル デザインを行うことができます。CY8C53 ファミリは、アナログとデジタルの素材を統合するうえで、他に類のない機会を提供します。その一方で、簡単なファームウェア更新により、設計の最終段階でもその設計内容を容易に変更できます。

特長

- 32 ビット ARM Cortex-M3 CPU コア
 - DC ~ 80 MHz で動作
 - フラッシュ プログラム領域、最大 256 KB、10 万回の書き込みサイクル、20 年の保存期間、各種セキュリティ機能
 - 最大 64 KB の SRAM メモリ
 - 2 KB の EEPROM メモリ、100 万サイクル、20 年の保存期間
 - マルチレイヤの AHB バス アクセスによる 24 チャンネルの DMA
 - ・ プログラム可能なチェンド デスクリプタおよびプライオリティ
 - ・ 高帯域幅の 32 ビット転送をサポート
- 低電圧、超低消費電力
 - 広い動作電圧範囲: 0.5V ~ 5.5V
 - 0.5V 入力から 1.8V ~ 5.0V 出力を得る高効率ブースト型安定化電源
 - 6 MHz で 2 mA の低消費電流を実現
 - 低消費電力モード:
 - ・ RAM データ維持および LVD による 300 nA 休止モード
 - ・ リアルタイムクロックおよび低電圧リセットによる 2 μA スリープモード
- 汎用性の高い I/O システム
 - 28 ~ 72 個の I/O (62 個の GPIO、8 個の SIO、2 個の USBIO^[1])
 - 任意の GPIO から任意のデジタル周辺回路またはアナログ周辺回路への接続が可能
 - 任意の GPIO で最大 46 × 16 セグメントの LCD を直接駆動^[1]
 - I/O 電圧は最大 4 つのドメインに分割し、各ドメインは 1.2V ~ 5.5V の範囲で振り分けることができる
 - 任意のピンまたはポートで、マスク可能な独立した IRQ
 - シュミットトリガ TTL 入力
 - オープンドレイン HIGH/LOW、プルアップ/プルダウン、High-Z、またはストロング (Strong) 出力としてすべての GPIO をコンフィグレーション可能
 - パワーオンリセット (POR) 時の GPIO ピン状態をコンフィグレーション可能
 - SIO で 25 mA のシンクを実現
- デジタル周辺回路
 - 20 ~ 24 個のプログラム可能な PLD ベースのユニバーサル デジタル ブロック
 - フル CAN 2.0b の 16 個の受信バッファと 8 個の送信バッファ^[1]
 - 内部発振器を使用したフルスピード (FS) USB 2.0 で 12 Mbps を実現^[1]
 - 最大で 4 個のコンフィグレーション可能なタイマ、カウンタ、および PWM の 16 ビット ブロック
 - 標準周辺回路のライブラリ
 - ・ 8 ビット、16 ビット、24 ビット、および 32 ビットのタイマ、カウンタ、および PWM
 - ・ SPI、UART、I²C
 - ・ その他多くの機能についてはカタログをご覧ください
- 高度な周辺回路のライブラリ
 - ・ 巡回冗長検査回路 (CRC)
 - ・ 疑似ランダムシーケンス (PRS) ジェネレータ
 - ・ LIN Bus 2.0
 - ・ 直交デコーダ
- アナログ周辺回路 (1.71V ≤ V_{DDA} ≤ 5.5V)
 - 1.024V ± 0.1% の内部リファレンス電圧を -40°C ~ +85°C の範囲で安定して実現 (14 ppm/°C)
 - 1 Msps 12 ビット SAR ADC^[1]
 - 4 個の 8 ビット 8 Msps の IDAC または 8 ビット 1 Msps の VDAC
 - 応答時間 75 ns の 4 個のコンパレータ
 - 25 mA の駆動能力を持つユーザがカスタマイズ可能なオペアンプ 4 個
 - 4 個のコンフィグレーション可能な多機能アナログブロック。構成の例として、PGA、TIA、ミキサ、サンプルおよびホールドが可能
- プログラミング、デバッグ、およびトレース
 - JTAG (4 線)、シリアルワイヤデバッグ (SWD、2 線)、シングルワイヤビューワ (SWV)、および TRACEPORT インタフェース
 - Cortex-M3 FPB (Flash Patch and Breakpoint) ブロック
 - 命令トレースストリームを生成する Cortex-M3 ETM[™] (Embedded Trace Macrocell[™])
 - データトレース情報を生成する Cortex-M3 DWT (Data Watchpoint and Trace)
 - printf スタイルのデバッグが可能な Cortex-M3 ITM (Instrumentation Trace Macrocell)
 - DWT、ETM、および ITM の各ブロックでは、SWV または TRACEPORT を介してオフチップデバッグおよびトレースシステムと通信
 - I²C、SPI、UART、USB、およびその他のインタフェースを通じてブートローダプログラミングをサポート可能
- プログラム可能な高精度クロック供給
 - 広い範囲の温度と電圧で動作する 1 ~ 74 MHz の内部発振器
 - 4 ~ 33 MHz の水晶振動子による水晶精度 PPM の実現
 - 最大 80 MHz までの内部 PLL クロック生成
 - 32.768 kHz のウォッチ水晶振動子
 - 1 kHz、33 kHz、および 100 kHz の低消費電力内部発振器
- 温度およびパッケージ
 - -40°C ~ +85°C の工業用温度に対応
 - 48 ピン SSOP、68 ピン QFN、および 100 ピン TQFP のパッケージオプション

アーキテクチャ概要

ここでは、超低消費電力、フラッシュによる Programmable System-on-Chip (PSoC[®]) デバイス、スケラブルな 8 ビット PSoC[®]3 プラットフォームを備えた CY8C53 ファミリを紹介しします。CY8C53 ファミリは、CPU サブシステムに関連するアナログ回路、デジタル回路、および相互接続回路のブロックを提供しします。非常に柔軟なアナログ サブシステム、コンフィグレーション可能なデジタル サブシステム、データのルーティング、および I/O を CPU と組み合わせることで、民生用、産業用、および医療用の多彩な用途で高度な統合を実現できます。

図 0-1. 簡略化したブロック図

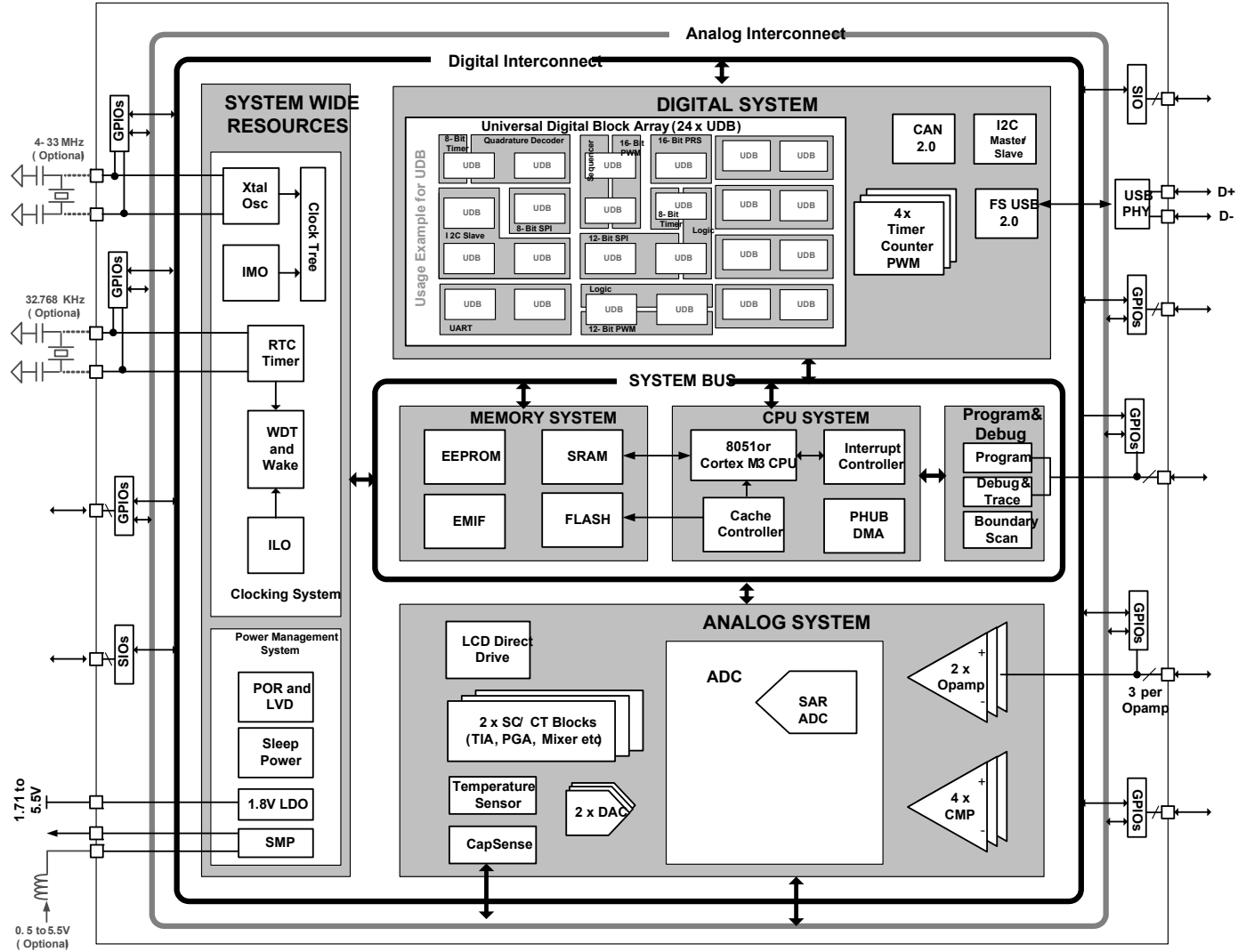


図 0-1 は、CY8C53 ファミリの主要なコンポーネントを示します。それらは以下のとおりです。

- ARM Cortex-M3 CPU サブシステム
- ノンボラタイル サブシステム
- プログラミング、デバッグ、およびテストのサブシステム
- 入力と出力
- クロッキング
- 電源
- デジタル サブシステム
- アナログ サブシステム

PSoC の持つ柔軟性のうちの半分はデジタルサブシステムによって実現されています。デジタルシステム インターコネクト (DSI) は、任意のピンとさまざまな周辺回路との接続を可能とします。また、小型、高速、低消費電力なユニバーサルデジタルブロック (UDB) によってデジタル機能の柔軟性を提供しています。PSoC Creator では、この UDB を利用して構築およびテストの完了した各種ライブラリを提供しています (UART、SPI、LIN、PRS、CRC、タイマ、カウンタ、PWM、AND、OR など)。PSoC Creator は、UDB アレイにマッピングされた標準デジタル周辺機能 (UART、SPI、LIN、PRS、CRC、タイマ、カウンタ、PWM、AND、OR など) の、構築とテストを完了したライブラリを提供します。グラフィカルな設計入力手段を通じ、基本論理要素を使用してデジタル回路を容易に作成することもできます。各 UDB には、プログラマブル アレイ ロジック (PAL) とプログラマブル ロジック デバイス (PLD) の機能が小型のステート マシン エンジンとともに有機的にまとめられているので、幅広い周辺回路をサポートできます。

PSoC には、UDB アレイの柔軟性のほか、特定の機能を対象としたコンフィグレーション可能なデジタル ブロックも用意されています。CY8C53 ファミリの場合は、4 個の 16 ビット タイマ、カウンタ、PWM ブロック、I²C によるスレーブ、マスタ、およびマルチマスタ、フルスピード USB、フル CAN 2.0b をこれらのブロックで扱うことができます。

PSoC のアナログ サブシステムは、PSoC 独自のコンフィグレーション機能の残り半分を受け持ちます。すべてのアナログ性能は、広い範囲の温度と電圧にわたって誤差が 0.1% 未満の高精度な絶対リファレンス電圧に基づいています。コンフィグレーション可能なアナログ サブシステムとして、次の機能があります。

- アナログ マルチプレクサ
- コンパレータ
- アナログ ミキサ
- リファレンス電圧
- アナログ - デジタル変換器 (ADC)
- デジタル - アナログ変換器 (DAC)

内部アナログバスを使用すると、すべての GPIO ピンでアナログ信号の入出力が可能です。これにより、最大 62 個の独立したアナログ信号とのインタフェースが実現します。

CY8C53 ファミリは、逐次比較型レジスタ (SAR) ADC を備えています。また、1 秒あたり最高 1M のサンプリングで 12 ビット変換を行い、70 dB 以上の低い非リニアリティ、オフセット誤差、S/N 比を実現します。これは、さまざまな高速のアナログ用途に最適です。

2 個の高速な電圧 DAC または電流 DAC は、最高 8 Msps のアップデート速度で 8 ビットの出力信号をサポートします。これらの DAC から任意の GPIO ピンに出力できます。UDB アレイを使用して、より分解能の高い電圧 DAC 出力を生成できます。この方法では、最高 48 kHz で最大 10 ビットのパルス幅変調 (PWM) DAC が実現します。各 UDB 内のデジタル DAC は、PWM、PRS、またはデルタ シグマ アルゴリズムをサポートし、パルス幅はプログラム可能です。

アナログ サブシステムは、ADC と DAC のほか、以下のコンポーネントを提供します。

- コンパレータ
- オペアンプ
- コンフィグレーション可能なスイッチド キャパシタ / 連続時間 (SC/CT) ブロック。これは以下をサポートしています。
 - トランスインピーダンス アンプ
 - プログラマブル ゲイン アンプ
 - ミキサ
 - その他のアナログ コンポーネント

PSoC の CPU サブシステムは、最大 80 MHz で動作する 3 段パイプライン方式の 32 ビット ARM Cortex-M3 プロセッサを中心に構成されています。Cortex-M3 は、密接に統合されネスト可能なベクタ割り込みコントローラ (NVIC) および各種のデバッグモジュールやトレースモジュールを備えています。大まかな構成で見た CPU サブシステムには、DMA コントローラ、フラッシュ キャッシュ、および RAM があります。NVIC では、低レイテンシ、ネスト可能な割り込み、割り込みのテールチェーンなどの機能を提供することで、割り込み処理の効率化を図っています。DMA コントローラにより、周辺回路は CPU の介入なしにデータを交換できます。これにより、CPU の動作を低速にすることによる消費電力削減や、この CPU サイクルを活用したファームウェア アルゴリズムの性能改善を図ることができます。また、フラッシュ キャッシュによってフラッシュへのアクセス頻度を抑えることでシステムの消費電力を低減できます。

PSoC のノンボラタイル サブシステムは、フラッシュ、バイト書き込み可能な EEPROM、およびノンボラタイルな構成オプションから成り、最大 256 KB のオンチップフラッシュが用意されています。CPU は、ブートロダ機能を有効にしていると CPU がフラッシュの、各ブロックを再書き込みすることができます。設計段階で誤り訂正符号 (ECC) をイネーブルにして、アプリケーションの高信頼化を図ることができます。ユーザの重要な情報は、メモリのブロックを選択的にロックして読み取り保護および書き込み保護できる強力で柔軟な保護モデルによって保護されます。アプリケーション データの保存用として、チップ上に 2 KB のバイト書き込み可能な EEPROM が用意されています。さらに、ブート速度やピン駆動モードなどの選択した構成オプションがノンボラタイル メモリに保存されるので、パワーオン リセット (POR) 後、直ちにその設定が有効になります。

3 種類の PSoC I/O にはきわめて高い柔軟性があります。すべての I/O が多数の駆動モードを備えており、これらのモードが POR 時に設定されます。PSoC では、Vddio ピンを使用して最大 4 種類の I/O 電圧ドメインに分割して利用できます。アナログ I/O、LCD 駆動、柔軟な割り込み生成、スルー レート制御、およびデジタル I/O 機能をすべての GPIO が備えています。PSoC 上の SIO では、出力として使用する Voh を Vddio とは別に設定できます。入力モード時の SIO は高インピーダンスになりますが、これはデバイスに電源が供給されていない場合やピン電圧が電源電圧を超えている場合でも同様です。このことから、SIO は I²C バスに最適です。このようなバスでは、バス上にあるデバイスの中には電源がオフになっているものがあることが考えられるからです。また、LED 駆動などの用途を考慮して、SIO ピンは大電流シンクの機能も備えています。SIO のプログラム可能な入力きい値機能を使用すると、汎用アナログ コンパレータとして SIO 機能を使用できます。フルスピード USB を備えたデバイス向けに、USB の物理的インタフェースも用意されています (USBIO)。USB を使用しない場合、限定されたデジタル機能およびデバイス プログラミングにこれらのピンを使用することもできます。

PSoC デバイスには、柔軟性のある内部クロック発生器が組み込まれています。この発生器は、高い安定性を目指して設計され、高精度が得られるように出荷時に調整済みです。内部メイン発振器 (IMO) はシステムのマスタクロック基準であり、3 MHz で 1% の精度を備えています。

IMO は、3 MHz ~ 74 MHz の範囲で動作するように構成できます。各用途での要求に応じて、メイン クロック周波数から複数の派生クロックを得ることができます。このデバイスは、IMO、外部水晶振動子、または外部リファレンス クロックから最大 80 MHz のシステム クロック周波数を発生できる PLL を備えています。また、スリープ タイマおよびウォッチドッグ タイマ用として、独立した超低消費電力の内部低速発振器 (ILO) も搭載されています。リアルタイム クロック (RTC) の用途で、32.768 kHz の外部ウォッチ水晶振動子も使用できます。プログラム可能なクロック分周器とこれらのクロックを組み合わせることで、ほとんどのタイミング要件に総合的に応えることができる柔軟性が得られます。

CY8C53 ファミリでは、1.71 ~ 5.5V という広い動作電源電圧範囲がサポートされています。このため、1.8V ± 5%、2.5V ± 10%、3.3V ± 10%、5.0V ± 10% などの安定化電源のほか、さまざまな電池から直接電源を供給することもできます。さらに、0.5V という低い電源電圧でデバイスを動作させることができる高効率の同期ブースト コンバータが組み込まれています。これにより、1 個の電池または太陽電池からデバイスに電源を直接供給できます。さらに、設計段階でブースト コンバータを使用して、LCD ドライブ用の 3.3V など、他のデバイスに必要な電源電圧を生成できます。ブーストの出力電圧は Vboost ピンに出力され、同じ用途で使用している他のデバイスに PSoC から電源を供給できます。

PSoC は、各種の低消費電力モードをサポートしています。このモードには、RAM のデータを維持する 300 nA の休止モード、リアルタイム クロック (RTC) が使用可能な 2 μ A のスリープ モードがあります。スリープ モードでは、オプションの 32.768 kHz ウォッチ水晶振動子が継続して動作し、正確な RTC を維持します。

プログラム可能なデジタル周辺回路とアナログ周辺回路などのすべての主要な機能ブロックへの電源は、ファームウェアで個別に制御できます。このため、使用していない周辺回路がある場合に低消費電力のバックグラウンド処理が可能になります。その結果、デバイスの合計電流は、CPU を 6 MHz で実行しているときは 2 mA という小さい値になります。

PSoC のプログラミング、デバッグ、およびテストには、JTAG (4 線) またはシリアルワイヤ デバッグ (SWD、2 線) のインタフェースを使用します。これらの標準的なインタフェースを使用することで、サイプレックス製またはサードパーティ製の各種ハードウェア ソリューションによる PSoC のデバッグやプログラミングが可能になります。Cortex-M3 のデバッグとトレースのモジュールとして、FPB (Flash Patch and Breakpoint)、DWT (Data Watchpoint and Trace)、ETM (Embedded Trace Macrocell)、および ITM (Instrumentation Trace Macrocell) があります。これらのモジュールには、さまざまなデバッグとトレースの問題の解決に役立つ機能が数多く用意されています。

Document History Page

Document Title: PSOC® 5: CY8C52 Family Data Sheet Programmable System-on-Chip (PSoC®) Preliminary (JA)				
Document Number: 001-62939				
Revision	ECN	Orig. of Change	Submission Date	Description of Change
**	2977945	FSU	7/9/2010	New Spec

© Cypress Semiconductor Corporation (サイプレス セミコンダクタ コーポレーション)、2010。本文書に記載される情報は、事前の予告なく変更されることがあります。サイプレス セミコンダクタ コーポレーションは、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対しても一切の責任を負いません。かつ、サイプレス セミコンダクタ コーポレーションは、特許またはその他の権利に基づくライセンスを譲渡することも、又は含意することはありません。サイプレス製品は、サイプレスとの書面による明示的な合意に基づくものではない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される、生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

PSoC Designer™、Programmable System-on-Chip™、および PSoC Creator™ はサイプレス セミコンダクタ コーポレーションの商標であり、PSoC® は、サイプレス セミコンダクタ コーポレーションの登録商標です。本文書で言及するその他全ての商標または登録商標は、各社の所有物です。

全てのソースコード(ソフトウェアおよび/またはファームウェア)はサイプレス セミコンダクタ コーポレーション(以下サイプレス)が所有し、全世界の特許権保護(米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンサーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであって、適用される契約で指定されたサイプレスの集積回路と併用されるライセンサーの製品のみをサポートするカスタムソフトウェアおよび/またはカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することは全て禁止されます。

免責事項：サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレスソフトウェアライセンス契約によって制限され、かつ制約される場合があります。