



CYPRESS MICROSYSTEMS

CY8C27143, CY8C27243, CY8C27443, CY8C27543, CY8C27643

PSoC™ Mixed Signal Array Final Data Sheet

July 10, 2004

Cypress MicroSystems
2700 162nd Street SW
Building D
Lynnwood, WA 98037
Phone: 800.669.0557
FAX: 425.787.4641
<http://www.cypress.com>

Document No. 38-12012 Rev.*D

© Cypress MicroSystems, Inc. 2000-2003. All rights reserved. PSoC™ (Programmable System-on-Chip™) は、Cypress MicroSystems, Inc. の商標です。本書で参照されている他の商標および登録商標は各企業の所有物です。

本書に含まれている情報は予告なく変更することがあります。Cypress MicroSystems は、Cypress MicroSystems 製品を利用して構成された回路以外のすべての回路の使用に関して一切の責任を負いません。また、特許または他の権利下のライセンスは譲渡されません。Cypress MicroSystems は、誤動作または故障が利用者に重大な障害を引き起こす可能性がある生命維持装置中の重要なコンポーネントとして Cypress MicroSystems 製品を利用することを認めていません。そのような生命維持装置で Cypress MicroSystems 製品を利用した場合、生命維持装置の製造元は一切の責任を負うことを了承するものとします。

Contents (目次)



SECTION A OVERVIEW (概要)	13
Features (機能).....	13
Getting Started (はじめに).....	14
Development Kits (開発キット).....	14
Tele-Training (電話トレーニング).....	14
Consultants (コンサルタント).....	14
Technical Support (テクニカルサポート).....	14
Top-Level Architecture (トップレベルアーキテクチャ).....	15
Development Tools (開発ツール).....	16
PSoC Designer Software サブシステム.....	16
Hardware Tools (ハードウェアツール).....	17
User Modules and Development Process (ユーザモジュールと開発プロセス).....	17
Ordering Information (注文情報).....	19
Organization and Conventions (構成と規則).....	20
Document Organization (文書構成).....	20
Document Conventions (文書規則).....	20
1. Pin Information (ピン情報).....	23
1.1 Pin Summary (ピンサマリ).....	23
1.2 Pinouts (ピンアウト).....	24
2. Packaging Information (パッケージング情報).....	29
2.1 Packaging Dimensions (パッケージング次元).....	29
2.2 Thermal Impedances (熱インピーダンス).....	34
SECTION B CORE ARCHITECTURE (コアアーキテクチャ)	35
Top-Level Core Architecture (トップレベルコアアーキテクチャ).....	35
Core Register Summary (コアレジスタサマリ).....	36
3. CPU Core (M8C) (CPU コア).....	39
3.1 Internal Registers (内部レジスタ).....	39
3.2 Address Spaces (アドレス空間).....	39
3.3 Instruction Set Summary (命令セットサマリ).....	41
3.4 Instruction Format (命令形式).....	42
3.4.1 1 バイト命令.....	42
3.4.2 2 バイト命令.....	42
3.4.3 3 バイト命令.....	43

3.5	Addressing Modes (アドレッシングモード)	43
3.5.1	Source Immediate (ソース即値)	43
3.5.2	Source Direct (ソース直接)	44
3.5.3	Source Indexed (ソースインデックス)	44
3.5.4	Destination Direct (デスティネーション直接)	44
3.5.5	Destination Indexed (デスティネーションインデックス)	45
3.5.6	Destination Direct Source Immediate (デスティネーション直接ソース即値)	45
3.5.7	Destination Indexed Source Immediate (デスティネーションインデックスソース即値)	45
3.5.8	Destination Direct Source Direct (デスティネーション直接ソース直接)	46
3.5.9	Source Indirect Post Increment (ソース間接ポストインクリメント)	46
3.5.10	Destination Indirect Post Increment (デスティネーション間接ポストインクリメント)	46
3.6	Register Definitions (レジスタ定義)	47
3.6.1	CPU_F (フラグ) レジスタ	47
4.	Supervisory ROM (SROM) (監視 ROM)	49
4.1	Architectural Description (アーキテクチャ上の説明)	49
4.1.1	その他の SROM 機能	50
4.1.2	SROM 関数の説明	50
4.2	Register Definitions (レジスタ定義)	53
4.2.1	CPU_SCR1 レジスタ	53
4.3	Clocking (クロック)	53
5.	Interrupt Controller (割り込みコントローラ)	55
5.1	Architectural Description (アーキテクチャ上の説明)	56
5.2	Register Definitions (レジスタ定義)	57
5.2.1	INT_CLRx レジスタ	57
5.2.2	INT_MSKx レジスタ	57
5.2.3	INT_VC レジスタ	57
5.2.4	CPU_F レジスタ	57
6.	General Purpose IO (GPIO) (汎用 IO)	59
6.1	Architectural Description (アーキテクチャ上の説明)	61
6.2	Register Definitions (レジスタ定義)	62
6.2.1	PRTxDR レジスタ	62
6.2.2	PRTxIE レジスタ	62
6.2.3	PRTxGS レジスタ	62
6.2.4	PRTxDMx レジスタ	63
6.2.5	PRTxICx レジスタ	63
7.	Analog Output Drivers (アナログ出力ドライバ)	65
7.1	Register Definitions (レジスタ定義)	66
7.1.1	ABF_CR0 レジスタ	66
8.	Internal Main Oscillator (IMO) (内部主発振器)	67
8.1	Register Definitions (レジスタ定義)	67
8.1.1	IMO_TR レジスタ	67
9.	Internal Low Speed Oscillator (ILO) (内部低速発振器)	69
9.1	Register Definitions (レジスタ定義)	69
9.1.1	ILO_TR レジスタ	69

10. 32 kHz Crystal Oscillator (ECO) (32 kHz 水晶発振器)	71
10.1 ECO External Components (ECO 外部コンポーネント)	72
10.2 Register Definitions (レジスタ定義)	72
10.2.1 OSC_CR0 レジスタ	72
10.2.2 ECO_TR レジスタ	73
10.2.3 CPU_SCR1 レジスタ	73
11. Phase Locked Loop (PLL)	75
11.1 Register Definitions (レジスタ定義)	75
11.1.1 OSC_CR0 レジスタ	75
11.1.2 OSC_CR2 レジスタ	76
12. Sleep and Watchdog (スリープおよびウォッチドッグ)	77
12.1 Architectural Description (アーキテクチャ上の説明)	77
12.1.1 32 kHz クロック選択	77
12.1.2 スリープタイマ	78
12.1.3 スリープビット	78
12.2 Application Description (アプリケーションの説明)	78
12.3 Register Definitions (レジスタ定義)	79
12.3.1 INT_MSK0 レジスタ	79
12.3.2 RES_WDT レジスタ	79
12.3.3 OSC_CR0 レジスタ	79
12.3.4 CPU_SCR1 レジスタ	80
12.3.5 ILO_TR レジスタ	80
12.3.6 ECO_TR レジスタ	80
12.3.7 CPU_SCR0 レジスタ	80
12.4 Timing Diagrams (タイミングダイアグラム)	81
12.4.1 スリープシーケンス	81
12.4.2 復帰シーケンス	82
12.4.3 バンドギャップリフレッシュ	83
12.4.4 ウォッチドッグタイマ (WDT)	83
12.5 Power Consumption (消費電力)	84
SECTION C REGISTER REFERENCE (レジスタリファレンス)	85
Register Conventions (レジスタ規則)	85
Register Mapping Tables (レジスタマッピングテーブル)	85
レジスタマップ 0 テーブル: ユーザ空間	86
レジスタマップ 1 テーブル: 設定空間	87
13. Register Details (レジスタ詳細)	89
13.1 Bank 0 Registers (バンク 0 レジスタ)	90
13.1.1 PRTxDR	90
13.1.2 PRTxIE	91
13.1.3 PRTxGS	92
13.1.4 PRTxDM2	93
13.1.5 DxBxxDR0	94
13.1.6 DxBxxDR1	95
13.1.7 DxBxxDR2	96
13.1.8 DxBxxCR0	97
13.1.9 DxBxxCR0	98

13.1.10	DxBxxCR0.....	99
13.1.11	DxBxxCR0.....	100
13.1.12	DCBxxCR0.....	101
13.1.13	DCBxxCR0.....	102
13.1.14	DCBxxCR0.....	103
13.1.15	DCBxxCR0.....	104
13.1.16	AMX_IN.....	105
13.1.17	ARF_CR.....	106
13.1.18	CMP_CR0.....	107
13.1.19	ASY_CR.....	108
13.1.20	CMP_CR1.....	109
13.1.21	ACBxxCR3.....	110
13.1.22	ACBxxCR0.....	111
13.1.23	ACBxxCR1.....	112
13.1.24	ACBxxCR2.....	113
13.1.25	ASCxxCR0.....	114
13.1.26	ASCxxCR1.....	115
13.1.27	ASCxxCR2.....	116
13.1.28	ASCxxCR3.....	117
13.1.29	ASDxxCR0.....	118
13.1.30	ASDxxCR1.....	119
13.1.31	ASDxxCR2.....	120
13.1.32	ASDxxCR3.....	121
13.1.33	RDIXRI.....	122
13.1.34	RDIXSYN.....	123
13.1.35	RDIXIS.....	124
13.1.36	RDIXLT0.....	125
13.1.37	RDIXLT1.....	126
13.1.38	RDIXRO0.....	127
13.1.39	RDIXRO1.....	128
13.1.40	I2C_CFG.....	129
13.1.41	I2C_SCR.....	130
13.1.42	I2C_DR.....	131
13.1.43	I2C_MSCR.....	132
13.1.44	INT_CLR0.....	133
13.1.45	INT_CLR1.....	135
13.1.46	INT_CLR3.....	137
13.1.47	INT_MSK3.....	138
13.1.48	INT_MSK0.....	139
13.1.49	INT_MSK1.....	140
13.1.50	INT_VC.....	141
13.1.51	RES_WDT.....	142
13.1.52	DEC_DH.....	143
13.1.53	DEC_DL.....	144
13.1.54	DEC_CR0.....	145
13.1.55	DEC_CR1.....	146
13.1.56	MUL_X.....	147
13.1.57	MUL_Y.....	148
13.1.58	MUL_DH.....	149
13.1.59	MUL_DL.....	150
13.1.60	MAC_X/ACC_DR1.....	151
13.1.61	MAC_Y/ACC_DR0.....	152
13.1.62	MAC_CL0/ACC_DR3.....	153

13.1.63	MAC_CL1/ACC_DR2.....	154
13.1.64	CPU_F.....	155
13.1.65	CPU_SCR1.....	156
13.1.66	CPU_SCR0.....	157
13.2	Bank 1 Registers (バンク 1 レジスタ).....	158
13.2.1	PRTxDM0.....	158
13.2.2	PRTxDM1.....	159
13.2.3	PRTxIC0.....	160
13.2.4	PRTxIC1.....	161
13.2.5	DxBxxFN.....	162
13.2.6	DxBxxIN.....	164
13.2.7	DxBxxOU.....	165
13.2.8	CLK_CR0.....	167
13.2.9	CLK_CR1.....	168
13.2.10	ABF_CR0.....	169
13.2.11	AMD_CR0.....	170
13.2.12	AMD_CR1.....	171
13.2.13	ALT_CR0.....	172
13.2.14	ALT_CR1.....	173
13.2.15	CLK_CR2.....	174
13.2.16	GDI_O_IN.....	175
13.2.17	GDI_E_IN.....	176
13.2.18	GDI_O_OU.....	177
13.2.19	GDI_E_OU.....	178
13.2.20	OSC_CR4.....	179
13.2.21	OSC_CR3.....	180
13.2.22	OSC_CR0.....	181
13.2.23	OSC_CR1.....	182
13.2.24	OSC_CR2.....	183
13.2.25	VLT_CR.....	184
13.2.26	VLT_CMP.....	185
13.2.27	IMO_TR.....	186
13.2.28	ILO_TR.....	187
13.2.29	BDG_TR.....	188
13.2.30	ECO_TR.....	189
SECTION D DIGITAL SYSTEM (デジタルシステム).....		191
	Top-Level Digital Architecture (トップレベルデジタルアーキテクチャ).....	191
	Digital Register Summary (デジタルレジスタサマリ).....	192
14.	Global Digital Interconnect (GDI) (グローバルデジタル相互接続).....	195
14.1	Architectural Description (アーキテクチャ上の説明).....	195
14.2	Register Definitions (レジスタ定義).....	197
14.2.1	GDI_O_IN および GDI_E_IN レジスタ.....	197
14.2.2	GDI_O_OU および GDI_E_OU レジスタ.....	197
15.	Array Digital Interconnect (ADI) (アレイデジタル相互接続).....	199
15.1	Architectural Description (アーキテクチャ上の説明).....	199
16.	Row Digital Interconnect (RDI) (ロウデジタル相互接続).....	201
16.1	Architectural Description (アーキテクチャ上の説明).....	201

16.2	Register Definitions (レジスタ定義)	204
16.2.1	RDIXRI レジスタ	204
16.2.2	RDIXSYN レジスタ	204
16.2.3	RDIXIS レジスタ	204
16.2.4	RDIXLTx レジスタ	205
16.2.5	RDIXROx レジスタ	205
16.3	Timing Diagram (タイミングダイアグラム)	205
17.	Digital Blocks (デジタルブロック)	207
17.1	Architectural Description (アーキテクチャ上の説明)	207
17.1.1	入力マルチプレクサ	207
17.1.2	入力クロックの再同期	208
17.1.3	出力デマルチプレクサ	209
17.1.4	ブロックチェーン信号	209
17.1.5	タイマ機能	209
17.1.6	カウンタ機能	210
17.1.7	不感帯機能	210
17.1.8	CRCPRS 機能	212
17.1.9	SPI プロトコル機能	213
17.1.10	SPI マスター機能	214
17.1.11	SPI スレーブ機能	214
17.1.12	Asynchronous Transmitter 機能	215
17.1.13	Asynchronous Receiver 機能	215
17.2	Register Definitions (レジスタ定義)	216
17.2.1	DxBxxDRx レジスタ	216
17.2.2	DxBxxCR0 レジスタ	221
17.2.3	INT_MSK1 レジスタ	221
17.2.4	DxBxxFN レジスタ	221
17.2.5	DxBxxIN レジスタ	222
17.2.6	DxBxxOU レジスタ	222
17.3	Timing Diagrams (タイミングダイアグラム)	222
17.3.1	Timer タイミング	223
17.3.2	Counter タイミング	224
17.3.3	Dead Band タイミング	224
17.3.4	CRCPRS タイミング	226
17.3.5	SPI Mode タイミング	226
17.3.6	SPIM タイミング	227
17.3.7	SPIS タイミング	230
17.3.8	Transmitter タイミング	233
17.3.9	Receiver タイミング	234
SECTION E ANALOG SYSTEM (アナログシステム)		237
	Top-Level Analog Architecture (トップレベルアナログアーキテクチャ)	237
	Analog Register Summary (アナログレジスタサマリ)	239
18.	Analog Interface (アナログインターフェイス)	241
18.1	Architectural Description (アーキテクチャ上の説明)	241
18.1.1	アナログデータバスインターフェイス	241
18.1.2	アナログ比較器バスインターフェイス	241
18.1.3	アナログカラムクロック生成	243
18.1.4	デシメータおよびインクリメンタル ADC インターフェイス	244

18.1.5	アナログ変調器インターフェイス (Mod ビット).....	244
18.1.6	アナログ同期インターフェイス (ストール).....	244
18.1.7	SAR ハードウェアアクセラレーション	244
18.2	Register Definitions (レジスタ定義)	246
18.2.1	CMP_CR0 レジスタ	246
18.2.2	CMP_CR1 レジスタ	246
18.2.3	ASY_CR レジスタ	246
18.2.4	DEC_CR0 レジスタ	247
18.2.5	DEC_CR1 レジスタ	247
18.2.6	CLK_CR0 レジスタ	248
18.2.7	CLK_CR1 レジスタ	248
18.2.8	CLK_CR2 レジスタ	248
18.2.9	AMD_CR0 レジスタ	248
18.2.10	AMD_CR1 レジスタ	248
18.2.11	ALT_CR0 レジスタ	248
18.2.12	ALT_CR1 レジスタ	248
19.	Analog Array (アナログアレイ).....	249
19.1	Architectural Description (アーキテクチャ上の説明).....	249
19.1.1	アナログ比較器バス	253
19.2	Temperature Sensing Capability (温度感知能力).....	253
20.	Analog Input Configuration (アナログ入力設定).....	255
20.1	Register Definitions (レジスタ定義)	255
20.1.1	AMX_IN レジスタ	255
20.1.2	ABF_CR0 レジスタ	255
20.2	Architectural Description (アーキテクチャ上の説明).....	256
21.	Analog Reference (アナログリファレンス).....	257
21.1	Architectural Description (アーキテクチャ上の説明).....	257
21.2	Register Definitions (レジスタ定義)	258
21.2.1	ARF_CR レジスタ	258
22.	Switched Capacitor Block (スイッチドキャパシタブロック).....	259
22.1	Architectural Description (アーキテクチャ上の説明).....	260
22.2	Application Description (アプリケーションの説明).....	261
22.3	Register Definitions (レジスタ定義)	261
22.3.1	ASCxxCR0 レジスタ	262
22.3.2	ASCxxCR1 レジスタ	262
22.3.3	ASCxxCR2 レジスタ	262
22.3.4	ASCxxCR3 レジスタ	263
22.3.5	ASDxxCR0 レジスタ	263
22.3.6	ASDxxCR1 レジスタ	263
22.3.7	ASDxxCR2 レジスタ	263
22.3.8	ASDxxCR3 レジスタ	264
23.	Continuous Time Block (連続時間ブロック).....	265
23.1	Architectural Description (アーキテクチャ上の説明).....	265
23.2	Register Definitions (レジスタ定義)	267
23.2.1	ACBxxCR0 レジスタ	267
23.2.2	ACBxxCR1 レジスタ	267

23.2.3	ACBxxCR2 レジスタ	267
23.2.4	ACBxxCR3 レジスタ	267
SECTION F SYSTEM RESOURCES (システムリソース).....		271
	Top-Level System Resources Architecture (トップレベルシステムリソースアーキテクチャ).....	271
	System Resources Register Summary (システムリソースレジスタサマリ).....	272
24.	Digital Clocks (デジタルクロック).....	273
24.1	Architectural Description (アーキテクチャ上の説明).....	273
24.1.1	内部主発振器.....	273
24.1.2	内部低速発振器 (ILO).....	274
24.1.3	32 kHz 水晶発振器	274
24.1.4	外部クロック.....	274
24.2	Register Definitions (レジスタ定義)	276
24.2.1	INT_CLR0 レジスタ	276
24.2.2	INT_MSK0 レジスタ.....	276
24.2.3	OSC_CR0 レジスタ	276
24.2.4	OSC_CR1 レジスタ	277
24.2.5	OSC_CR2 レジスタ	277
24.2.6	OSC_CR3 レジスタ	278
24.2.7	OSC_CR4 レジスタ	278
25.	Multiply Accumulate (MAC) (乗算器および累算器).....	279
25.1	Architectural Description (アーキテクチャ上の説明).....	279
25.2	Application Description (アプリケーションの説明).....	280
25.2.1	累算のない乗算	280
25.2.2	乗算の後の累算	280
25.3	Register Definitions (レジスタ定義)	280
25.3.1	MUL_X レジスタ	280
25.3.2	MUL_Y レジスタ	280
25.3.3	MUL_DH レジスタ	280
25.3.4	MUL_DL レジスタ	280
25.3.5	MAC_X/ACC_DR1	280
25.3.6	MAC_Y/ACC_DR0	281
25.3.7	MAC_CL0/ACC_DR3.....	281
25.3.8	MAC_CL1/ACC_DR2.....	281
26.	Decimator (デシメータ).....	283
26.1	Register Definitions (レジスタ定義)	283
26.1.1	DEC_DH レジスタ	283
26.1.2	DEC_DL レジスタ	283
26.1.3	DEC_CR0 レジスタ	284
26.1.4	DEC_CR1 レジスタ	284
27.	I ² C 285	
27.1	Architectural Description (アーキテクチャ上の説明).....	286
27.1.1	基本的な I2C のデータ転送.....	286
27.2	Application Description (アプリケーションの説明).....	287
27.2.1	スレーブ操作.....	287
27.2.2	マスター操作.....	288

27.3	Register Definitions (レジスタ定義)	289
27.3.1	I2C_CFG レジスタ	289
27.3.2	I2C_SCR レジスタ	291
27.3.3	I2C_DR レジスタ	293
27.3.4	I2C_MSCR レジスタ	293
27.4	Timing Diagrams (タイミングダイアグラム)	294
27.4.1	クロック生成	294
27.4.2	イネーブルおよびコマンド同期	295
27.4.3	基本的な入出力タイミング	295
27.4.4	ステータスタイミング	296
27.4.5	マスタースタートタイミング	297
27.4.6	マスターリスタートタイミング	298
27.4.7	マスターストップタイミング	298
27.4.8	マスター/スレーブストールタイミング	299
27.4.9	マスターロストアービトラクションタイミング	299
27.4.10	マスタークロック同期	300
28.	POR and LVD (POR および LVD)	301
28.1	Register Definitions (レジスタ定義)	301
28.1.1	VLT_CR レジスタ	301
28.1.2	VLT_CMP レジスタ	301
29.	Internal Voltage Reference (内部電圧リファレンス)	303
29.1	Architectural Description (アーキテクチャ上の説明)	303
29.2	Register Definitions (レジスタ定義)	303
29.2.1	BDG_TR レジスタ	303
30.	Switch Mode Pump (SMP) (スイッチモードポンプ)	305
30.1	Register Definitions (レジスタ定義)	306
30.1.1	VLT_CR レジスタ	306
31.	System Resets (システムリセット)	307
31.1	Register Definitions (レジスタ定義)	307
31.1.1	CPU_SCR0 レジスタ	307
31.1.2	CPU_SCR1 レジスタ	308
31.2	Timing Diagrams (タイミングダイアグラム)	308
31.2.1	パワーオンリセット (POR)	308
31.2.2	外部リセット (XRES)	308
31.2.3	ウォッチドッグタイマリセット (WDR)	308
31.2.4	リセットの詳細	310
31.3	Power Consumption (消費電力)	311
SECTION G ELECTRICAL SPECIFICATIONS (電氣的仕様)		313
Absolute Maximum Ratings (絶対最大定格)		314
Operating Temperature (動作温度)		314
DC Electrical Characteristics (直流電氣的特性)		315
DC Chip-Level Specifications (直流チップレベル仕様)		315
DC General Purpose IO (GPIO) Specifications (直流汎用 IO (GPIO) 仕様)		315
DC Operational Amplifier Specifications (直流オペアンプ仕様)		316
DC Analog Output Buffer Specifications (直流アナログ出力バッファ仕様)		318
DC Switch Mode Pump Specifications (DC スイッチモードポンプ仕様)		319

DC Analog Reference Specifications (直流アナログ基準仕様).....	320
DC Analog PSoC Block Specifications (直流アナログ PSoC ブロック仕様).....	322
DC POR and LVD Specifications (直流 POR および LVD 仕様).....	322
DC Programming Specifications (直流プログラミング仕様).....	323
AC Electrical Characteristics (交流電気的特性).....	324
AC Chip-Level Specifications (交流チップレベル仕様).....	324
AC General Purpose IO (GPIO) Specifications (交流汎用 IO (GPIO) 仕様).....	324
AC Operational Amplifier Specifications (交流オペアンプ仕様).....	325
AC Digital Block Specifications (交流デジタルブロック仕様).....	327
AC Analog Output Buffer Specifications (交流アナログ出力バッファ仕様).....	328
AC External Clock Specifications (交流外部クロック仕様).....	329
AC Programming Specifications (交流プログラミング仕様).....	329
AC I ² C Specifications (交流 I2C 仕様).....	330
SECTION H REVISION HISTORY (改訂履歴).....	331

SECTION A OVERVIEW (概要)



PSoC™ ファミリーは、多くのオンチップ制御機能を持つ単一配列を組み合わせたデバイスからなります。これらのデバイスは、複数の従来の MCU ベースシステムコンポーネントを、低コストで単一チップの可変コンポーネントに置き換えるように設計されています。PSoC デバイスは、設定可能なアナログおよびデジタルロジック、可変相互接続のブロックを含んでいます。このアーキテクチャにより、ユーザは、個々のアプリケーションの要求を満たすように、カスタマイズされた周辺装置の設定を作成することができます。さらに、速な CPU、フラッシュプログラムメモリ、SRAM データメモリ、設定可能な IO が、一連の便利なピン配列に含まれています。

Overview (概要) セクションでは、Ordering Information (注文情報) に加えて、Features (機能)、Getting Started (はじめに)、Top-Level Architecture (トップレベルアーキテクチャ)、Development Tools (開発ツール)、User Modules (ユーザモジュール)、Development Process (開発プロセス) について説明します。また、このドキュメントで使用されている Conventions (表記規則) についてもリストします。このセクションには、次の章があります：

■ Pin Information (ピン情報)、23 ページ

■ Packaging Information (パッケージング情報)、29 ページ

Features (機能)

■ パワフルなハードウェアアーキテクチャプロセッサ

- 24 MHz の M8C プロセッサ速度
- 8x8 ビットの乗算器、32 ビットの累算器
- 速時でも低消費電力
- 3.0 から 5.25 V の操作電圧
- オンチップのスイッチモードポンプ (SMP) によって操作電圧を 1.0 V まで低下
- 工業用温度範囲: -40° C +85° C

■ 度な周辺装置 (PSoC ブロック)

- 12 の Rail-to-Rail アナログ PSoC ブロック:
 - 14 ビットまでの ADC
 - 9 ビットまでの DAC
 - 可変利得増幅器
 - 可変フィルタおよび比較器
- 8 つのデジタル PSoC ブロック:
 - 8 から 32 ビットのタイマ、カウンタおよび PWM
 - CRC および PRS モジュール
 - 2 つまでの全二重 UART
 - マルチプル SPI™ マスターまたはスレーブ
 - すべての GPIO ピンに接続可能
- ブロックの組み合わせによる複雑な周辺装置

■ 正確な可変計時

- 内部 +/- 2.5% 24/48 MHz 発振器
- オプションの 32 KHz 水晶による 24/48 MHz 発振器
- オプションの外部発振器、24 MHz まで
- ウォッチドッグおよびスリープ用内部発振器

■ フレキシブルオンチップメモリ

- 16K バイトのフラッシュプログラムを格納
 - 5 万回の消去/書き込みサイクル
- 256 バイトの SRAM データを格納
- インシステムシリアルプログラミング (ISSP™)
- 部分的なフラッシュの更新
- 柔軟な保護モード
- フラッシュ内での EEPROM エミュレーション

■ 可変ピン設定

- すべての GPIO を 25 mA で 動
- プルアップ、プルダウン、ハイ Z、ストロング、またはオープンドレイン
- すべての GPIO 上の 動モード
- GPIO 上で 12 までのアナログ入力
- GPIO 上で 4 つの 40 mA アナログ出力
- すべての GPIO 上で設定可能な割り込み

■ その他のシステムリソース

- I²C スレーブ、マスターおよびマルチマスター、400 kHz
- ウォッチドッグおよびスリープタイマ
- ユーザが設定可能な低電圧検出
- 統合監視回路
- オンチップの正確な電圧測定

■ パワフルな開発ツール

- 完全な統合開発環境 (PSoC™ Designer)
 - 機能 ICE およびプログラマ
 - フルスピードのエミュレーション
 - 複雑なブレイクポイント構造
 - 128K バイトのトレースメモリ

Getting Started (はじめに)

PSoC シリコンを理解するための最も迅速な方法は、PSoC Designer ソフトウェアの GUI (グラフィカルユーザインターフェイス) を見ることです。このデータシートは、PSoC 集積回路の詳細を理解する助けとなるものですが、新しく PSoC で開発を行おうとしている開発者がこの新技術の一般的な概要を知るために最初に読むべき情報ではありません。

PSoC 開発者は、独自の ADC、DAC、その他の周辺装置を構築する必要はないからです。個々のデータシート、パフォーマンスグラフ、およびインクリメンタル ADC、DAC、LCD コントローラ、オペアンプ、ローパスフィルタその他の周辺装置用の PSoC ユーザモジュール (グラフィカルに選択されたコードパッケージ) は、PSoC Designer ソフトウェアに含まれています。PSoC Designer ソフトウェアでは、簡単な GUI ベースの操作を行うだけで、一行のコードも記述することなく、設計の基本的なアーキテクチャを開発することができます。

Development Kits (開発キット)

Development Kits (開発キット) は、次のディストリビュータから入手可能です: Digi-Key、Avnet、Arrow、Future。Cypress.com <http://www.onfulfillment.com/cypressstore/> オンラインストアでも、PSoC 開発環境用の開発キット、C コンパイラ、その他のアクセサリを取り扱っております。オンラインストアのウェブサイトで *PSoC (Programmable System-on-Chip)* をクリックすると、現在購入可能な製品の一覧が表示されます。

Tele-Training (電話トレーニング)

PSoC では、毎週金曜日の午前 10 時 (米国西海岸時間) にマーケティングまたはアプリケーションエンジニアが初心者向けのトレーニングを電話で行っております。詳細は、<http://www.cypress.com/support/training.cfm> を参照してください。PSoC および LIN バスのようなトピックを含むアプリケーション特有のクラスの他に、基本、設計、デバッグ、度な設計、度なアナログ処理をより効率良く学習できるように、5 つのトレーニングクラスが用意されています。

Consultants (コンサルタント)

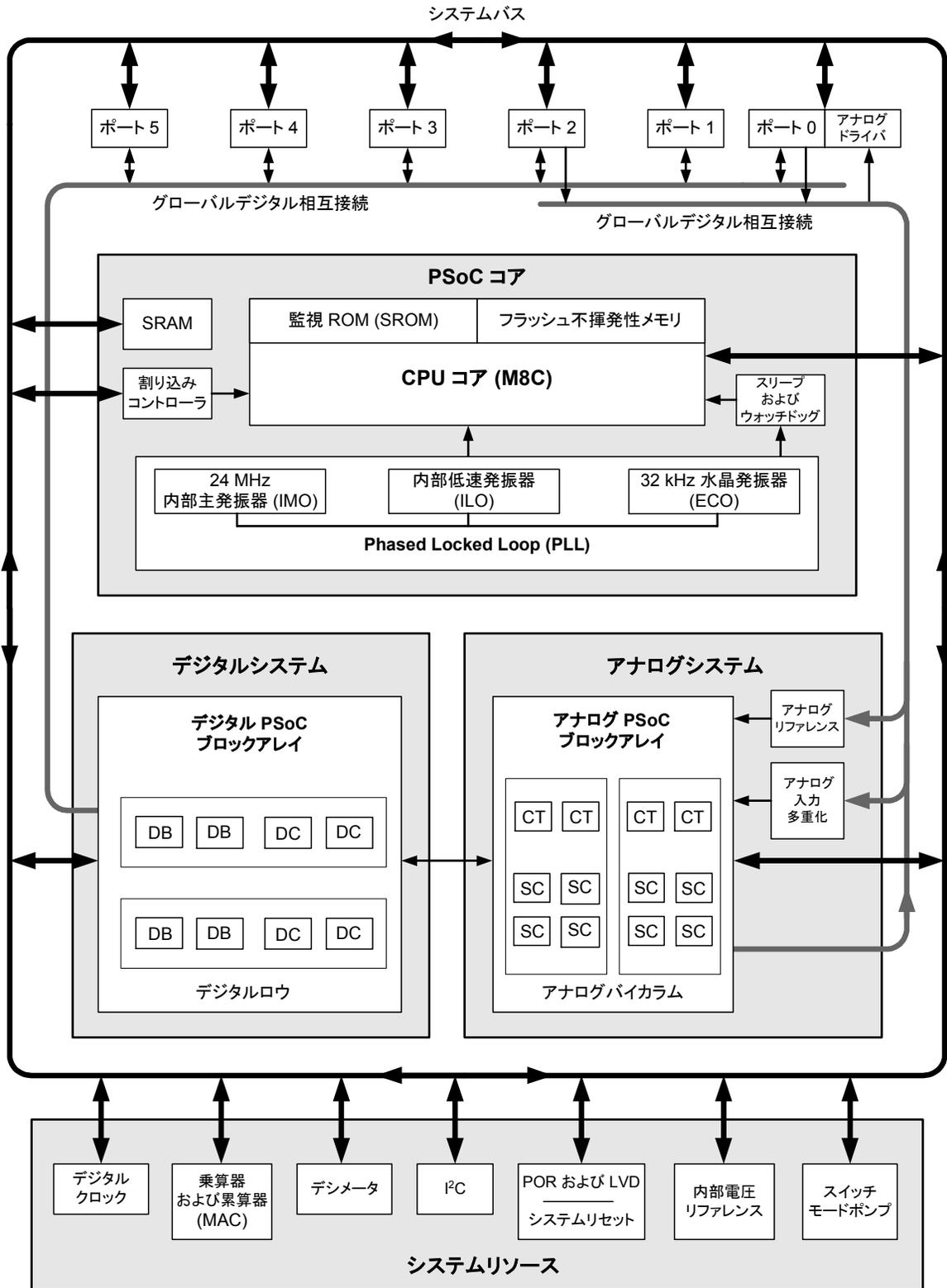
認定された PSoC コンサルタントが、技術的なアドバイスから完全な PSoC 設計まで、幅広く PSoC についてサポートを行っております。PSoC コンサルタントに関する詳細は、<http://www.cypress.com/support/cypros.cfm> を参照してください。

Technical Support (テクニカルサポート)

PSoC アプリケーションエンジニアは、迅速で正確なサポートを提供するように努めております。4 時間以内の応答を保証しているサポートを受けるには、次のアドレスからサポート依頼をお送りください
<http://www.cypress.com/support/login.cfm>.

Top-Level Architecture (トップレベルアーキテクチャ)

下記の図は、PSoC CY8C27xxx のトップレベルアーキテクチャの説明です。



PSoC CY8C27xxx トップレベルブロックダイアグラム

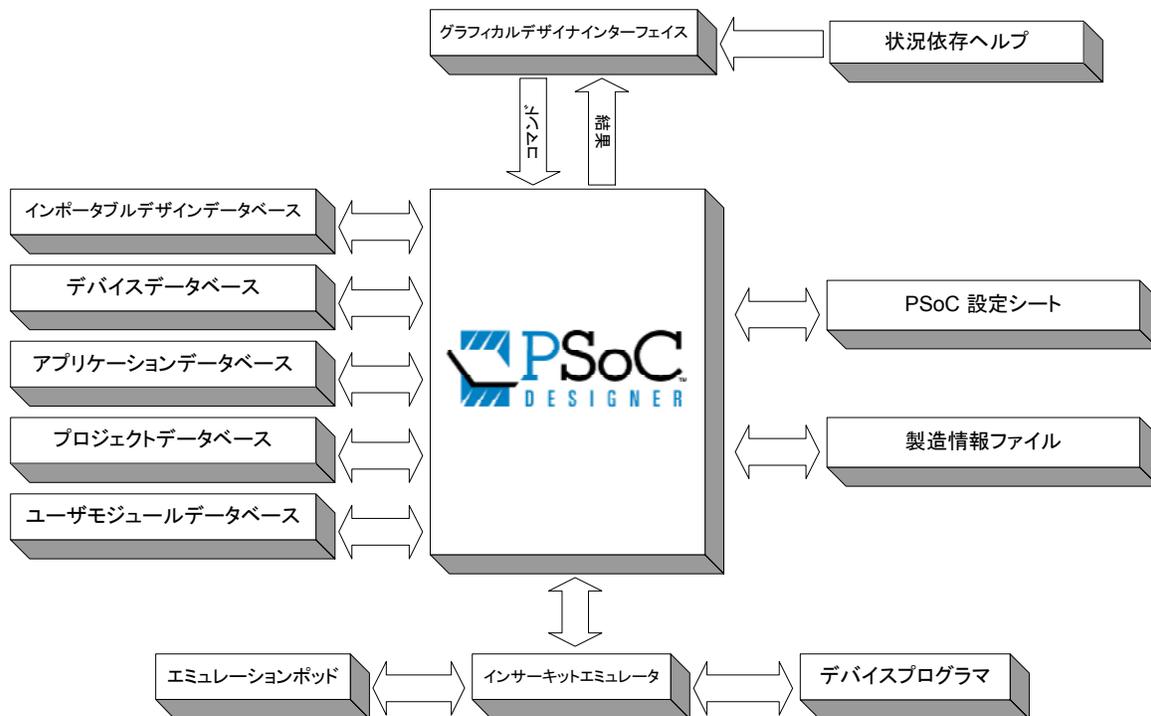
Development Tools (開発ツール)

Cypress MicroSystems PSoC Designer は、可変システムオンチップ (Programmable System-on-Chip - PSoC) デバイス用の Microsoft® Windows ベースの統合開発環境です。PSoC Designer は、Windows 98、Windows NT 4.0、Windows 2000、Windows Millennium (Me)、または Windows XP 上で動作します。(下記の PSoC Designer 機能フローダイアグラムを参照。)

PSoC Designer は、PSoC 用操作環境の選択、PSoC を使用するアプリケーションコードの記述、およびアプリケー

ションのデバッグを助けます。このシステムは、プロジェクト、In-Circuit Emulator (ICE) を含む統合デバッグ、インシステムプログラミングのサポート、および CPU 用の CYASM マクロアセンブラによって、デザイナーデータベースマネージメント環境を提供します。

PSoC Designer は、製品ファミリの各デバイス用に特別に開発されたハイレベルの C 言語コンパイラもサポートします。



PSoC Designer サブシステム

PSoC Designer Software サブシステム

Device Editor (デバイスエディタ)

PSoC Designer には、いくつかの主な機能があります。Design Editor では、設計を容易に行うことができます。API は、ユーザモジュール用に自動的に生成されます。Device Editor サブシステムで、ユーザは、PSoC ブロックを使用して、ユーザモジュールと呼ばれる異なるオンボードのアナログおよびデジタルコンポーネントを選択することができます。ユーザモジュールには、ADC、DAC、増幅器、フィルタなどがあります。

デバイスエディタは、マルチプルコンフィギュレーションおよびダイナミックリコンフィギュレーションの容易な開発もサポートします。ダイナミックコンフィギュレーションは、ランタイムに設定を変更することができます。

PSoC Designer は、選択した PSoC ブロックの設定に合わせて電源投入時の初期化テーブルをセットアップし、アプリケーションフレームワーク用のソースコードを作成します。フレームワークには、選択したコンポーネントを操作するためのソフトウェアが含まれ、プロジェクトが複数の操作設定を使用している場合、ランタイムに PSoC ブロック設定の異なるセットを切り替えるためのルーチンも含まれます。PSoC Designer は、Device Data Sheet に関連してアプリケーションのプログラミング中に使用するプロジェクト設定用の設定シートを印刷することができます。一旦フレームワークが生成されると、ユーザはフレームワークにアプリケーション特有のコードを追加することができます。選択したコンポーネントを変更してフレームワークを再生成することも可能です。

Design Browser (デザインブラウザ)

Design Browser を使用して、ユーザは、ユーザのプロジェクトにあらかじめ設定されたデザインを選択してインポートすることができます。ユーザは、あらかじめ設定されたデザインのカatalogを参照することで、設計にかかる時間を節約することができます。最近含まれたCatalogには、300 ポーモデム、Lin Bus マスターおよびスレーブ、ファンコントローラ、磁気カードリーダーなどがあります。

Application Editor (アプリケーションエディタ)

Application Editor で、C 言語およびアセンブリ言語ソースコードを編集することができます。アセンブル、コンパイル、リンク、およびビルドも行うことができます。

アセンブラ。 マクロアセンブラは、C コードにシームレスに統合されるアセンブリコードを生成します。リンクライブラリは、絶対アドレスモードを使用して、または相対アドレスモードでコンパイルして、他のソフトウェアモジュールと絶対アドレスモードでリンクされます。

C 言語コンパイラ。 ANSI C 言語コンパイラは、Cypress MicroSystems の PSoC ファミリデバイスをサポートします (倍精度 64 ビットを除く)。これまで C 言語による作業を行ったことがない方でも、PSoC ファミリデバイス用の C プログラムを素早く作成することが可能です。

エンベデッドな最適化 C コンパイラは、PSoC アーキテクチャに適合する C の特徴をすべて提供します。ポートおよびバス操作、標準キーパッドとディスプレイサポート、および拡張された数学関数を提供するライブラリが用意されています。

Debugger (デバグガ)

PSoC Designer Debugger サブシステムは、ハードウェア ICE を提供し、PSoC デバイスの内部ビューを提供する物理的なシステムでデザイナーがプログラムをテストすることができます。デバグガのコマンドを使用して、デザイナーは、プログラムおよびデータメモリの読み書き、IO レジスタの読み書き、CPU レジスタの読み書き、ブレークポイントの設定とクリア、プログラムの実行、停止、およびステップ実行を行うことができます。デバグガを使用して、デザイナーは参照したいレジスタおよびメモリ位置のトレースバッファを作成することもできます。

User Modules and Development Process (ユーザモジュールと開発プロセス)

PSoC 用の開発プロセスは、従来の機能が固定されたマイクロコントローラ用のものとは異なります。PSoC アーキテクチャの柔軟性は、PSoC ブロックと呼ばれる設定可能なアナログおよびデジタルハードウェアブロックによるものです。これらのブロックを使用して、ユーザが選択可能な様々な機能を実装することができます。各ブロックには、機能を選択するために使用するいくつかのレジスタが用意されています。これらのレジスタは、このブロックと他のブロック間および I/O ピンへの相互接続も決定します。(次の図を参照。)

プロジェクトの開発プロセス全体をより簡単にするために、

Online Help System (オンラインヘルプシステム)

オンラインヘルプシステムは、オンラインの、状況依存ヘルプを表示します。各機能のサブシステムは手順を説明するクイックリファレンス用にデザインされていて、それぞれの状況に応じたヘルプを表示します。このシステムは、チュートリアル、FAQ およびオンラインサポートフォーラムへのリンクも提供します。

Hardware Tools (ハードウェアツール)

In-Circuit Emulator (ICE)

開発をサポートする、低コストで 機能な ICE (In-Circuit Emulator) が利用できます。このハードウェアは、単一デバイスをプログラムすることができます。

エミュレーションは、パラレルポート経由で PC に接続するベースユニットからなります。ベースユニットは汎用ユニットで、すべての PSoC デバイスで動作します。各デバイスファミリ用のエミュレーションポッドは、別々に利用可能です。エミュレーションポッドはターゲットボードで PSoC デバイスに代わり、フルスピード (24 MHz) で操作を行います。

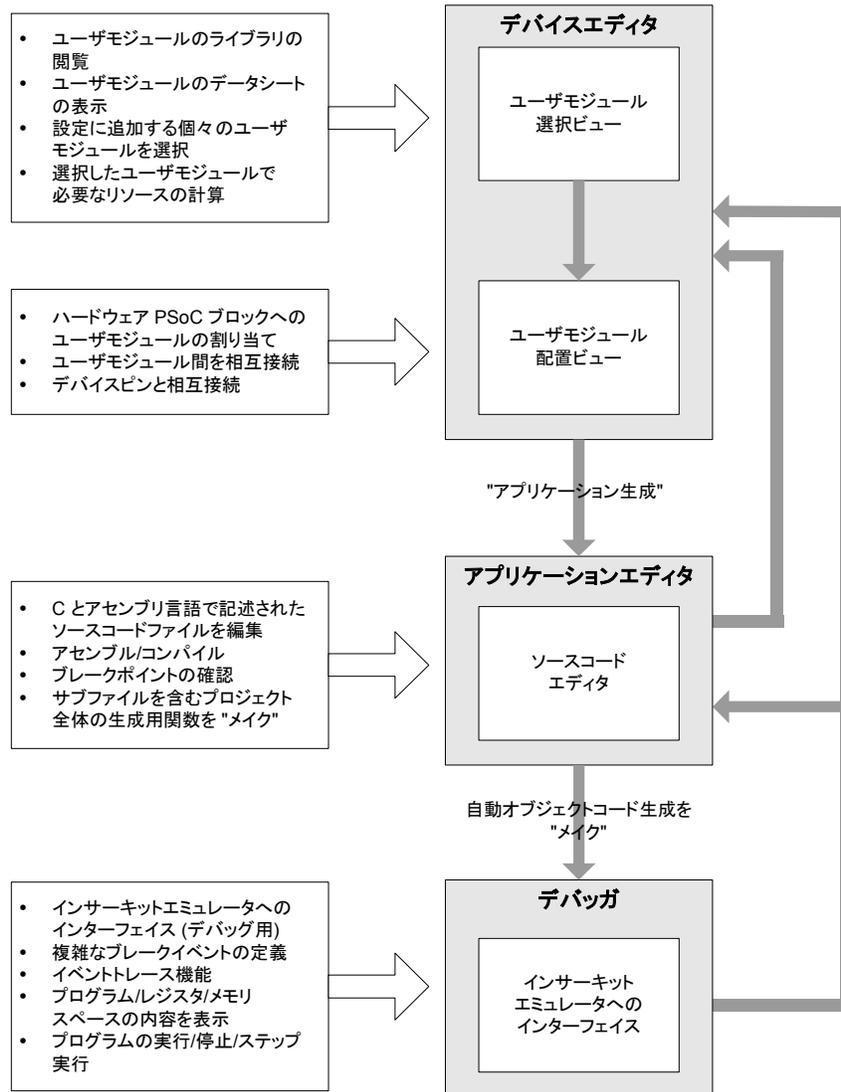


PSoC 開発ツールキット

PSoC Designer 統合開発環境 (IDE) には、設定プロセスを単純化する、「ユーザモジュール」と呼ばれる、オープンソースコードソフトウェアモジュールのライブラリが含まれています。これらのユーザモジュールは、周辺装置の機能の選択および実装を非常に簡単にするために作成されました。ユーザモジュールには、アナログ、デジタルおよび混合信号などがあります。各ユーザモジュールには、選択した機能を実装するためのすべてのレジスタ設定、およびソースコードへのインターフェイスを単純にするアプリケーションプログラマインターフェイス (API) が含まれています。

新しいプロジェクトを開くと、開発プロセスがスタートします。まず、そのプロジェクトのカスタム設定の基本となる、ユーザモジュールのセットを選択します。開発するソフトウェアの内部で利用可能なすべてのユーザモジュールの詳細を確認して、作成するアプリケーションに最適なユーザモジュールを選択してください。次に、これらのユーザモジュールをハードウェアリソースに割り当てる必要があります。ユーザモジュール間、およびユーザモジュールと I/O ピンとの間を相互に接続する必要もあります。この

ステップは、PSoC Designer 内の Device Editor サブシステムで行われます。このステップでは、2 つのことが行われます: 1 つはユーザモジュールの選択で、もう 1 つはユーザモジュールのハードウェアブロックへの割り当ておよびユーザモジュール間の相互接続です。このステップの最後に行うのは、開発ソフトウェアが選択した設定で必要なファイルを自動的に生成する、「アプリケーションの生成」です。



ユーザモジュールと開発プロセスのフローチャート

プロセスの次のステップは、アプリケーションに必要なメインプログラム、およびその他のサブルーチンを記述することです。このステップは、Application Editor サブシステムで行われます。選択したユーザモジュール用のサブルーチンを自動的に生成します。これらのルーチンのソースコードはこのステップでも見ることができます。プロジェクト用に作成された異なるファイルはすべてツリー構造に含まれ、簡単に参照することができます。開発ソフトウェアには、すべてのソースファイルをアセンブルおよびコンパイルして、デバッグプロセス用のオブジェクトファイル

にリンクする、「Make (メイク)」機能があります。

開発の最後のステップは、Debugger サブシステムで行われます。ここで、オブジェクトコードが ICE にダウンロードされ、実行されます。Debugger は、ICE への両方のインターフェイスで、ソフトウェアに含まれるバグを調べて除去するための 度なツールのセットも含んでいます。ツールの機能として、フルスピードエミュレーション、複雑なブレークポイントイベントの定義、大容量のトレースメモリなどがあります。

Ordering Information (注文情報)

次の表は、PSoC デバイスファミリの主な特徴および注文コードの一覧です。

デバイスファミリの主な特徴

パッケージ	注文コード	フラッシュ (K バイト)	RAM (バイト)	スイッチモードボンプ	温度範囲	デジタル PSoC ブロック (4 のロウ)	アナログ PSoC ブロック (3 のコラム)	デジタル IO ピン	アナログ入力	アナログ出力	XRES ピン
8 Pin (300 Mil) DIP	CY8C27143-24PI	16	256	No	-40C +85C	8	12	6	4	4	No
20 Pin (210 Mil) SSOP	CY8C27243-24PVI	16	256	Yes	-40C +85C	8	12	16	8	4	Yes
20 Pin (210 Mil) SSOP (Tape and Reel)	CY8C27243-24PVIT	16	256	Yes	-40C +85C	8	12	16	8	4	Yes
20 Pin (300 Mil) SOIC	CY8C27243-24SI	16	256	Yes	-40C +85C	8	12	16	8	4	Yes
20 Pin 300 Mil) SOIC (Tape and Reel)	CY8C27243-24SIT	16	256	Yes	-40C +85C	8	12	16	8	4	Yes
28 Pin (300 Mil) DIP	CY8C27443-24PI	16	256	Yes	-40C +85C	8	12	24	12	4	Yes
28 Pin (210 Mil) SSOP	CY8C27443-24PVI	16	256	Yes	-40C +85C	8	12	24	12	4	Yes
28 Pin (210 Mil) SSOP (Tape and Reel)	CY8C27443-24PVIT	16	256	Yes	-40C +85C	8	12	24	12	4	Yes
28 Pin (300 Mil) SOIC	CY8C27443-24SI	16	256	Yes	-40C +85C	8	12	24	12	4	Yes
28 Pin (300 Mil) SOIC (Tape and Reel)	CY8C27443-24SIT	16	256	Yes	-40C +85C	8	12	24	12	4	Yes
44 Pin TQFP	CY8C27543-24AI	16	256	Yes	-40C +85C	8	12	40	12	4	Yes
44 Pin TQFP (Tape and Reel)	CY8C27543-24AIT	16	256	Yes	-40C +85C	8	12	40	12	4	Yes
48 Pin (300 Mil) SSOP	CY8C27643-24PVI	16	256	Yes	-40C +85C	8	12	44	12	4	Yes
48 Pin (300 Mil) SSOP (Tape and Reel)	CY8C27643-24PVIT	16	256	Yes	-40C +85C	8	12	44	12	4	Yes
48 Pin (7x7) MLF	CY8C27643-24LFI	16	256	Yes	-40C +85C	8	12	44	12	4	Yes
48 Pin (7x7) MLF (Tape and Reel)	CY8C27643-24LFIT	16	256	Yes	-40C +85C	8	12	44	12	4	Yes

Organization and Conventions (構成と規則)

Document Organization (文書構成)

本書は、次のセクションから構成されています:

- Overview (概要)
- Core Architecture (コアアーキテクチャ)
- Register Reference (レジスタリファレンス)
- Digital System (デジタルシステム)
- Analog System (アナログシステム)
- System Resources (システムリソース)
- Electrical Specifications (電気的仕様)
- Revision History (改訂履歴)

各セクションおよび関連する章は、PSoC 機能に沿って構成されています。可能な場合、すべての章には、イントロダクション、アーキテクチャ/アプリケーションの説明、レジスタ定義、およびタイミングダイアグラムが含まれています。最後のセクション、Electrical Specifications (電気仕様) には関連する章はなく、PSoC デバイスの電気的な仕様を説明しています。Revision History (改訂履歴) セクションでは、履歴順に本書の改訂内容を説明しています。

Document Conventions (文書規則)

Register Conventions (レジスタ規則)

次の表は、本書で使用されているレジスタ規則の一覧です。

規則	例	説明
レジスタ名の中の 'x'	ACBxxCR1	同じレジスタの複数のインスタンス/アドレス範囲。
RW	RW:00	読み取り/書き込みレジスタまたはビット
R	R:00	読み取りレジスタまたはビット
W	W:00	書き込みレジスタまたはビット
L	RL:00	論理レジスタまたはビット
C	RC:00	クリア可能レジスタまたはビット
00	RW:00	リセット値が 0x00 または 00h
XX	RW:XX	レジスタはリセットされません
0,	0,04h	レジスタはバンク 0 にあります
1,	1, 23h	レジスタはバンク 1 にあります
x,	x,F7h	レジスタはバンク 0 およびバンク 1 に存在します
空のグレイで表示されたセル		予約ビット (他の状態の場合を除く)

Numeric Naming (数値の表記)

16 進数は、すべて大文字で表記され、小文字の 'h' が追加されます (例えば、'14h' または '3Ah')。16 進数は、C のコーディング規則に従って、'0xFF' のように表記されることもあります。2 進数は、小文字の 'b' が追加されます (例えば、'01010100b' または '01000011b')。'h' や 'b' が含まれていない数字は 10 進数です。

Units of Measure (測定単位)

次の表は、本書で使用されている測定単位の一覧です。

記号	測定単位
°C	温度 (摂氏)
AC	交流
dB	デシベル
DC	直流
fF	フェムトファラッド
Hz	ヘルツ
k	キロ, 1000
K	2 ¹⁰ , 1024
KB	1024 バイト
Kbit	1024 ビット
kHz	キロヘルツ
kΩ	キロオーム
MHz	メガヘルツ
MΩ	メガオーム
μA	マイクロアンペア
μs	マイクロ秒
μV	マイクロボルト
μVrms	マイクロボルト二乗平均
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラッド
pp	ピークツーピーク
ppm	濃度単位, 百万分の 1
sps	1 秒あたりのサンプル数
σ	シグマ: 1 つの標準偏差
V	ボルト

Acronyms Used (文字)

次の表は、本書で使用されている 文字の一覧です。

文字	説明
AC	交流
AI	アナログ入力
API	アプリケーションプログラミングインターフェイス
APOR	アナログパワーオンリセット
BC	ブロードキャストクロック
CMRR	同相信号除去比
CPU	中央処理装置
CRC	周期冗長検査
CT	連続時間
DAC	デジタル-アナログ変換器
DC	直流
DNL	微分非直線性
DO	デジタル出力 (データ出力)
ECO	外部水晶発振器
EEPROM	電氣的消去可能読み取り専用メモリ
FB	フィードバック
FSR	フルスケールレンジ
GIE	グローバル割り込みイネーブル
GPIO	汎用 IO
ICE	インサーキットエミュレータ
IDE	統合開発環境
ILO	内部低速発振器
INL	積分非直線性
IO	入力/出力
IOW	IO 書き込み
IPOR	不正確なパワーオンリセット
IRA	割り込み要求確認
IRQ	割り込み要求
ISR	割り込みサービスルーチン
ISSP	インサーキットシステムシリアルプログラミング
IVR	割り込みベクトル読み取り
LFSR	リニアフィードバックシフトレジスタ
LPF	ローパスフィルタ
LSB	最下位ビット
LUT	ルックアップテーブル
MISO	マスターインスレーブアウト
MOSI	マスターアウトスレーブイン
MSB	最上位ビット
PC	プログラムカウンタ
PCH	プログラムカウンタ
PCL	プログラムカウンタ低
PD	パワーダウン
PDDSC	パワーシステムスリープデューティサイクル
PGA	可変利得増幅器
POR	パワーオンリセット
PPOR	正確なパワーオンリセット
PRS	擬似ランダムシーケンス
PSoC™	可変システムオンチップ
PSRR	電源電圧変動除去比

文字	説明
PVT	プロセス電圧温度
PWM	パルス幅変調器
RAM	ランダムアクセスメモリ
RAS	ROM アクセスストロブ
RETI	割り込みから復帰
RI	ロウ入力
RO	ロウ出力
ROM	読み取り専用メモリ
SAR	逐次比較レジスタ
SC	スイッチドキャパシタ
SNR	信号雑音比
SOI	命令の開始
SP	スタックポインタ
SPD	シーケンシャルフェーズディテクタ
SPI	シリアル周辺装置相互接続
TC	ターミナルカウント
VCO	電圧制御発振器
WDT	ウォッチドッグタイマ
WDR	ウォッチドッグリセット

1. Pin Information (ピン情報)



本章は、PSoC デバイスのピンおよびピン配列をリスト、説明および図説します。表 1-1 はデバイスのピンのサマリを示し、この後の表およびイラストはデバイスのピン配列について詳細に説明します。

1.1 Pin Summary (ピンサマリ)

表 1-1. PSoC デバイスのピンの説明

ピンの名前	説明	入力/出力
SMP	スイッチモードポンプ	電源
Vdd	供給電圧	電源
Vss	アース	電源
XRES	外部リセット (アクティブハイ)	入力
P0[0] - P0[1]	Port 0[0], 0[1], アナログ入力	入力/出力
P0[2] - P0[5]	Port 0[2], 0[3], 0[4], 0[5], アナログ入力/出力	入力/出力
P0[6] - P0[7]	Port 0[6], 0[7], アナログ入力	入力/出力
P1[0]	Port 1[0], XTALOut/SDATA / I ² C SDA	入力/出力
P1[1]	Port 1[1], XTALIn/SCLK / I ² C SCL	入力/出力
P1[2]	Port 1[2]	入力/出力
P1[3]	Port 1[3]	入力/出力
P1[4]	Port 1[4], EXTCLK	入力/出力
P1[5]	Port 1[5], I ² C SDA	入力/出力
P1[6]	Port 1[6]	入力/出力
P1[7]	Port 1[7], I ² C SCL	入力/出力
P2[0] - P2[3]	Port 2[0], 2[1], 2[2], 2[3], 非多重アナログ入力 (スイッチドキャパシタ)	入力/出力
P2[4]	Port 2[4], 外部 AGND	入力/出力
P2[5]	Port 2[5]	入力/出力
P2[6]	Port 2[6], 外部 VREF	入力/出力
P2[7]	Port 2[7]	入力/出力
P3[0] - P3[7]	Port 3[0], 3[1], 3[2], 3[3], 3[4], 3[5], 3[6], 3[7]	入力/出力
P4[0] - P4[7]	Port 4[0], 4[1], 4[2], 4[3], 4[4], 4[5], 4[6], 4[7]	入力/出力
P5[0] - P5[3]	Port 5[0], 5[1], 5[2], 5[3]	入力/出力

1.2 Pinouts (ピンアウト)

PSoC デバイスは、様々なパッケージで利用可能です。個々のデバイスについての詳細は、次の情報を参照してください。次の表およびイラスト中の Vss、Vdd、および XRES を除く ("P" で示される) ポートピンは、デジタル IO が可能な点に注意してください。

表 1-2.8 ピンパーツのピン配列 (PDIP)

ピン番号	説明	ピン番号	説明	ピン番号	説明
1	P0[5], A in, out	4	Vss	7	P0[4], A in, out
2	P0[3], A in, out	5	P1[0], XTALout, I ² C SDA	8	Vdd
3	P1[1], XTALin, I ² C SCL	6	P0[2], A in, out		

凡例 A: アナログ、D: デジタル、IO: 入力または出力。

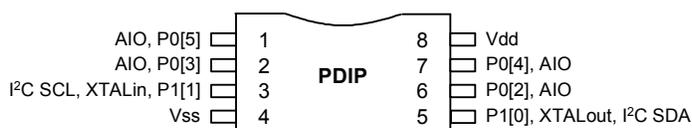


表 1-3.20 ピンパーツピン配列 (SSOP, SOIC)

ピン番号	説明	ピン番号	説明	ピン番号	説明
1	P0[7], A in	8	P1[3]	15	XRES
2	P0[5], A in, out	9	P1[1], XTALin, I ² C SCL	16	P0[0], A in
3	P0[3], A in, out	10	Vss	17	P0[2], A in, out
4	P0[1], A in	11	P1[0], XTALout, I ² C SDA	18	P0[4], A in, out
5	SMP	12	P1[2]	19	P0[6], A in
6	P1[7], I ² C SCL	13	P1[4], EXTCLK	20	Vdd
7	P1[5], I ² C SDA	14	P1[6]		

凡例 A: アナログ、D: デジタル、IO: 入力または出力。

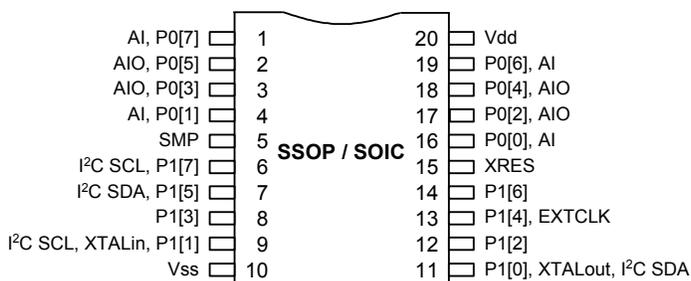


表 1-4. 28 ピンパーツのピン配列 (PDIP, SSOP, SOIC)

ピン番号	説明	ピン番号	説明	ピン番号	説明
1	P0[7], A in	11	P1[5], I ² C SDA	21	P2[2], A in (ASD13, ASC23)
2	P0[5], A in, out	12	P1[3]	22	P2[4], A in (AGND)
3	P0[3], A in, out	13	P1[1], XTALin, I ² C SCL	23	P2[6], A in (Ref)
4	P0[1], A in	14	Vss	24	P0[0], A in
5	P2[7]	15	P1[0], XTALout, I ² C SDA	25	P0[2], A in, out
6	P2[5]	16	P1[2]	26	P0[4], A in, out
7	P2[3], A in (ASC10)	17	P1[4], EXTCLK	27	P0[6], A in
8	P2[1], A in (ASD20, ASC10)	18	P1[6]	28	Vdd
9	SMP	19	XRES		
10	P1[7], I ² C SCL	20	P2[0], A in (ASC23)		

凡例 A: アナログ、D: デジタル、IO: 入力または出力。

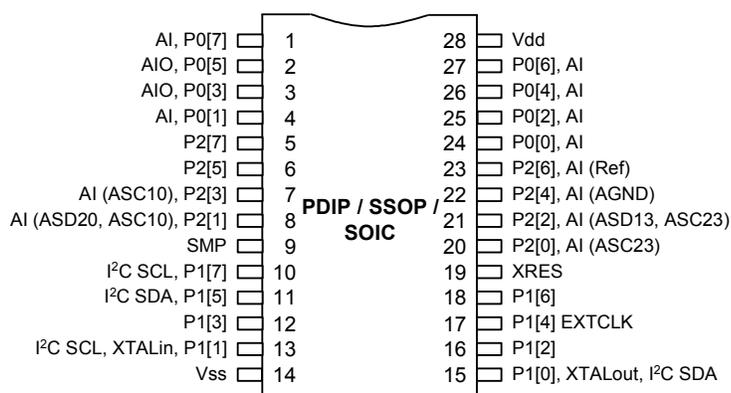


表 1-5. 44 ピンパーツのピン配列 (TQFP)

ピン番号	説明	ピン番号	説明	ピン番号	説明
1	P2[5]	16	P1[1], XTALin, I ² C SCL	31	P2[0], A in (ASC23)
2	P2[3], A in (ASC10)	17	Vss	32	P2[2], A in (ASD13, ASC23)
3	P2[1], A in (ASD20, ASC10)	18	P1[0], XTALout, I ² C SDA	33	P2[4], A in (AGND)
4	P4[7]	19	P1[2]	34	P2[6], A in (Ref)
5	P4[5]	20	P1[4], EXTCLK	35	P0[0], A in
6	P4[3]	21	P1[6]	36	P0[2], A in, out
7	P4[1]	22	P3[0]	37	P0[4], A in, out
8	SMP	23	P3[2]	38	P0[6], A in
9	P3[7]	24	P3[4]	39	Vdd
10	P3[5]	25	P3[6]	40	P0[7], A in
11	P3[3]	26	XRES	41	P0[5], A in, out
12	P3[1]	27	P4[0]	42	P0[3], A in, out
13	P1[7], I ² C SCL	28	P4[2]	43	P0[1], A in
14	P1[5], I ² C SDA	29	P4[4]	44	P2[7]
15	P1[3]	30	P4[6]		

凡例 A: アナログ、D: デジタル、IO: 入力または出力。

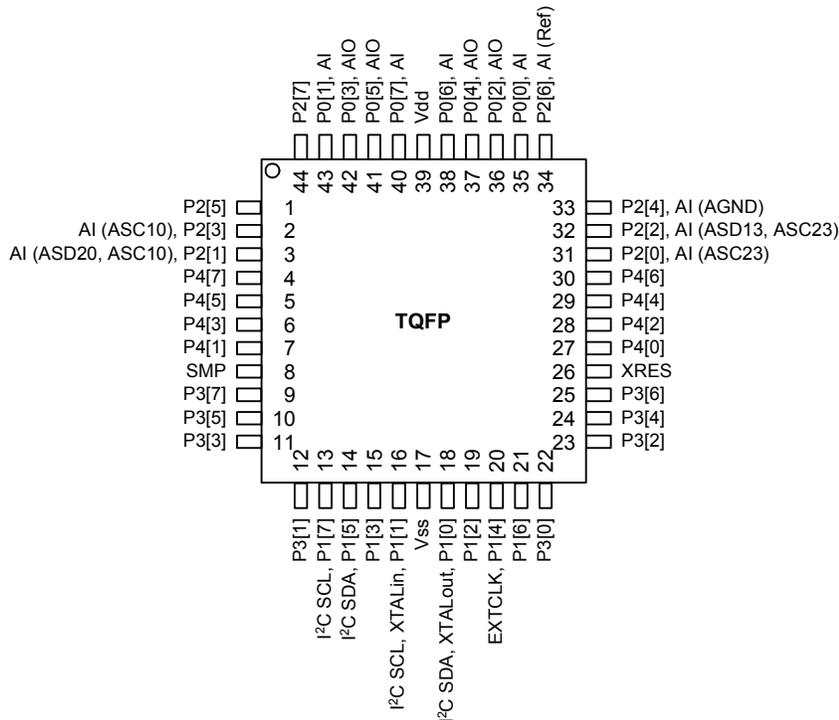


表 1-6. 48 ピンパーツのピン配列 (SSOP)

ピン番号	説明	ピン番号	説明	ピン番号	説明
1	P0[7], A in	17	P3[1]	33	P3[4]
2	P0[5], A in, out	18	P5[3]	34	P3[6]
3	P0[3], A in, out	19	P3[1]	35	XRES
4	P0[1], A in	20	P1[7], I ² C SCL	36	P4[0]
5	P2[7]	21	P1[5], I ² C SDA	37	P4[2]
6	P2[5]	22	P1[3]	38	P4[4]
7	P2[3], A in (ASC10)	23	P1[1], XTALin, I ² C SCL	39	P4[6]
8	P2[1], A in (ASD20, ASC10)	24	Vss	40	P2[0], A in (ASC23)
9	P4[7]	25	P1[0], XTALout, I ² C SDA	41	P2[2], A in (ASD13, ASC23)
10	P4[5]	26	P1[2]	42	P2[4], A in (AGND)
11	P4[3]	27	P1[4], EXTCLK	43	P2[6], A in (Ref)
12	P4[1]	28	P1[6]	44	P0[0], A in
13	SMP	29	P5[0]	45	P0[2], A in, out
14	P3[7]	30	P5[2]	46	P0[4], A in, out
15	P3[5]	31	P3[0]	47	P0[6], A in
16	P3[3]	32	P3[2]	48	Vdd

凡例 A: アナログ、D: デジタル、IO: 入力または出力。

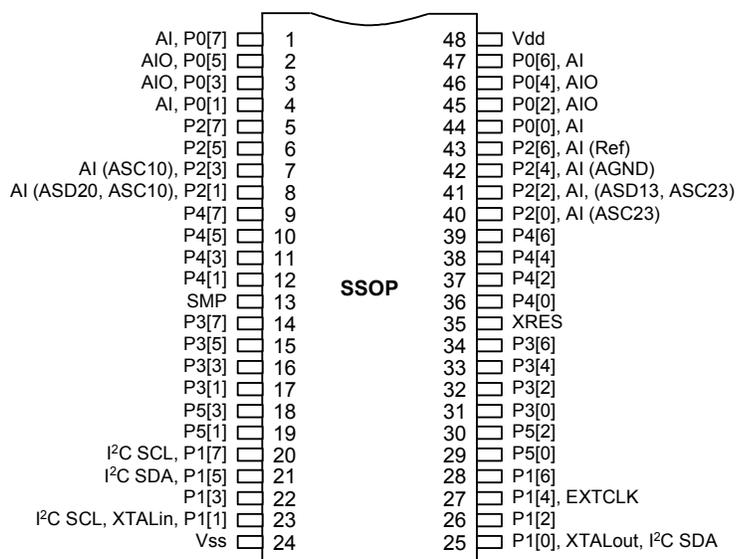
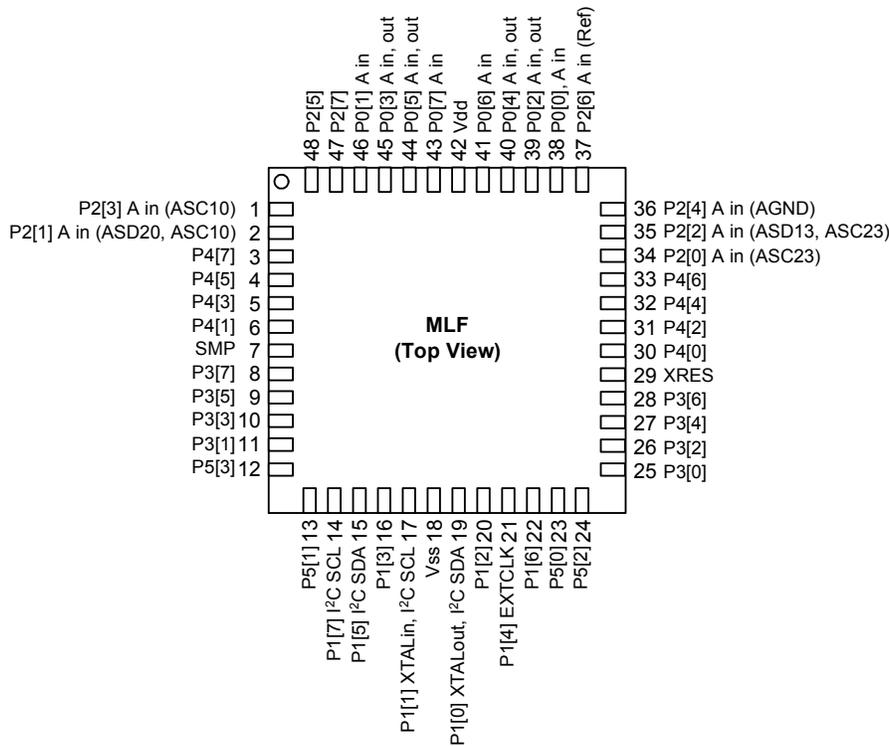


表 1-7. 48 ピンパーツのピン配列 (MLF)

ピン番号	説明	ピン番号	説明	ピン番号	説明
1	P2[3], A in (ASC10)	17	P1[1], XTALin, I ² C SCL	33	P4[6]
2	P2[1], A in (ASD20, ASC10)	18	Vss	34	P2[0], A in (ASC23)
3	P4[7]	19	P1[0], XTALout, I ² C SDA	35	P2[2], A in (ASD13, ASC23)
4	P4[5]	20	P1[2]	36	P2[4], A in (AGND)
5	P4[3]	21	P1[4], EXTCLK	37	P2[6], A in (Ref)
6	P4[1]	22	P1[6]	38	P0[0], A in
7	SMP	23	P5[0]	39	P0[2], A in, out
8	P3[7]	24	P5[2]	40	P0[4], A in, out
9	P3[5]	25	P3[0]	41	P0[6], A in
10	P3[3]	26	P3[2]	42	Vdd
11	P3[1]	27	P3[4]	43	P0[7], A in
12	P5[3]	28	P3[6]	44	P0[5], A in, out
13	P5[1]	29	XRES	45	P0[3], A in, out
14	P1[7], I ² C SCL	30	P4[0]	46	P0[1], A in
15	P1[5], I ² C SDA	31	P4[2]	47	P2[7]
16	P1[3]	32	P4[4]	48	P2[5]

凡例 A: アナログ、D: デジタル、IO: 入力または出力。

ノート MLF パッケージには Vss ピンと同じアースに接続される中心パッドがあります。



2. Packaging Information (パッケージング情報)



本章は、各パッケージの熱インピーダンスに加えて、PSoC デバイスのパッケージング仕様を説明および図説します。

2.1 Packaging Dimensions (パッケージング次元)

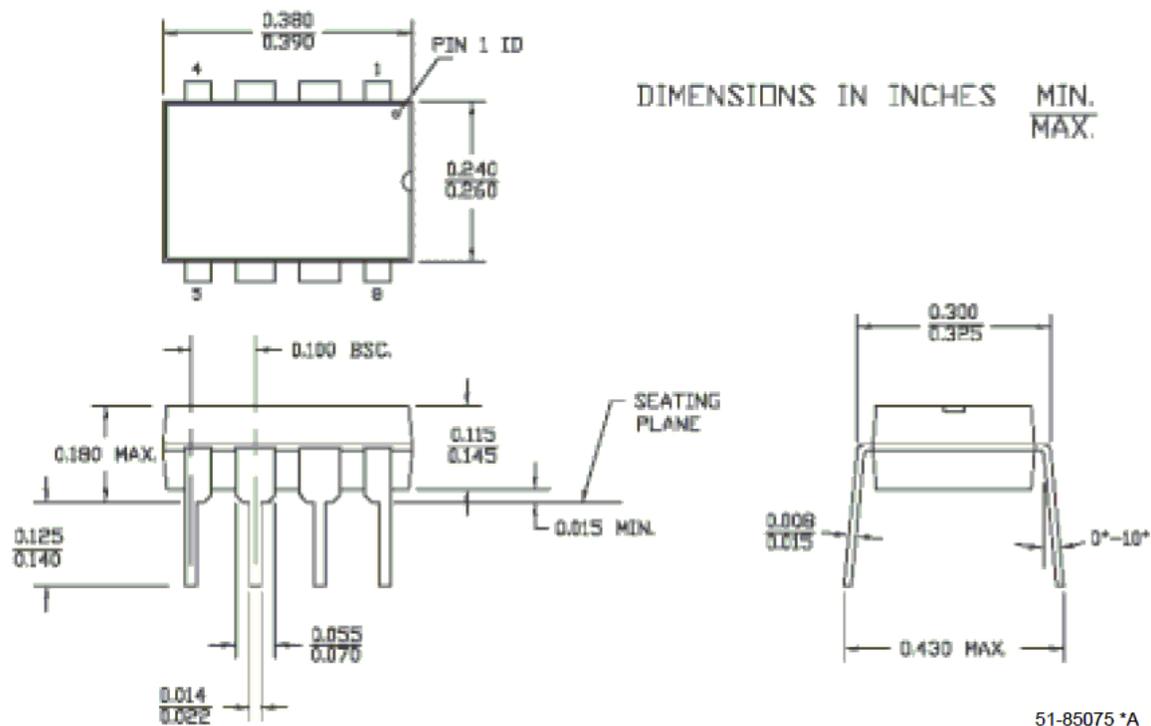


図 2-1.8 リード (300-Mil) PDIP

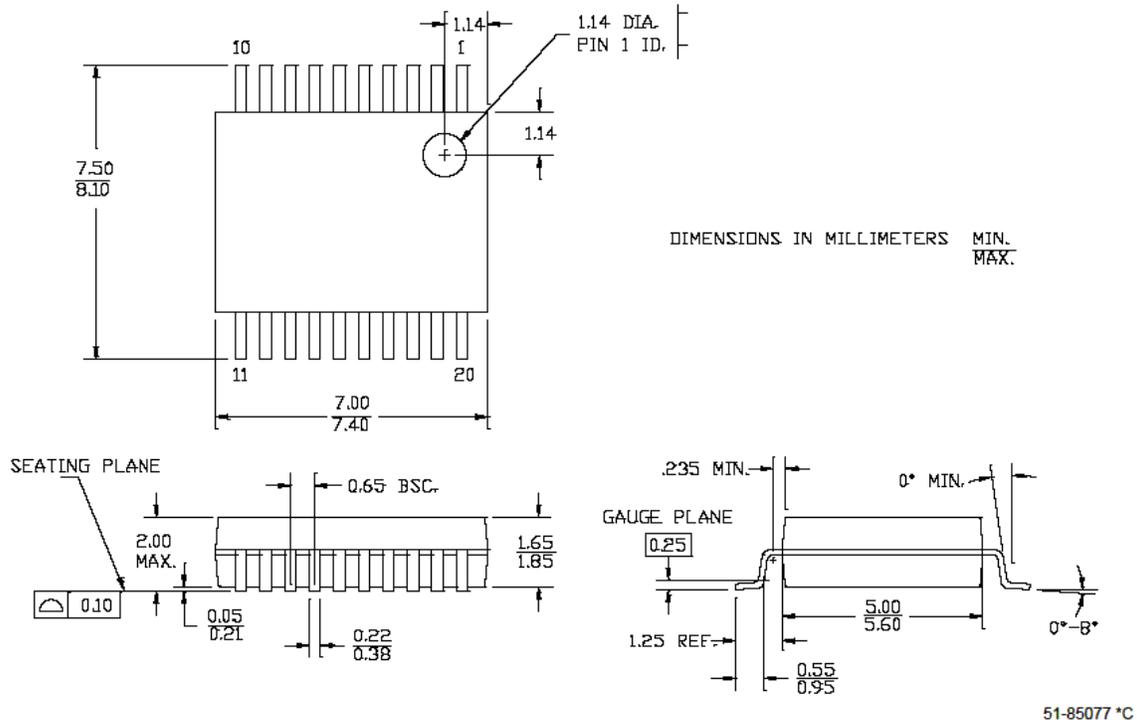


図 2-2. 20 リード (210-Mil) SSOP

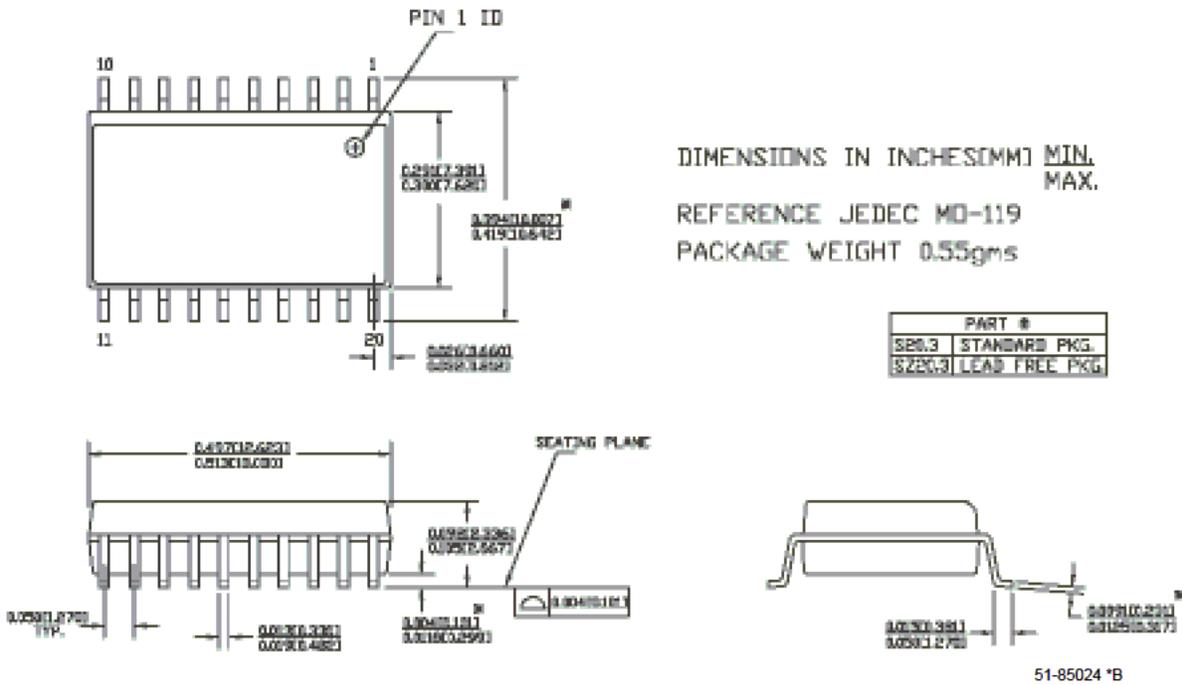


図 2-3. 20 リード (300-Mil) モールド SOIC-S5

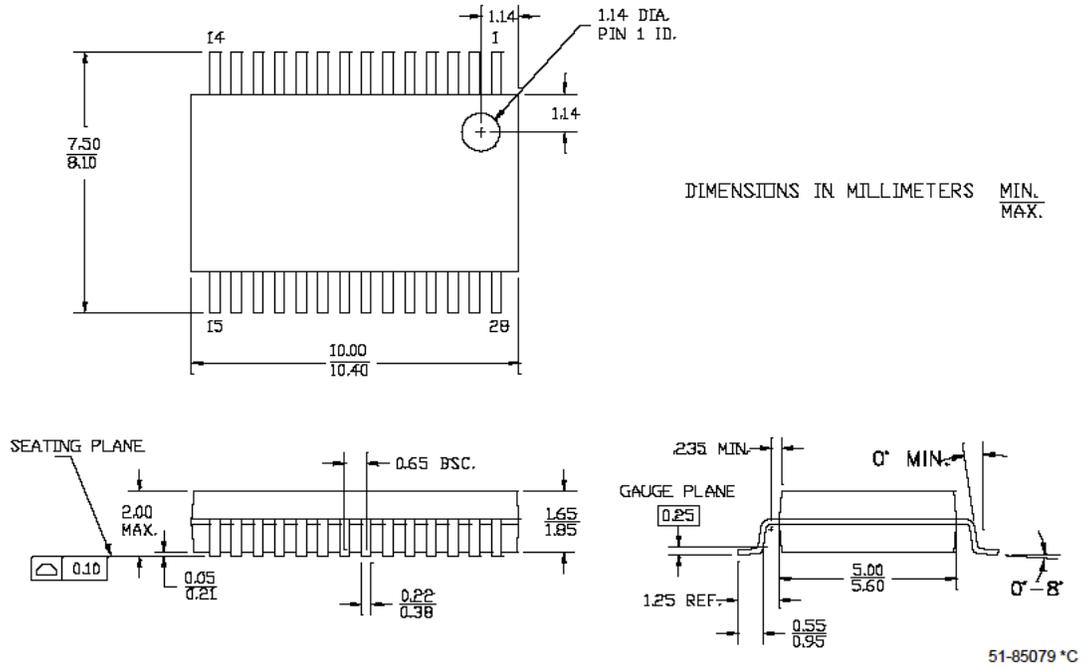


図 2-4. 28 リード (210-Mil) SSOP

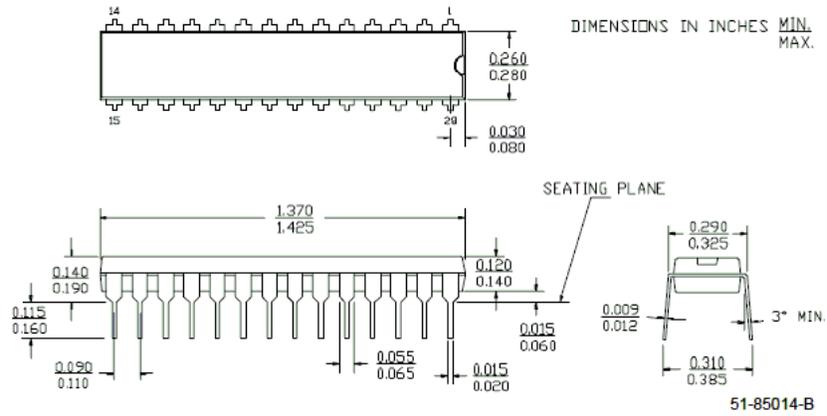


図 2-5. 28 リード (300-Mil) モールド

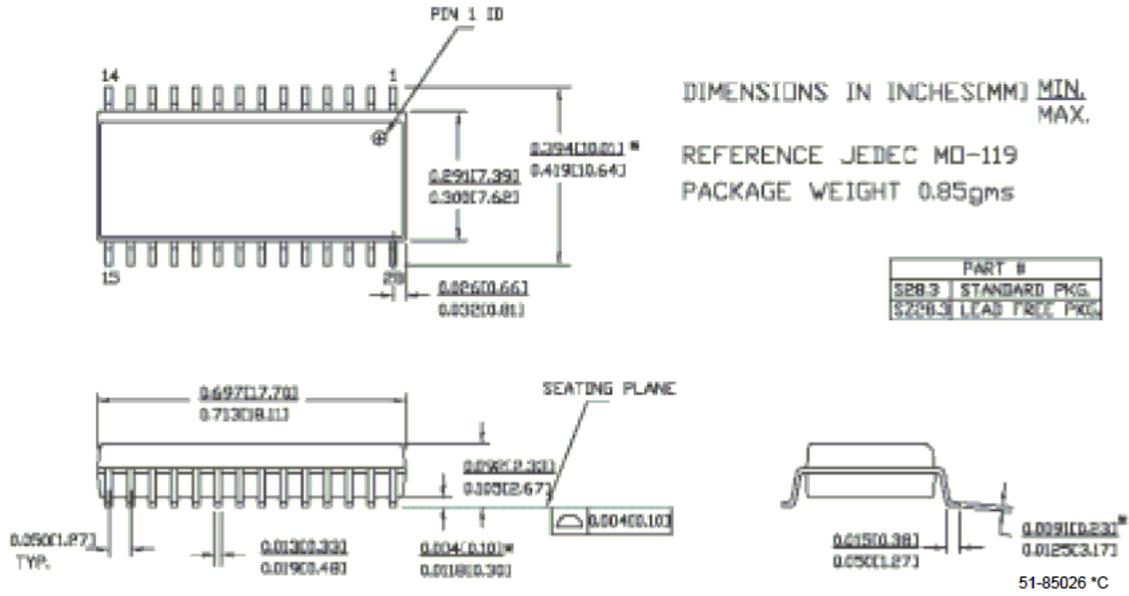


図 2-6. 28 リード (300-Mil) モールド SOIC - S21

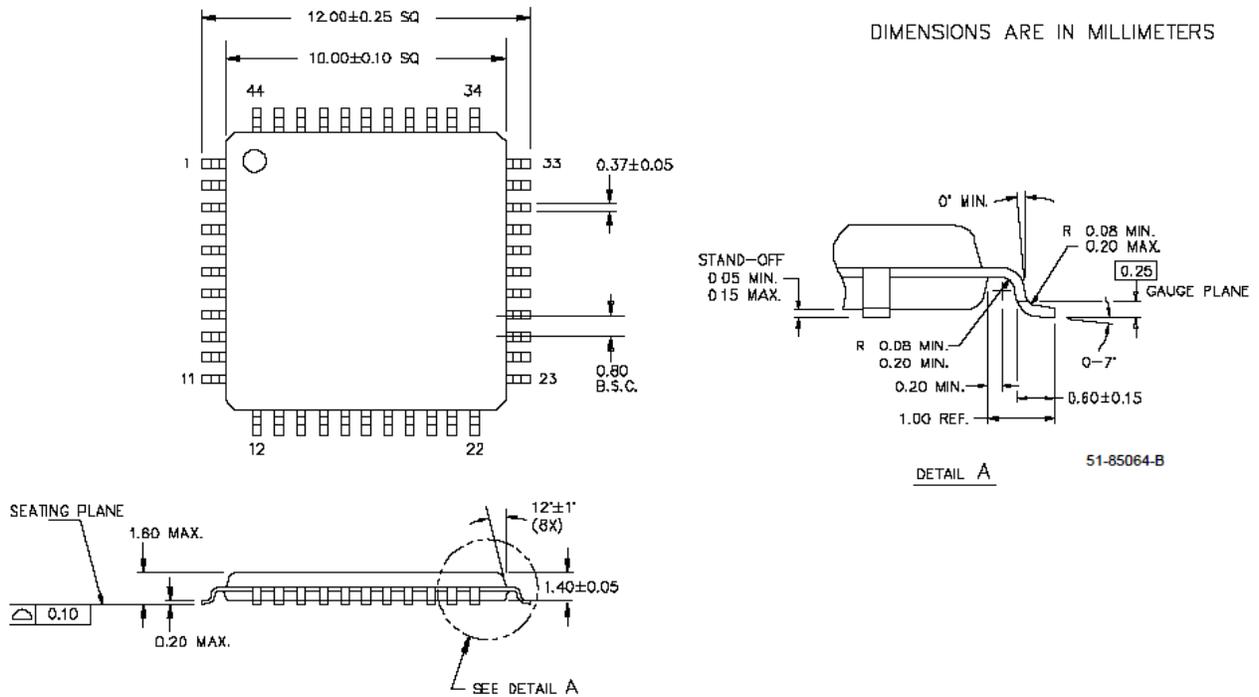


図 2-7. 44 リード TQFP

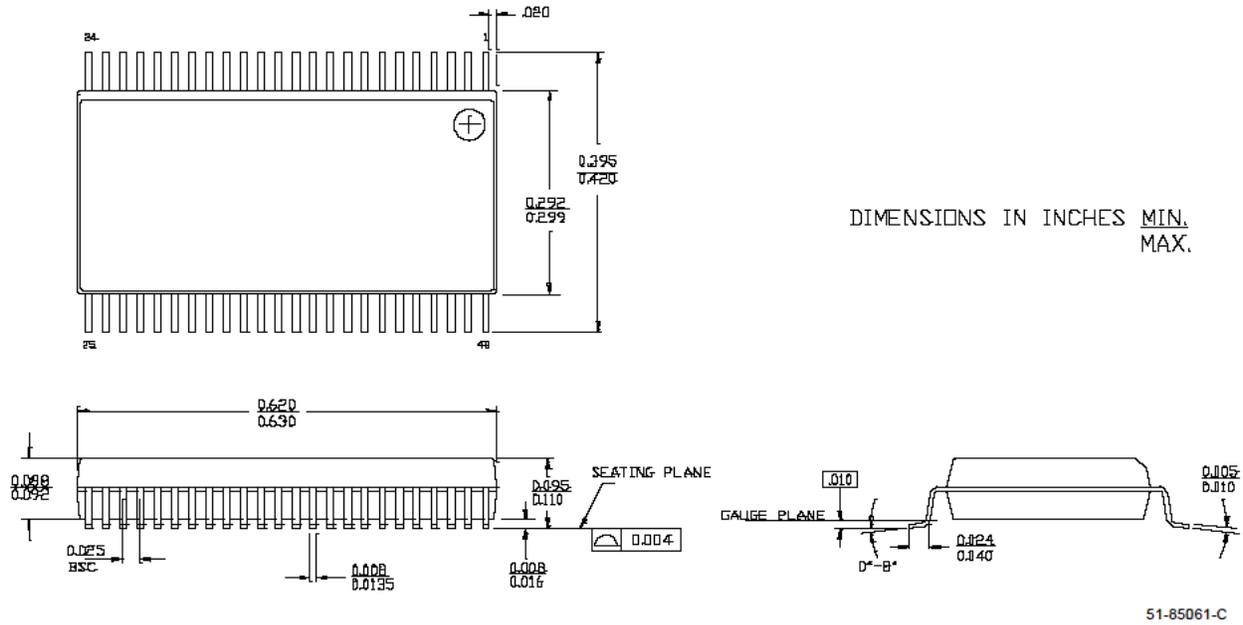


図 2-8. 48 リード (300-Mil) SSOP

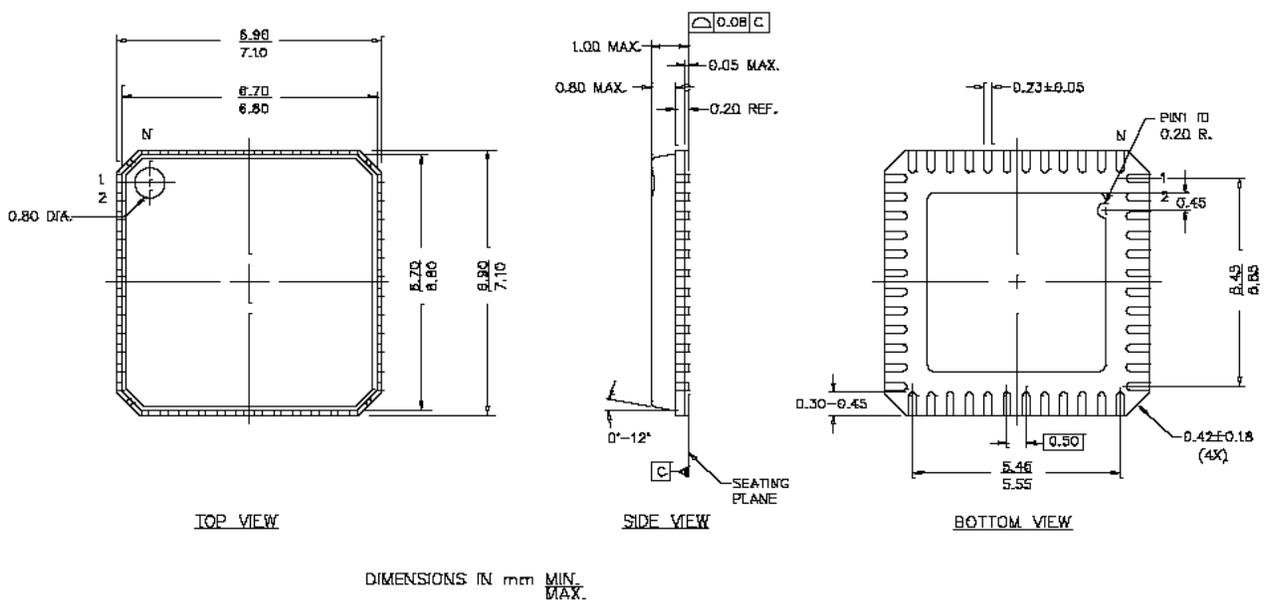


図 2-9. 48 リード (7x7 mm) MLF

2.2 Thermal Impedances (熱インピーダンス)

表 2-1. Thermal Impedances per Package (パッケージ別の熱インピーダンス)

パッケージ	Typical θ_{JA}
8 PDIP	120 ° C/W
20 SSOP	95 ° C/W
20 SOIC	79 ° C/W
28 PDIP	67 ° C/W
28 SSOP	95 ° C/W
28 SOIC	71 ° C/W
44 TQFP	58 ° C/W
48 SSOP	69 ° C/W
48 MLF	18 ° C/W

SECTION B CORE ARCHITECTURE (コアアーキテクチャ)

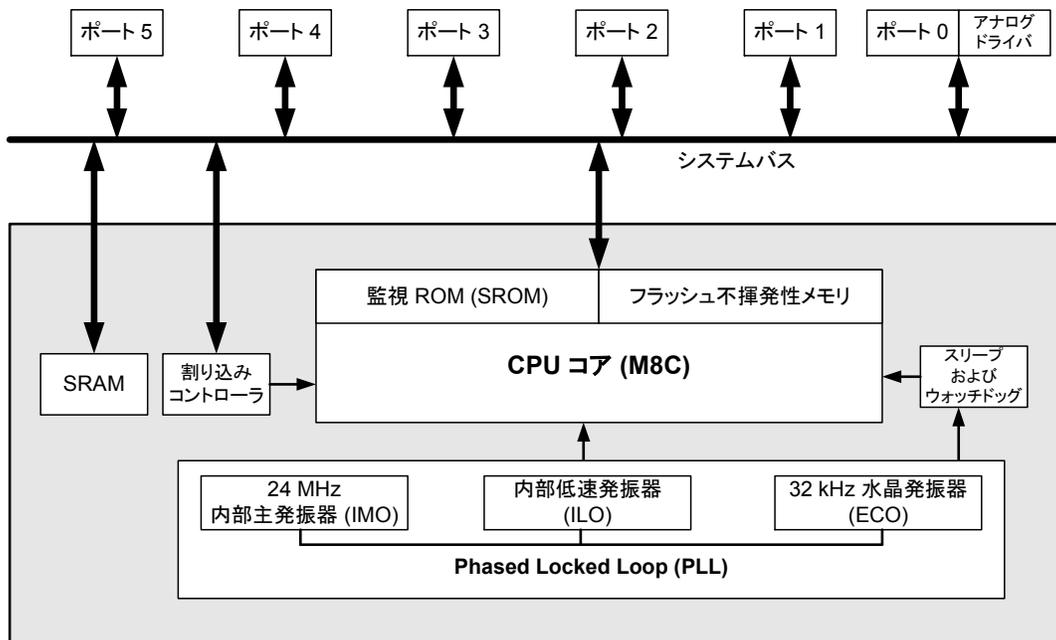


Architecture (アーキテクチャ) セクションでは、PSoC デバイスのコアコンポーネントおよびそれらのコンポーネントに関連するレジスタについて説明します。このセクションには、次の章があります:

- CPU Core (M8C) (CPU コア)、39 ページ
- Supervisory ROM (SROM) (監視 ROM)、49 ページ
- Interrupt Controller (割り込みコントローラ)、55 ページ
- General Purpose IO (GPIO) (汎用 IO)、59 ページ
- Analog Output Drivers (アナログ出力ドライバ)、65 ページ
- Internal Main Oscillator (IMO) (内部主発振器)、67 ページ
- Internal Low Speed Oscillator (ILO) (内部低速発振器)、69 ページ
- 32 kHz Crystal Oscillator (ECO) (32 kHz 水晶発振器)、71 ページ
- Phase Locked Loop (PLL)、75 ページ
- Sleep and Watchdog (スリープおよびウォッチドッグ)、77 ページ

Top-Level Core Architecture (トップレベルコアアーキテクチャ)

下記の図は、PSoC コアのトップレベルアーキテクチャの説明です。図の各コンポーネントは、このセクションで詳細に説明されています。



PSoC コアブロックダイアグラム

Core Register Summary (コアレジスタサマリ)

下記の表は、デバイスのコアが使用する PSoC レジスタの一覧です。

コアレジスタのサマリ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス	
M8C レジスタ											
M8C レジスタ											
x,F7h	CPU_F			XOI		Carry	Zero	GIE		RL : 00	
関連レジスタ											
1,E0h	OSC_CR0	32k Select	PLL Mode	No Buzz	Sleep[1:0]		CPU Speed[2:0]			RW : 00	
x,FFh	CPU_SCR0	GIES		WDRS	PORS	Sleep		STOP		RW : 17	
監視 ROM (SRAM) レジスタ											
x,FEh	CPU_SCR1				ECO_EXW	ECO_EX		IRAMDIS		RW : 00	
割り込みコントローラレジスタ											
0,DAh	INT_CLR0	VC3	Sleep	GPIO	Analog 3	Analog 2	Analog 1	Analog 0	V Monitor	RW : 00	
0,DBh	INT_CLR1	DCB13	DCB12	DBB11	DBB10	DCB03	DCB02	DBB01	DBB00	RW : 00	
0,DDh	INT_CLR3								I2C	RW : 00	
0,DEh	INT_MSK3	ENSWINT								I2C	RW : 00
0,E0h	INT_MSK0	VC3	Sleep	GPIO	Analog 3	Analog 2	Analog 1	Analog 0	V Monitor	RW : 00	
0,E1h	INT_MSK1	DCB13	DCB12	DBB11	DBB10	DCB03	DCB02	DBB01	DBB00	RW : 00	
0,E2h	INT_VC	Pending Interrupt[7:0]								RC : 00	
x,F7h	CPU_F			XOI		Carry	Zero	GIE		RL : 00	
汎用 IO (GPIO) レジスタ											
0,00h	PRT0DR	Data Input[7:0]								RW : 00	
0,01h	PRT0IE	Interrupt Enables[7:0]								RW : 00	
0,02h	PRT0GS	Global Select[7:0]								RW : 00	
0,03h	PRT0DM2	Drive Mode 2[7:0]								RW : FF	
1,00h	PRT0DM0	Drive Mode 0[7:0]								RW : 00	
1,01h	PRT0DM1	Drive Mode 1[7:0]								RW : FF	
1,02h	PRT0IC0	Interrupt Control 0[7:0]								RW : 00	
1,03h	PRT0IC1	Interrupt Control 1[7:0]								RW : 00	
0,04h	PRT1DR	Data Input[7:0]								RW : 00	
0,05h	PRT1IE	Interrupt Enables[7:0]								RW : 00	
0,06h	PRT1GS	Global Select[7:0]								RW : 00	
0,07h	PRT1DM2	Drive Mode 2[7:0]								RW : FF	
1,04h	PRT1DM0	Drive Mode 0[7:0]								RW : 00	
1,05h	PRT1DM1	Drive Mode 1[7:0]								RW : FF	
1,06h	PRT1IC0	Interrupt Control 0[7:0]								RW : 00	
1,07h	PRT1IC1	Interrupt Control 1[7:0]								RW : 00	
0,08h	PRT2DR	Data Input[7:0]								RW : 00	
0,09h	PRT2IE	Interrupt Enables[7:0]								RW : 00	
0,0Ah	PRT2GS	Global Select[7:0]								RW : 00	
0,0Bh	PRT2DM2	Drive Mode 2[7:0]								RW : FF	
1,08h	PRT2DM0	Drive Mode 0[7:0]								RW : 00	
1,09h	PRT2DM1	Drive Mode 1[7:0]								RW : FF	
1,0Ah	PRT2IC0	Interrupt Control 0[7:0]								RW : 00	
1,0Bh	PRT2IC1	Interrupt Control 1[7:0]								RW : 00	
0,0Ch	PRT3DR	Data Input[7:0]								RW : 00	
0,0Dh	PRT3IE	Interrupt Enables[7:0]								RW : 00	
0,0Eh	PRT3GS	Global Select[7:0]								RW : 00	
0,0Fh	PRT3DM2	Drive Mode 2[7:0]								RW : FF	
1,0Ch	PRT3DM0	Drive Mode 0[7:0]								RW : 00	
1,0Dh	PRT3DM1	Drive Mode 1[7:0]								RW : FF	
1,0Eh	PRT3IC0	Interrupt Control 0[7:0]								RW : 00	
1,0Fh	PRT3IC1	Interrupt Control 1[7:0]								RW : 00	
0,10h	PRT4DR	Data Input[7:0]								RW : 00	

コアレジスタのサマリ (続き)

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス	
0,11h	PRT4IE	Interrupt Enables[7:0]								RW : 00	
0,12h	PRT4GS	Global Select[7:0]								RW : 00	
0,13h	PRT4DM2	Drive Mode 2[7:0]								RW : FF	
1,10h	PRT4DM0	Drive Mode 0[7:0]								RW : 00	
1,11h	PRT4DM1	Drive Mode 1[7:0]								RW : FF	
1,12h	PRT4IC0	Interrupt Control 0[7:0]								RW : 00	
1,13h	PRT4IC1	Interrupt Control 1[7:0]								RW : 00	
0,14h	PRT5DR	Data Input[7:0]								RW : 00	
0,15h	PRT5IE	Interrupt Enables[7:0]								RW : 00	
0,16h	PRT5GS	Global Select[7:0]								RW : 00	
0,17h	PRT5DM2	Drive Mode 2[7:0]								RW : FF	
1,14h	PRT5DM0	Drive Mode 0[7:0]								RW : 00	
1,15h	PRT5DM1	Drive Mode 1[7:0]								RW : FF	
1,16h	PRT5IC0	Interrupt Control 0[7:0]								RW : 00	
1,17h	PRT5IC1	Interrupt Control 1[7:0]								RW : 00	
アナログ出力ドライバレジスタ											
1,62h	ABF_CR0	ACol1Mux	ACol2Mux	ABUF1EN0	ABUF2EN0	ABUF0EN0	ABUF3EN0	Bypass	PWR	RW : 00	
内部主発振器 (IMO) レジスタ											
1,E8h	IMO_TR	Trim[7:0]								W : 00	
内部低速発振器 (ILO) レジスタ											
1,E9h	ILO_TR	Bias Trim[1:0]				Freq Trim[3:0]					RW : 00
32 kHz 水晶発振器 (ECO) レジスタ											
1,E0h	OSC_CR0	32k Select	PLL Mode	No Buzz	Sleep[1:0]		CPU Speed[2:0]			RW : 00	
1,EBh	ECO_TR	PSSDC[1:0]									W : 00
x,FEh	CPU_SCR1					ECO_EXW	ECO_EX			IRAMDIS	RW : 00
PHASE LOCKED LOOP (PLL) レジスタ											
1,E0h	OSC_CR0	32k Select	PLL Mode	No Buzz	Sleep[1:0]		CPU Speed[2:0]			RW : 00	
1,E2h	OSC_CR2	PLLGAIN					EXTCLKEN	IMODIS	SYSCLKX2 DIS		RW : 00
スリープおよびウォッチドッグレジスタ											
0,E0h	INT_MSK0	VC3	Sleep	GPIO	Analog 3	Analog 2	Analog 1	Analog 0	V Monitor	RW : 00	
0,E3h	RES_WDT	WDSL_Clear[7:0]								W : 00	
x,FEh	CPU_SCR1					ECO_EXW	ECO_EX			IRAMDIS	RW : 00
1,E0h	OSC_CR0	32k Select	PLL Mode	No Buzz	Sleep[1:0]		CPU Speed[2:0]			RW : 00	
1,E9h	ILO_TR	Bias Trim[1:0]				Freq Trim[3:0]					W : 00
1,EBh	ECO_TR	PSSDC[1:0]									W : 00
x,FFh	CPU_SCR0	GIES			WDRS	PORS	Sleep		STOP	RW : XX	

凡例

L: AND、OR、および XOR フラグ命令を使用してこのレジスタを修正することができます。

#: アクセスはビット特有です。その他の情報はレジスタ詳細を参照してください。

X: パワーオンリセットが不明な場合の値。

x: アドレスフィールド中のカンマの前の "x" は、使用されるバンクに関係なくこのレジスタがアクセスされるまたは書き込まれることを示します。

3. CPU Core (M8C) (CPU コア)



本章は、M8C と呼ばれる CPU コアおよびその関連レジスタについて説明します。内部 M8C レジスタ、アドレス空間、命令形式、およびアドレッシングモードをカバーします。M8C 命令セットに関するその他の情報は、CypressMicro.com ウェブサイトにある *PSoC Designer Assembly Language User Guide* を参照してください。

表 3-1. M8C レジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
M8C レジスタ										
x,F7h	CPU_F				XOI		Carry	Zero	GIE	RL : 00
関連レジスタ										
1,E0h	OSC_CR0	32k Select	PLL Mode	No Buzz	Sleep[1:0]		CPU Speed[2:0]			RW : 00
x,FFh	CPU_SCR0	GIES		WDRS	PORS	Sleep			STOP	RW : 17

凡例

L: AND、OR、および XOR フラグ命令を使用してこのレジスタを修正することができます。

x: アドレスフィールド中のカンマの前の "x" は、使用されるバンクに関係なくこのレジスタがアクセスされるまたは書き込まれることを示します。

M8C は、4 つの MIPS 8 ビットハーバードアーキテクチャのマイクロプロセッサです。93.7 kHz から 24 MHz までのコード選択可能なプロセッサクロック速度により、M8C は特定アプリケーションのパフォーマンスおよび電力要件に合わせて調整することができます。M8C は、効率的な低水準言語の対応を可能にする豊富な命令セットをサポートします。

3.1 Internal Registers (内部レジスタ)

M8C には、プログラム実行で使用される 5 つの内部レジスタがあります。次のレジスタがあります。

- 累算器 (アキュムレータ) (A)
- インデックス (X)
- プログラムカウンタ (PC) – 内部使用のみ
- スタックポインタ (SP)
- フラグ (F)

M8C 内部レジスタはすべて、PC (16 ビット) を除いて 8 ビットです。リセット時、A、X、PC、および SP は 00h にリセットされます。フラグレジスタ (F) は、02h にリセットされ、Z フラグがセットされたことを示します。

各スタック操作において、SP は RAM 中で次のスタックバイトを指すように自動的にインクリメントまたはデクリメントされます。スタックの最後のバイトがアドレス FFh の場合、スタックポインタは RAM アドレス 00h になります。スタックが RAM 中でユーザ定義変数によってオーバーラップしないことを保証することは、ファームウェア

開発者の責任です。

F レジスタを除いて、M8C 内部レジスタは明示的なレジスタアドレスからアクセスすることはできません。内部 M8C レジスタには、次のような命令を使用してアクセスします:

- MOV A, expr
- MOV X, expr
- SWAP A, SP
- OR F, expr
- JMP LABEL

F レジスタは、いずれかのレジスタバンク中でアドレス F7h を使用して読み取ることができます。

3.2 Address Spaces (アドレス空間)

M8C には、次の 3 つのアドレス空間があります: ROM、RAM、レジスタ。ROM アドレス空間には、監視 ROM (SRAM) およびフラッシュが含まれます。ROM アドレス空間には、自身のアドレスおよびデータバスからアクセスします。図 3-1 は、PSoC マイクロコントローラのアドレス空間の説明です。

ROM アドレス空間は、監視 ROM およびオンチップフラッシュプログラム記憶からなります。フラッシュは、64 バイトのブロックで構成されます。M8C がブロック境界をユーザコードで見えないようにする命令ごとに 16 ビット PC を自動的にインクリメントするので、ユーザはプログラム記憶のページ境界について考慮する必要はありません。256 バイトフラッシュのページ境界 (jmp 命令を除く) 上

で行われる命令は、PC の上位バイトがインクリメントされる余計な M8C クロックサイクルを発生させます。

レジスタアドレス空間は、PSoC マイクロコントローラの変換ブロックを設定するために使用されます。レジスタアドレス空間は、それぞれ 256 バイトの 2 つのバンクから

なります。バンクを切り替えるには、フラグレジスタの XIO ビットをセットまたはクリアします (セットすると Bank1、クリアすると Bank0)。一般的な規則では、バンクを Bank0 にセット (XIO をクリア) した状態にしておいて、必要に応じて Bank1 に切り替え (XIO をセット)、Bank0 に戻します。

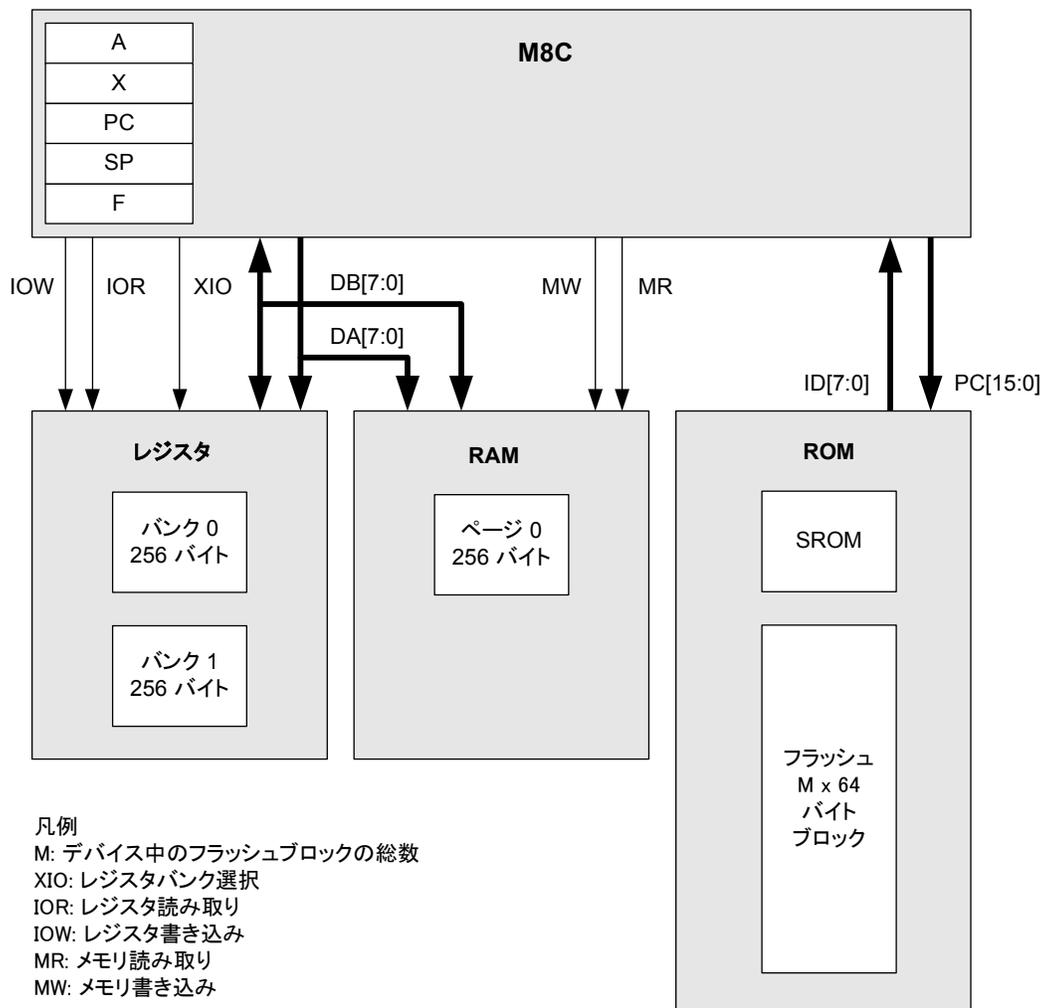


図 3-1. M8C マイクロプロセッサのアドレス空間

3.3 Instruction Set Summary (命令セットサマリ)

命令セットは、下記の表 3-2 に要約されています。その他の情報は、CypressMicro.com ウェブサイトにある PSoC Designer Assembly Language User Guide を参照してください。

表 3-2. 命令セットサマリ

16 ビット コード	サイクル	バイト	命令形式	フラグ	16 ビット コード	サイクル	バイト	命令形式	フラグ	16 ビット コード	サイクル	バイト	命令形式	フラグ
00	15	1	SSC		2D	8	2	OR [X+expr], A	Z	5A	5	2	MOV [expr], X	
01	4	2	ADD A, expr	C, Z	2E	9	3	OR [expr], expr	Z	5B	4	1	MOV A, X	Z
02	6	2	ADD A, [expr]	C, Z	2F	10	3	OR [X+expr], expr	Z	5C	4	1	MOV X, A	
03	7	2	ADD A, [X+expr]	C, Z	30	9	1	HALT		5D	6	2	MOV A, reg[expr]	Z
04	7	2	ADD [expr], A	C, Z	31	4	2	XOR A, expr	Z	5E	7	2	MOV A, reg[X+expr]	Z
05	8	2	ADD [X+expr], A	C, Z	32	6	2	XOR A, [expr]	Z	5F	10	3	MOV [expr], [expr]	
06	9	3	ADD [expr], expr	C, Z	33	7	2	XOR A, [X+expr]	Z	60	5	2	MOV reg[expr], A	
07	10	3	ADD [X+expr], expr	C, Z	34	7	2	XOR [expr], A	Z	61	6	2	MOV reg[X+expr], A	
08	4	1	PUSH A		35	8	2	XOR [X+expr], A	Z	62	8	3	MOV reg[expr], expr	
09	4	2	ADC A, expr	C, Z	36	9	3	XOR [expr], expr	Z	63	9	3	MOV reg[X+expr], expr	
0A	6	2	ADC A, [expr]	C, Z	37	10	3	XOR [X+expr], expr	Z	64	4	1	ASLA	C, Z
0B	7	2	ADC A, [X+expr]	C, Z	38	5	2	ADD SP, expr		65	7	2	ASL [expr]	C, Z
0C	7	2	ADC [expr], A	C, Z	39	5	2	CMP A, expr		66	8	2	ASL [X+expr]	C, Z
0D	8	2	ADC [X+expr], A	C, Z	3A	7	2	CMP A, [expr]	if (A=B) Z=1	67	4	1	ASR A	C, Z
0E	9	3	ADC [expr], expr	C, Z	3B	8	2	CMP A, [X+expr]		68	7	2	ASR [expr]	C, Z
0F	10	3	ADC [X+expr], expr	C, Z	3C	8	3	CMP [expr], expr	if(A<B) C=1	69	8	2	ASR [X+expr]	C, Z
10	4	1	PUSH X		3D	9	3	CMP [X+expr], expr		6A	4	1	RLC A	C, Z
11	4	2	SUB A, expr	C, Z	3E	10	2	MVI A, [[expr]++]	Z	6B	7	2	RLC [expr]	C, Z
12	6	2	SUB A, [expr]	C, Z	3F	10	3	MVI [[expr]++], A		6C	8	2	RLC [X+expr]	C, Z
13	7	2	SUB A, [X+expr]	C, Z	40	4	1	NOP		6D	4	1	RRC A	C, Z
14	7	2	SUB [expr], A	C, Z	41	9	3	AND reg[expr], expr	Z	6E	7	2	RRC [expr]	C, Z
15	8	2	SUB [X+expr], A	C, Z	42	10	3	AND reg[X+expr], expr	Z	6F	8	2	RRC [X+expr]	C, Z
16	9	3	SUB [expr], expr	C, Z	43	9	3	OR reg[expr], expr	Z	70	4	2	AND F, expr	C, Z
17	10	3	ADC [X+expr], expr	C, Z	44	10	3	OR reg[X+expr], expr	Z	71	4	2	OR F, expr	C, Z
18	5	1	POP A	Z	45	9	3	XOR reg[expr], expr	Z	72	4	2	XOR F, expr	C, Z
19	4	2	SBB A, expr	C, Z	46	9	3	XOR reg[X+expr], expr	Z	73	4	1	CPLA	C, Z
1A	6	2	SBB A, [expr]	C, Z	47	8	3	TST [expr], expr	Z	74	4	1	INC A	C, Z
1B	7	2	SBB A, [X+expr]	C, Z	48	9	3	TST [X+expr], expr	Z	75	4	1	INC X	C, Z
1C	7	2	SBB [expr], A	C, Z	49	9	3	TST reg[expr], expr	Z	76	7	2	INC [expr]	C, Z
1D	8	2	SBB [X+expr], A	C, Z	4A	10	3	TST reg[X+expr], expr	Z	77	8	2	INC [X+expr]	C, Z
1E	9	3	SBB [expr], expr	C, Z	4B	5	1	SWAP A, X	Z	78	4	1	DEC A	C, Z
1F	10	3	SBB [X+expr], expr	C, Z	4C	7	2	SWAP A, [expr]	Z	79	4	1	DEC X	C, Z
20	5	1	POP X		4D	7	2	SWAP X, [expr]		7A	7	2	DEC [expr]	C, Z
21	4	2	AND A, expr	Z	4E	5	1	SWAP A, SP	Z	7B	8	2	DEC [X+expr]	C, Z
22	6	2	AND A, [expr]	Z	4F	4	1	MOV X, SP		7C	13	3	LCALL	
23	7	2	AND A, [X+expr]	Z	50	4	2	MOV A, expr	Z	7D	7	3	LJMP	
24	7	2	AND [expr], A	Z	51	5	2	MOV A, [expr]	Z	7E	10	1	RETI	C, Z
25	8	2	AND [X+expr], A	Z	52	6	2	MOV A, [X+expr]	Z	7F	8	1	RET	
26	9	3	AND [expr], expr	Z	53	5	2	MOV [expr], A		8x	5	2	JMP	
27	10	3	AND [X+expr], expr	Z	54	6	2	MOV [X+expr], A		9x	11	2	CALL	
28	11	1	ROMX	Z	55	8	3	MOV [expr], expr		Ax	5	2	JZ	
29	4	2	OR A, expr	Z	56	9	3	MOV [X+expr], expr		Bx	5	2	JNZ	
2A	6	2	OR A, [expr]	Z	57	4	2	MOV X, expr		Cx	5	2	JC	
2B	7	2	OR A, [X+expr]	Z	58	6	2	MOV X, [expr]		Dx	5	2	JNC	
2C	7	2	OR [expr], A	Z	59	7	2	MOV X, [X+expr]		Ex	7	2	JACC	
										Fx	13	2	INDEX	Z

注 1 割り込みルーチンは実行を割り込みベクトルテーブルで再開する前に 13 サイクルかかります。

注 2 フラッシュメモリ空間で 256 バイト境界にまたがる命令では、命令に必要なサイクル数は 1 増えます。

3.4 Instruction Format (命令形式)

M8C には、命令バイトが 1、2、および 3 バイトの 7 つの命令形式があります。命令バイトはすべて、レジスタおよび RAM アクセスに使用されたアドレスおよびデータバスとは別のアドレスおよびデータバスを使用するプログラムメモリ (フラッシュ) から取得されます。

命令の例はこのセクションでも説明しますが、個々の命令の詳細は PSoc Designer Assembly Language User Guide を参照してください。

3.4.1 1 バイト命令

いくつかの MOV 命令のような多くの命令は、オペランドとしてアドレスまたはデータを使用しない 1 バイト命令です。図 3-3 に示すように、1 バイト命令は 8 ビットのオペコードを使用します。1 バイト命令のセットは、結果が格納される場所によって 4 つのカテゴリに分けることができます。

表 3-3.1 バイト命令形式

バイト 0
8 ビットオペコード

1 バイト命令の最初のカテゴリは、レジスタや RAM を更新しません。1 バイト NOP および SSC 命令がこのカテゴリに含まれます。プログラムカウンタはこれらの命令の実行によってインクリメントされますが、他の内部 M8C レジスタが更新されることはなく、これらの命令が直接レジスタ空間または RAM アドレス空間に影響を与えることもありません。SSC 命令は、RAM と M8C 内部レジスタを修正するために実行する SROM コードを発生します。

2 つ目のカテゴリには、2 つの PUSH 命令が含まれます。PUSH 命令は、RAM アドレスを修正する唯一の 1 バイト命令です。これらの命令は、SP を自動的にインクリメントします。

3 つ目のカテゴリには、HALT 命令のみが含まれます。HALT 命令は、ユーザレジスタを修正する唯一の 1 バイト命令です。HALT 命令は、ユーザレジスタ空間アドレス FFh (CPU_SCR) を修正します。

1 バイト命令の最後のカテゴリは、内部 M8C レジスタを更新します。このカテゴリには、最も多くの命令 (ASL, ASR, CPL, DEC, INC, MOV, POP, RET, RETI, RLC, ROMX, RRC, SWAP) が含まれます。これらの命令は、A、X、SP レジスタまたは SRAM を更新します。

3.4.2 2 バイト命令

M8C 命令の多くは 2 バイトです。これらの命令は 1 バイト命令と同じように 4 つに分けることもできますが、ここでは M8C が使用する 3 つの 2 バイト命令形式で分します。

表 3-4.2 バイト命令形式

バイト 0		バイト 1	
4 ビットオペコード	12 ビット相対アドレス		
8 ビットオペコード	8 ビットデータ		
8 ビットオペコード	8 ビットアドレス		

表 3-4 で示される最初の 2 バイト命令形式は、短いジャンプおよび呼び出しで使用されます: CALL, JMP, JACC, INDEX, JC, JNC, JNZ, JZ。この命令形式は命令オペコードに 4 ビットのみを使用し、残りの 12 ビットに相対デスティネーションアドレスを格納します。これらの命令は、プログラムの実行を現在のアドレスへの相対アドレス (-2048 から +2047) に変更することができます。

2 つ目の 2 バイト命令形式 (表 3-4) は、Source Immediate (ソース即値) アドレッシングモードを使用する命令で使用されます (43 ページの "Source Immediate (ソース即値)" を参照)。これらの命令のデスティネーションは内部 M8C レジスタで、ソースは定数値です。この種の命令の例: ADD A, 7

3 つ目の 2 バイト命令形式は、広範囲の命令およびアドレッシングモードで使用されます。次のアドレッシングモードがあります:

- Source Direct (ソース直接) (ADD A, [7])
- Source Indexed (ソースインデックス) (ADD A, [X+7])
- Destination Direct (デスティネーション直接) (ADD [7], A)
- Destination Indexed (デスティネーションインデックス) (ADD [X+7], A)
- Source Indirect Post Increment (ソース間接ポストインクリメント) (MVI A, [7])
- Destination Indirect Post Increment (デスティネーション間接ポストインクリメント) (MVI [7], A)

アドレッシングモードの詳細は、43 ページの "Addressing Modes (アドレッシングモード)" を参照してください。

3.4.3 3 バイト命令

3 バイト命令形式は、2 番目に多い命令形式です。これらの命令は、ユーザがアクセス可能なアドレス空間 (レジスタおよび RAM) 中の 2 つのアドレス間でデータを移動するか、長いジャンプまたは長い呼び出しのデスティネーションとして 16 ビットの絶対アドレスを含んでいます。

表 3-5.3 バイト命令形式

バイト 0	バイト 1	バイト 2
8 ビットオペコード	16 ビットアドレス (MSB, LSB)	
8 ビットオペコード	8 ビットアドレス	8 ビットデータ
8 ビットオペコード	8 ビットアドレス	8 ビットアドレス

表 3-5 で示される最初の命令形式は、LJMP および LCALL 命令で使用されます。これらの命令は、プログラム実行を無条件に絶対アドレスに変更します。

命令は、8 ビットのオペコードおよび 16 ビットのデスティネーションアドレスを使用します。

表 3-5 で示される 2 つ目の命令形式は、次の 2 つのアドレッシングモードで使用されます。

- Destination Direct Source Immediate (デスティネーション直接ソース即値) (ADD [7], 5).
- Destination Indexed Source Immediate (デスティネーションインデックスソース即値) (ADD [X+7], 5).

3 つ目の 3 バイト命令形式は、Destination Direct Source Direct (デスティネーション直接ソース直接) アドレッシングモードでのみ使用されます。この命令形式は、8 ビットのオペコードと 2 つの 8 ビットアドレスを使用します。1 つ目のアドレスは RAM 中のデスティネーションアドレスで、2 つ目のアドレスは RAM 中のソースアドレスです。この命令の例: MOV [7], [5]

3.5 Addressing Modes (アドレッシングモード)

M8C には、次の 10 種 のアドレッシングモードがあります:

- Source Immediate (ソース即値)
- Source Direct (ソース直接)
- Source Indexed (ソースインデックス)
- Destination Direct (デスティネーション直接)
- Destination Indexed (デスティネーションインデックス)
- Destination Direct Source Immediate (デスティネーション直接ソース即値)
- Destination Indexed Source Immediate (デスティネーションインデックスソース即値)
- Destination Direct Source Direct (デスティネーション直接ソース直接)
- Source Indirect Post Increment (ソース間接ポストインクリメント)
- Destination Indirect Post Increment (デスティネーション間接ポストインクリメント)

3.5.1 Source Immediate (ソース即値)

これらの命令では、ソース値が命令のオペランド 1 に格納されます。これらの命令の結果は、命令のオペコードで示された M8C A、F、または X のいずれかのレジスタに格納

されます。Source Immediate (ソース即値) アドレッシングモードを使用するすべての命令の長さは 2 バイトです。

表 3-6. Source Immediate (ソース即値)

オペコード	オペランド 1
命令	即値

Source Immediate (ソース即値) の例:

ソースコード	マシンコード	コメント
ADD A, 7	01 07	即値 7 が累算器に追加されます。結果は累算器に格納されます。
MOV X, 8	57 08	即値 8 が X レジスタに移動されます。
AND F, 9	70 09	即値 9 が F レジスタと論理 AND され、結果は F レジスタに格納されます。

3.5.2 Source Direct (ソース直接)

これらの命令では、ソースアドレスが命令のオペランド 1 に格納されます。命令の実行中、アドレスは RAM またはレジスタアドレス空間からソースの値を検索するために使用されます。これらの命令の結果は、命令のオペコードで

示された M8C A または X のいずれかのレジスタに格納されます。Source Direct (ソース直接) アドレッシングモードを使用するすべての命令の長さは 2 バイトです。

表 3-7. Source Direct (ソース直接)

オペコード	オペランド 1
命令	ソースアドレス

Source Direct (ソース直接) の例:

ソースコード	マシンコード	コメント
ADD A, [7]	02 07	アドレス 7 のメモリ中の値が累算器に追加され、結果は累算器に格納されます。
MOV A, REG[8]	5D 08	アドレス 8 のレジスタ空間中の値が累算器に移動されます。

3.5.3 Source Indexed (ソースインデックス)

これらの命令では、X レジスタからのソースオフセットが命令のオペランド 1 に格納されます。命令の実行中、現在の X レジスタの値は RAM またはレジスタアドレス空間のソース値のアドレスを決定するためにサインオフセットに追加されます。これらの命令の結果は、命令のオペコー

ドで示された M8C A または X のいずれかのレジスタに格納されます。Source Indexed (ソースインデックス) アドレッシングモードを使用するすべての命令の長さは 2 バイトです。

表 3-8. Source Indexed (ソースインデックス)

オペコード	オペランド 1
命令	ソースインデックス

Source Indexed (ソースインデックス) の例:

ソースコード	マシンコード	コメント
ADD A, [X+7]	03 07	アドレス X+7 のメモリ中の値が累算器に追加されます。結果は累算器に格納されます。
MOV X, [X+8]	59 08	アドレス X+8 の RAM 中の値が X レジスタに移動されます。

3.5.4 Destination Direct (デスティネーション直接)

これらの命令では、デスティネーションアドレスが命令のマシンコードに格納されます。操作のソースは、命令のオペコードで示された M8C A または X のいずれかのレジ

スタです。Destination Direct (デスティネーション直接) アドレッシングモードを使用するすべての命令の長さは 2 バイトです。

表 3-9. Destination Direct (デスティネーション直接)

オペコード	オペランド 1
命令	デスティネーションアドレス

Destination Direct (デスティネーション直接) の例:

ソースコード	マシンコード	コメント
ADD [7], A	04 07	累算器の値がアドレス 7 のメモリ中に追加されます。結果はアドレス 7 のメモリ中に格納されます。累算器は変更されません。
MOV REG[8], A	60 08	累算器の値がアドレス 8 のレジスタ空間に移動されます。累算器は変更されません。

3.5.5 Destination Indexed (デスティネーションインデックス)

これらの命令では、 X レジスタからのデスティネーションオフセットが命令のマシンコードに格納されます。操作のソースは、命令のオペコードで示された M8C A レジスタ

または即値のいずれかです。Destination Indexed (デスティネーションインデックス) アドレッシングモードを使用するすべての命令の長さは 2 バイトです。

表 3-10. Destination Indexed (デスティネーションインデックス)

オペコード	オペランド 1
命令	デスティネーションインデックス

Destination Indexed (デスティネーションインデックス) の例:

ソースコード	マシンコード	コメント
ADD [X+7], A	05 07	アドレス X+7 のメモリ中の値が累算器に追加されます。結果はアドレス X+7 のメモリ中に格納されます。累算器は変更されません。

3.5.6 Destination Direct Source Immediate (デスティネーション直接ソース即値)

これらの命令では、デスティネーションアドレスが命令のオペランド 1 に格納されます。ソース値は命令のオペランド 2 に格納されます。Destination Direct Source Immediate

(デスティネーション直接ソース即値) アドレッシングモードを使用するすべての命令の長さは 3 バイトです。

表 3-11. Destination Direct Source Immediate (デスティネーション直接ソース即値)

オペコード	オペランド 1	オペランド 2
命令	デスティネーションアドレス	即値

Destination Direct Source Immediate (デスティネーション直接ソース即値) の例:

ソースコード	マシンコード	コメント
ADD [7], 5	06 07 05	アドレス 7 のメモリ中の値が即値 5 に追加されます。結果はアドレス 7 のメモリ中に格納されます。
MOV REG[8], 6	62 08 06	即値 6 がアドレス 8 のレジスタ空間に移動されます。

3.5.7 Destination Indexed Source Immediate (デスティネーションインデックスソース即値)

これらの命令では、 X レジスタからのデスティネーションオフセットが命令のオペランド 1 に格納されます。ソース値は命令のオペランド 2 に格納されます。Destination

Indexed Source Immediate (デスティネーションインデックスソース即値) アドレッシングモードを使用するすべての命令の長さは 3 バイトです。

表 3-12. Destination Indexed Source Immediate (デスティネーションインデックスソース即値)

オペコード	オペランド 1	オペランド 2
命令	デスティネーションインデックス	即値

Destination Indexed Source Immediate (デスティネーションインデックスソース即値) の例:

ソースコード	マシンコード	コメント
ADD [X+7], 5	07 07 05	アドレス X+7 のメモリ中の値が即値 5 に追加されます。結果はアドレス X+7 のメモリ中に格納されます。
MOV REG[X+8], 6	63 08 06	即値 6 がアドレス X+8 のレジスタ空間に移動されます。

3.5.8 Destination Direct Source Direct (デスティネーション直接ソース直接)

このアドレッシングモードを使用する命令は 1 つのみです。デスティネーションアドレスは命令のオペランド 1 に格納されます。ソースアドレスは命令のオペランド 2 に格

納されます。Destination Direct Source Direct (デスティネーション直接ソース直接) アドレッシングモードを使用するすべての命令の長さは 3 バイトです。

表 3-13. Destination Direct Source Direct (デスティネーション直接ソース直接)

オペコード	オペランド 1	オペランド 2
命令	デスティネーションアドレス	ソースアドレス

Destination Direct Source Direct (デスティネーション直接ソース直接) の例:

ソースコード	マシンコード	コメント
MOV [7], 8	5F 07 08	アドレス 8 のメモリ中の値がアドレス 7 のメモリに移動されます。

3.5.9 Source Indirect Post Increment (ソース間接ポストインクリメント)

このアドレッシングモードを使用する命令は 1 つのみです。オペランド 1 に格納されたソースアドレスはポインタのアドレスです。命令の実行中、ポインタの現在の値はソース値が見つかる RAM 中のアドレスを決定するために読み取られます。ポインタの値はソース値が読み取られた後インクリメントされます。RAM が 256 バイトを超える PSoC マイクロコントローラでは、Data Page Read

(DPR_DR) レジスタはソースアドレスと共に使用する RAM ページを決定するために使用されます。したがって、現在のページ以外のページからの値は、Current Page Pointer (CPP_DR) を変更しないで取得されます。ポインタは常に現在の RAM ページから読み取られます。DPR_DR および CPP_DR レジスタに関する情報は、デバイスデータシートを参照してください。

表 3-14. Source Indirect Post Increment (ソース間接ポストインクリメント)

オペコード	オペランド 1
命令	ソースアドレスポインタ

Source Indirect Post Increment (ソース間接ポストインクリメント) の例:

ソースコード	マシンコード	コメント
MOV A, [8]	3E 08	アドレス 8 (間接アドレス) のメモリ中の値が RAM 中のメモリ位置をポイントします。間接アドレスによってポイントされたメモリ位置の値が累算器に移動します。その後、間接アドレス (メモリ中のアドレス 8) がインクリメントされます。

3.5.10 Destination Indirect Post Increment (デスティネーション間接ポストインクリメント)

このアドレッシングモードを使用する命令は 1 つのみです。オペランド 1 に格納されたデスティネーションアドレスはポインタのアドレスです。命令の実行中、ポインタの現在の値は累算器の値が格納される RAM 中のデスティネーションアドレスを決定するために読み取られます。ポインタの値は値がデスティネーションアドレスに書き込まれた後インクリメントされます。RAM が 256 バイトを超える PSoC マイクロコントローラでは、Data Page Write

(DPW_DR) レジスタはデスティネーションアドレスと共に使用する RAM ページを決定するために使用されます。したがって、値は、Current Page Pointer (CPP_DR) を変更しないで現在のページ以外のページに格納されます。ポインタは常に現在の RAM ページから読み取られます。DPR_DR および CPP_DR レジスタに関する情報は、デバイスデータシートを参照してください。

表 3-15. Destination Indirect Post Increment (デスティネーション間接ポストインクリメント)

オペコード	オペランド 1
命令	デスティネーションアドレスポインタ

Destination Indirect Post Increment (デスティネーション間接ポストインクリメント) の例:

ソースコード	マシンコード	コメント
MVI [8], A	3F 08	アドレス 8 (間接アドレス) のメモリ中の値が RAM 中のメモリ位置をポイントします。累算器の値が間接アドレスによってポイントされたメモリ位置に移動します。その後、間接アドレス (メモリ中のアドレス 8) がインクリメントされます。

3.6 Register Definitions (レジスタ定義)

3.6.1 CPU_F (フラグ) レジスタ

フラグレジスタには、表 3-1 で示すように、4 つのチップ依存ビット (FL[7:4]) および 4 つの専用ビット (FL[3:0]) があります。

GIE=1 の場合、M8C は各命令の IRQ 入力をサンプリングします。GIE=0 の場合、M8C は IRQ を無視します。

その他の情報は、155 ページの CPU_F レジスタを参照してください。

3.6.1.1 Chip-Dependent Flag Bits (チップ依存フラグビット)

チップ依存フラグビットは、M8C に影響しません。これらのビットは、フラグ論理オペコード (例えば、XOR F, 80h) を使用してユーザによって操作されます。PSoC Mixed Signal Array ファミリのビット定義は次のようになります。

ビット 7, 6, および 5: 予約。

ビット 4: XOI。 IO バンク選択。このビットは、256 を超えるレジスタをサポートするため、レジスタバンクの選択に使用されます。

3.6.1.2 Dedicated Flag Bits (専用フラグビット)

専用フラグビットは次の通りです。

ビット 3: 予約。

ビット 2: Carry。 キャリーフラグ。このビットは、いくつかの命令の結果に応じてセットまたはクリアされます。フラグ論理オペコード (例えば、OR F, 4) によっても操作されます。詳細は、*PSoC Designer Assembly Guide User Manual* を参照してください。

ビット 1: Zero。 ゼロフラグ。このビットは、いくつかの命令の結果に応じてセットまたはクリアされます。フラグ論理オペコード (例えば、OR F, 2) によっても操作されます。詳細は、*PSoC Designer Assembly Guide User Manual* を参照してください。

ビット 0: GIE。 グローバル割り込みイネーブル。このビットの状態は、(IRQ 経由の) 割り込みが M8C によって認識されるかどうかを決定します。このビットは、フラグ論理オペコード (例えば、OR F, 1) を使用してユーザによってセットまたはクリアされます。また、GIE は、フラグバイトがスタックに格納された後、割り込みルーチンによって自動的にクリアされます。

4. Supervisory ROM (SR0M) (監視 ROM)



本章は、Supervisory ROM (SR0M) (監視 ROM) およびその関連レジスタについて説明します。PS0C デバイスの物理的な SR0M ブロックおよび SR0M 中に格納されるコードの両方をカバーします。

表 4-1. SR0M レジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
x,FEh	CPU_SCR1					ECO_EXW	ECO_EX		IRAMDIS	RW : 00

凡例

x: アドレスフィールド中のカンマの前の "x" は、使用されるバンクに関係なくこのレジスタがアクセスされるまたは書き込まれることを示します。

SR0M は、パーツのブート、回路の校正、フラッシュ操作の実行に使用されるコードを保持します。SR0M の関数は通常のユーザコードでアクセスされ、フラッシュから操作します。

4.1 Architectural Description (アーキテクチャ上の説明)

SR0M は、パーツのブートおよびフラッシュマクロへのインターフェイス関数を提供するために使用されます。(表 4-2 は、SR0M 関数の一覧です。) SR0M 関数は、オペコード 00h の Supervisory System Call 命令 (SSC) を実行してアクセスします。SSC を実行する前に、M8C の累算器に表 4-2 から目的の SR0M 関数コードをロードしておく必要があります。未定義の関数がユーザコードから呼び出されると、HALT 状態になります。SR0M 関数は呼び出しによりコードを実行するため、スタック空間が必要です。Reset を除き、SR0M 関数はすべて、SSC を実行する前に設定しなければならない SRAM 中のパラメータブロックがあります。表 4-3 は、使用可能なパラメータブロック変数の一覧です。各パラメータの意味は、特定の SR0M 関数について考慮するため、本章の後に記述されます。

表 4-2. SR0M 関数の一覧

関数コード	関数名	必要なスタック空間
00h	SWBootReset	0
01h	ReadBlock	7
02h	WriteBlock	9
03h	EraseBlock	9
06h	TableRead	3
07h	Checksum	3
08h	Calibrate0	4
09h	Calibrate1	3

すべての関数で使用される 2 つの重要な変数は、KEY1 および KEY2 です。これらの変数は、有効な SSC とそうでない SSC を区別するために使用されます。KEY1 は常に 3Ah の値で、KEY2 は SR0M 関数が実行を開始するときのスタックポインタと同じ値になります。これは、SSC オペコードが実行されたときの SP 値に 3 を加えたものになります。キーのいずれかが予想された値と一致しない場合、M8C は停止状態になります (SWBootReset 関数を除く)。次のコードは、KEY 1 および KEY 2 に正しい値を設定します。コードは、プログラムがセットアップコードに直接ジャンプしてその中で実行しないように、halt (停止状態) で開始します。

```
halt
SSCOP: mov [KEY1], 3ah
       mov X, SP
       mov A, X
       add A, 3
       mov [KEY2], A
```

表 4-3. SROM 関数の変数

変数名	SRAM アドレス
KEY1 / COUNTER / RETURN CODE	0,F8h
KEY2 / TMP	0,F9h
BLOCKED	0,FAh
POINTER	0,FBh
CLOCK	0,FCh
予約	0,FDh
DELAY	0,FEh
予約	0,FFh

4.1.1 その他の SROM 機能

SROM には、次のようなその他の SROM 機能があります。

リターンコード: これらのコードは、特定の関数の成功または失敗の判定に役立ちます。リターンコードは、パラメータブロック中で KEY1 の位置に格納されます。Checksum および TableRead 関数は、パラメータブロック中の KEY1 の位置が他のデータを返すために使用されているため、リターンコードはありません。

表 4-4. SROM リターンコードの意味

リターンコードの値	説明
00h	成功
01h	関数はブロック上の保護レベルにより許可されませんでした
02h	ハードウェアリセットなしのソフトウェアリセット
03h	致命的エラーにより SROM は停止しました

ノート ターゲットのブロックが読み取りまたは書き込み保護されている場合、読み取り、書き込み、および消去操作は失敗することがあります。ブロックの保護レベルはデバイスのプログラミング中にセットされます。

4.1.2 SROM 関数の説明

4.1.2.1 SWBootReset 関数

SROM 関数 SWBootReset は、リセット状態からユーザコードを実行するまでデバイスの移行について責任を持つ関数です。SWBootReset 関数が実行されるイベントに関する詳細は、Types of Resets (リセットの種類) の章を参照してください。

SWBootReset 関数は、SROM が 00h の M8C 累算器値で入力された場合は常に実行されます。SRAM パラメータブロックは関数への入力として使用されません。これは、デザインでは、M8C の累算器が 00h にリセットされるか、ユーザコードが 00h の累算器値で SSC 命令を実行した場合、ハードウェアリセットの後に発生します。

SWBootReset の校正関数、Calibrate1 は、校正データをフラッシュから SRAM に一度に 1 バイト転送します。バイトが転送されると、バイトの合計に EBh のハードコードされたオフセット値が加えられて、2 バイトの SRAM 変数

(CHECKSUM) 中で計算されます。転送の最後に (EBh のオフセット値を加えた) CHECKSUM の値がゼロの場合、SWBootReset 関数は SRAM 中に格納されている値を使用して PSoc デバイスのレジスタを校正します。CHECKSUM の値がゼロ以外の場合、POR イベントに似たハードウェアリセットを引き起こす CPU_SCR1 中の IRES ビットがセットされます。この条件に関する詳細は、307 ページの "System Resets (システムリセット)" を参照してください。

校正データのチェックサムがゼロの場合、SWBootReset 関数は M8C レジスタ (CPU_SP, CPU_PC, CPU_X, CPU_F, CPU_A) を 00h に設定して終了し、多くの SRAM アドレスに 00h を書き込んだ後、アドレス 0000h のユーザコードを実行します。

表 4-5 は、SWBootReset が成功した後の、ページゼロのすべての SRAM アドレスの値の説明です。セル中の "xx" は、SRAM アドレスが SWBootReset 関数によって修正されないことを示します。セル中の 16 進の値は、SWBootReset が成功した後に示される値を常に含むべきアドレスを示します。

セル中の "??" は、値が、SWBootReset の後、CPU_SCR1 中の IRAMDIS の値によって決定されることを示します。IRAMDIS がセットされていない場合、これらのアドレスは 00h に初期化されます。IRAMDIS がセットされている場合、これらのアドレスは SWBootReset によって修正されません。IRAMDIS ビットは、ウォッチドッグリセットが発生した場合、変数を保存します。IRAMDIS ビットは、ウォッチドッグリセットを除くすべてのシステムリセットによってリセットされます。したがって、このビットはウォッチドッグリセットでのみ役立ちます。

表 4-5. SWBootReset 後の SRAM マップ

アドレス	0	1	2	3	4	5	6	7
	8	9	A	B	C	D	E	F
0x0_	0x00	0x00	0x00	??	??	??	??	??
	??	??	??	??	??	??	??	??
0x1_	??	??	??	??	??	??	??	??
	??	??	??	??	??	??	??	??
0x2_	??	??	??	??	??	??	??	??
	??	??	??	??	??	??	??	??
0x3_	??	??	??	??	??	??	??	??
	??	??	??	??	??	??	??	??
0x4_	??	??	??	??	??	??	??	??
	??	??	??	??	??	??	??	??
0x5_	??	??	??	??	??	??	??	??
	??	??	??	??	??	??	??	??
0x6_	??	??	??	??	??	??	??	??
	??	??	??	??	??	??	??	??
0x7_	??	??	??	??	??	??	??	??
	??	??	??	??	??	??	??	??
0x8_	??	??	??	??	??	??	??	??
	??	??	??	??	??	??	??	??
0x9_	??	??	??	??	??	??	??	??
	??	??	??	??	??	??	??	??
0xA_	??	??	??	??	??	??	??	??
	??	??	??	??	??	??	??	??
0xB_	??	??	??	??	??	??	??	??
	??	??	??	??	??	??	??	??
0xC_	??	??	??	??	??	??	??	??
	??	??	??	??	??	??	??	??
0xD_	??	??	??	??	??	??	??	??
	0x00							
0xE_	0x00							
	0x00							
0xF_	0x00	0x00	0x00	0x00	0x00	0x00	??	??
	0x00	0x02	??	0x00	0x00	0x0n	??	0x00

アドレス F8h はすべての SROM 関数のリターンコードバイトで、この関数では、受け入れる値は 00h および 02h のみです。アドレス FCh は失敗回数の変数です。POR、WDR、または XRES の後、変数は SROM によって 00h に初期化されます。チェックサムに失敗するたび、失敗回数はインクリメントされます。したがって、良いチェックサムが得られるように SWBootReset を 2 回パスすると、失敗回数は 01h になります。

4.1.2.2 ReadBlock 関数

ReadBlock 関数は、フラッシュブロックから 64 の隣接するバイトを読み取るために使用されます。デバイス中のブロックの数は、64 で割ったバイトの総数です。16 KB デバイスでは、64 バイトの 256 ブロックになります。

この関数が最初に行うのは、保護ビットをチェックして目的の BLOCKID が読み取り可能かどうかを決定することです。読み取り保護が有効になっている場合、ReadBlock 関数は累算器および KEY2 を 00h に設定して終了します。KEY1 の値は、読み取りに失敗したことを示す、01h になります。

読み取り保護が有効でない場合、関数は ROMX 命令を使用してフラッシュから 64 バイト読み取り、MVI 命令を使

用して SRAM に結果を格納します。64 バイトの 1 番目は、SRAM 中の POINTER パラメータの値によって示されたアドレスに格納されます。ReadBlock が成功して完了すると、累算器、KEY1 および KEY2 の値は 00h になります。

表 4-6. ReadBlock のパラメータ (01h)

名前	アドレス	説明
KEY1	0,F8h	3Ah
KEY2	0,F9h	スタックポインタの値 (SSC が実行された場合)。
BLOCKID	0,FAh	フラッシュブロックの番号
POINTER	0,FBh	返されたデータが格納される SRAM 中の 64 のアドレスの 1 番目。

4.1.2.3 WriteBlock 関数

WriteBlock 関数は、フラッシュにデータを格納するために使用されます。データは、この関数を使用して、SRAM からフラッシュに一度に 64 バイトずつ移動されます。

WriteBlock 関数が最初に行うのは、保護ビットをチェックして目的の BLOCKID が書き込み可能かどうかを決定することです。書き込み保護が有効になっている場合、WriteBlock 関数は累算器および KEY2 を 00h に設定して終了します。KEY1 の値は、書き込みに失敗したことを示す、01h になります。

WriteBlock 関数の設定は簡単です。データが格納されるフラッシュブロックの BLOCKID は、SRAM アドレス FAh で決定して格納しなければなりません。有効な BLOCKID 値は 00h から FFh の間です。

フラッシュに格納される 64 バイトの 1 番目の SRAM アドレスは、パラメータブロック中で POINTER 変数を使用して示さなければなりません (SRAM アドレス FBh)。

最後に、CLOCK および DELAY 値を正しくセットしなければなりません。CLOCK 値は、フラッシュ中でデータを格納するために使用される書き込みパルスの長さを決定します。CLOCK および DELAY 値は CPU 速度に依存しているため、正しく設定しなければなりません。その他の情報は、53 ページの "Clocking (クロック)" を参照してください。

表 4-7. WriteBlock のパラメータ (02h)

名前	アドレス	説明
KEY1	0,F8h	3Ah
KEY2	0,F9h	スタックポインタの値 (SSC が実行された場合)。
BLOCKID	0,FAh	フラッシュブロックの番号 (00h-FFh)。
POINTER	0,FBh	フラッシュに格納されるデータが WriteBlock を呼び出す前に配置される、SRAM 中の 64 のアドレスの 1 番目。
CLOCK	0,FCh	書き込みパルス幅をセットするために使用されるクロックディバイダ。
DELAY	0,FEh	12 MHz の CPU 速度の場合、56h にセットします。

4.1.2.4 EraseBlock 関数

EraseBlock 関数は、フラッシュ中の 64 の隣接するバイトのブロックを消去するために使用されます。

EraseBlock 関数が最初に行うのは、保護ビットをチェックして目的の BLOCKID が書き込み可能かどうかを決定することです。書き込み保護が有効になっている場合、EraseBlock 関数は累算器および KEY2 を 00h に設定して終了します。KEY1 の値は、書き込みに失敗したことを示す、01h になります。

EraseBlock 関数は、プログラミングの最初のステップとしてのみ役立ちます。ブロックを消去しても、ブロック中のデータは 100% 判読不能にはなりません。ブロック中のデータを消去することが目的である場合、最良の方法はすべてゼロの WriteBlock に続いて EraseBlock を実行することです。

EraseBlock 関数のパラメータブロックをセットアップするには、KEY1 および KEY2 に正しいキーの値を格納しなければなりません。消去されるブロック番号を BLOCKID 変数中に格納し、CLOCK および DELAY 値を現在の CPU 速度に基づいてセットしなければなりません。CLOCK および DELAY 値の設定に関する詳細は、53 ページの "Clocking (クロック)" を参照してください。

表 4-10. フラッシュマクロ 0 中のテーブルと割り当て値

	F8h	F9h	FAh	FBh	FCh	FDh	FEh	FFh
テーブル 0	Silicon ID		(今後シリアル化用に使用されます。)					
テーブル 1	Voltage Reference trim for 3.3 V reg[1,EA]	Main Oscillator trim for 3.3 V reg[1,E8]	Room Temperature Calibration for 3.3 V	Hot Temperature Calibration for 3.3 V	Voltage Reference trim for 5 V reg[1,EA]	Main Oscillator trim for 5 V reg[1,E8]	Room Temperature Calibration for 5 V	Hot Temperature Calibration for 5 V
テーブル 2								
テーブル 3	M	B	Mult	M	B	Mult	00h	01h

4.1.2.6 Checksum 関数

Checksum 関数は、ブロックゼロからスタートするフラッシュマクロ (Bank) 内の、ユーザが指定可能なブロックの 16 ビットチェックサムを計算します。BLOCKID パラメータは、チェックサムを計算するブロック数を決定するために使用されます。BLOCKID 値が 1 の場合、block 0 のみのチェックサムを計算し、BLOCKID 値が 0 の場合、256 のユーザブロックすべてのチェックサムを計算します。

16 ビットチェックサムは、KEY1 および KEY2 に返されます。パラメータ KEY1 はチェックサムの下位 8 ビットを保持し、パラメータ KEY2 はチェックサムの上位 8 ビットを保持します。

チェックサムアルゴリズムは、チェックサムを計算するブロック数 x 64 回、次の 3 つの命令のシーケンスを実行します。

```
romx
add [KEY1], A
adc [KEY2], 0
```

表 4-8. EraseBlock のパラメータ (03h)

名前	アドレス	説明
KEY1	0,F8h	3Ah
KEY2	0,F9h	スタックポインタの値 (SSC が実行された場合)。
BLOCKID	0,FAh	フラッシュブロックの番号 (00h-FFh)。
CLOCK	0,FCh	消去パルス幅をセットするために使用されるクロックディバイダ。
DELAY	0,FEh	12 MHz の CPU 速度の場合、56h にセットします。

4.1.2.5 TableRead 関数

TableRead 関数は、生産中にフラッシュに格納されたパーツ特有のデータへのユーザアクセス権を与えます。また、ダイの Revision ID を返します (テーブル 0 に格納された Silicon ID と混同しないこと)。

表 4-9. TableRead のパラメータ (06h)

名前	アドレス	説明
KEY1	0,F8h	3Ah
KEY2	0,F9h	スタックポインタの値 (SSC が実行された場合)。
BLOCKID	0,FAh	読み取るテーブルの番号。

表 4-11. Checksum のパラメータ (07h)

名前	アドレス	説明
KEY1	0,F8h	3Ah
KEY2	0,F9h	スタックポインタの値 (SSC が実行された場合)。
BLOCKID	0,FAh	チェックサムを計算するフラッシュブロックの数。

4.1.2.7 Calibrate0 関数

Calibrate0 関数は、フラッシュの特別な領域に格納されている校正値を適切なレジスタへ転送します。

表 4-12. Calibrate0 のパラメータ (08h)

名前	アドレス	説明
KEY1	0,F8h	3Ah
KEY2	0,F9h	スタックポインタの値 (SSC が実行された場合)。

4.1.2.8 Calibrate1 関数

Calibrate1 は Calibrate0 とは全く別の関数ですが、同じように、フラッシュの特別な領域に格納されている校正値を適切なレジスタへ転送します。Calibrate1 が Calibrate0 と異なるのは、校正データのチェックサムを計算し、チェックサムが無効であると決定された場合、Calibrate1 は CPU_SCR1 の IRES ビットを設定してハードウェアリセットを行うという点です。

Calibrate1 関数は、校正データのチェックサムを計算するために SRAM を使用します。POINTER 値は、この関数で使用される 30 バイトバッファのアドレスを示すために使用されます。関数が完了すると、30 バイトバッファは 00h にセットされます。

Calibrate1 は、SWBootReset のサブ関数として作成されました。しかし、Calibrate1 関数コードは直接アクセスを提供するために追加されました。Calibrate1 の動作に関する詳細は、SWBootReset セクションを参照してください。

表 4-13. Calibrate1 のパラメータ (09h)

名前	アドレス	説明
KEY1	0,F8h	3Ah
KEY2	0,F9h	スタックポインタの値 (SSC が実行された場合)。
POINTER	0,FBh	この関数で使用される 32 の SRAM アドレスの 1 番目。

4.2 Register Definitions (レジスタ定義)

4.2.1 CPU_SCR1 レジスタ

CPU_SCR1 レジスタは、内部リセットおよびウォッチドッグリセットに関連するステータスおよびイベントのコントロールを伝えるために使用されます。

ビット 7 から 4: 予約。

ビット 3: ECO_EXW. ECO Exists Written ビットは、以前書き込まれた ECO_EXW ビットを示すステータスビットとして使用されます。このビットは読み取り専用です。

ビット 2: ECO_EX. ECO Exists ビットは、外部水晶がシステムに存在するかどうかを示すフラグとして使用します。水晶が存在する場合は '1'、水晶が存在しない場合は '0' になります。ビットが '0' の場合、ハードウェアは ECO の切り替えをロックします。ビットが '1' の場合、ハードウェアはファームウェアを ECO と ILO の間で自由に切り替えられるようにします。一旦書き込まれると、このビットは続けて変更することはできません。プログラム実行の完全性がいと仮定されている場合、ビットはパワーオンリセット (POR) または外部リセット (XRES) イベントの後、速やかに書き込まれるべきです。ビットは一度だけ書き込まれます。

ビット 1: 予約。

ビット 0: IRAMDIS. Initialize RAM Disable ビットは読み取りおよび書き込み可能なコントロールビットです。このビットのデフォルト値は 0 で、SRAM の最大量をリセット時に値 00h で初期化すべきことを示します。ビットがセットされると、SRAM の最小量がウォッチドッグリセットの後に初期化されます。このビットに関する詳細は、50 ページの "SROM 関数の説明" を参照してください。

その他の情報は、156 ページの CPU_SCR1 レジスタを参照してください。

4.3 Clocking (クロック)

値 M、B、および Mult は、フラッシュテーブル 3 にあります。ユーザは、T の値 (周辺温度、摂氏) を供給しなければなりません。計算値 $CLOCK_W$ は書き込み操作に使用され、 $CLOCK_E$ は消去操作に使用されます。

方程式 1

$$CLOCK_W = \frac{CLOCK_E \times Mult}{64}$$

方程式 2

$$CLOCK_E = \frac{CPU}{5648} \cdot \left[\frac{B}{12 \times 10^6} - \frac{M \times T}{1536 \times 10^6} \right] - 89$$

方程式 2 は、3 MHz から 12 MHz までの CPU 速度で有効です。クロックおよび遅延パラメータはフラッシュ操作をサポートします。

他のクロック関連パラメータは "DELAY" です。12 MHz の場合、値は 56h です。他の CPU 速度については、次の方程式が使用されます。

方程式 3

$$DELAY = \frac{(100 \times 10^{-6}) \times CPU - 84}{13}$$

5. Interrupt Controller (割り込みコントローラ)



本章は、Interrupt Controller (割り込みコントローラ) およびその関連レジスタについて説明します。割り込みコントローラは、実行されているコードによって行われている現在のタスクを考慮することなく、PSoC Mixed Signal Array デバイス中のハードウェアリソースが新しいアドレスへプログラム実行を変更するためのメカニズムを提供します。

表 5-1. 割り込みコントローラレジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス	
0,DAh	INT_CLR0	VC3	Sleep	GPIO	Analog 3	Analog 2	Analog 1	Analog 0	V Monitor	RW : 00	
0,DBh	INT_CLR1	DCB13	DCB12	DBB11	DBB10	DCB03	DCB02	DBB01	DBB00	RW : 00	
0,DDh	INT_CLR3								I2C	RW : 00	
0,DEh	INT_MSK3	ENSWINT								I2C	RW : 00
0,E0h	INT_MSK0	VC3	Sleep	GPIO	Analog 3	Analog 2	Analog 1	Analog 0	V Monitor	RW : 00	
0,E1h	INT_MSK1	DCB13	DCB12	DBB11	DBB10	DCB03	DCB02	DBB01	DBB00	RW : 00	
0,E2h	INT_VC	Pending Interrupt[7:0]								RC : 00	
x,F7h	CPU_F				XOI	Carry		Zero	GIE	RL : 00	

凡例

L: AND、OR、および XOR フラグ命令を使用してこのレジスタを修正することができます。

#: アクセスはビット特有です。その他の情報はレジスタ詳細を参照してください。

X: パワーオンリセットが不明な場合の値。

x: アドレスフィールド中のカンマの前の "x" は、使用されるバンクに関係なくこのレジスタがアクセスされるまたは書き込まれることを示します。

割り込みコントローラおよびその関連レジスタを使用して、ユーザのコードで PSoC デバイス中のほとんどすべての機能ブロックからの割り込みに応答することができます。供給電圧、スリープ、変数クロックへの割り込み、および一般的な GPIO (ピン) 割り込みと同様に、すべてのデジタルブロックおよび各アナログカラムへの割り込みも可能です。

割り込みコントローラの関連レジスタを使用して、割り込みを全体または個々に無効にすることができます。レジスタは、ユーザがすべての保留および発行された割り込みまたは個々の保留および発行された割り込みをクリアするメカニズムも提供します。ソフトウェアメカニズムは個々の割り込みをセットするために提供されます。実際の割り込みを生成するために必要な完全なハードウェアシステムがない場合、ソフトウェアによる割り込みの設定は、コード開発中に非常に役立ちます。

次の表は、PSoC デバイス中で利用可能なすべての割り込みおよび優先順位の一覧です。

表 5-2. CY8C27xxx 割り込みテーブル

割り込みの優先順位	割り込みのアドレス	割り込みの名前
0 (最上位)	0000h	Reset
1	0004h	Supply voltage monitor
2	0008h	Analog column 0
3	000Ch	Analog column 1
4	0010h	Analog column 2
5	0014h	Analog column 3
6	0018h	VC3
7	001Ch	GPIO
8	0020h	PSoC block DBB00
9	0024h	PSoC block DBB01
10	0028h	PSoC block DCB02
11	002Ch	PSoC block DCB03
12	0030h	PSoC block DBB10
13	0034h	PSoC block DBB11
14	0038h	PSoC block DCB12
15	003Ch	PSoC block DCB13
24	0060h	I2C
25 (最下位)	0064h	Sleep timer

5.1 Architectural Description (アーキテクチャ上の説明)

PSoC 割り込みコントローラのブロックダイアグラムを 図 5-1 に示します。図では、保留および発行された割り込みについての概念も説明します。

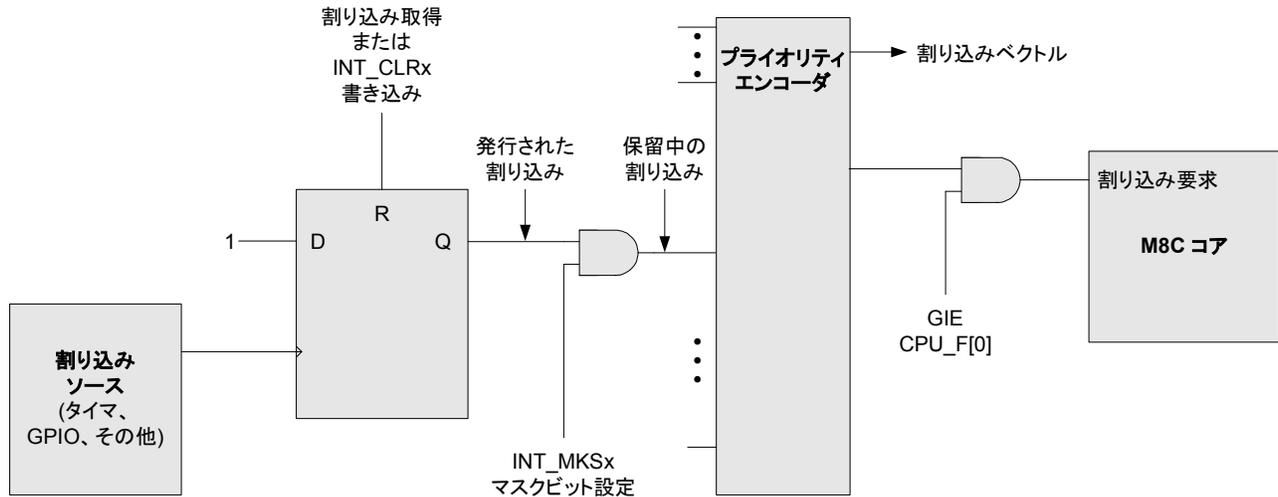


図 5-1. 割り込みコントローラブロックダイアグラム

割り込みプロセス中に発生するイベントのシーケンスは次の通りです:

- 次のいずれかの理由によって割り込みがアクティブになります; (a) 割り込み条件が発生した (例えば、タイマが終了した)、(b) 以前に発行された割り込みが割り込みマスクレジスタの更新によって有効になった、(c) 割り込みが保留状態で CPU Flag レジスタの GIE が 0 から 1 にセットされた。
- 現在実行中の命令が終了します。
- 内部割り込みルーチンが、13 サイクルかけて実行されます。この間、次のアクションが発生します:
 - PCH、PCL、および Flag レジスタ (CPU_F) がスタック上に (この順で) プッシュされます。
 - その後、CPU_F レジスタがクリアされます。このクリアによって GIE ビットが 0 にセットされるため、その他の割り込みが一時的に無効になります。
 - PCH (PC[15:8]) がクリアされてゼロになります。
 - 割り込みベクトルが割り込みコントローラから読み取られて、その値が PCL (PC[7:0]) に格納されます。これにより、プログラムカウンタが割り込みテーブル中の適切なアドレスをポイントします (例えば、GPIO 割り込みでは 001Ch)。
- プログラムが割り込みテーブルに実行指令を発行します。一般的に、割り込みテーブル中の LJMP 命令がこの割り込み用にユーザの割り込みサービスルーチン (ISR) に実行指令を発行します。
- ISR を実行します。GIE が 0 にセットされているため割り込みが無効な点に注意してください。必要な場合、GIE を 1 に設定して割り込みを再度有効にすることができます (この場合、スタックオーバーフローを回避するように注意してください)。

- ISR が RETI 命令で終了します。これはスタックから Flag レジスタ、PCL、および PCH をポップし、それらのレジスタをレストアします。再び GIE が 1 にセットされ、レストアされた Flag レジスタが割り込みを再度有効にします。
- 実行は、割り込みの前に発生した命令の後、次の命令で再開します。しかし、他の保留割り込みがある場合、後の割り込みは次の正常なプログラム命令の後に処理されます。

割り込みレイテンシ – 有効にされた割り込みのアサーションとその ISR の開始の間の時間は、次の方程式から計算することができます。

$$\text{Latency} = \text{現在の命令が完了するための時間} + \text{内部割り込みルーチンを実行するための時間} + \text{割り込みテーブル中の LJMP 命令を実行するための時間。}$$

例えば、割り込みがアクティブになったときに 5 サイクルの JMP 命令が実行されている場合、ISR が開始する前の CPU クロックサイクルの総数は次のようになります。

$$\begin{aligned} & (\text{JMP 完了に } 1 \quad 5 \text{ サイクル}) + \\ & (\text{内部割り込みルーチンに } 13 \text{ サイクル}) + \\ & (\text{LJMP に } 7 \text{ サイクル}) = 21 \quad 25 \text{ サイクル。} \end{aligned}$$

上の例では、24 MHz で 25 サイクルクロックに 1.042 us かかります。

5.2 Register Definitions (レジスタ定義)

表 5-1 は、割り込みコントローラの操作に関連するすべてのレジスタの概要です。次に、各レジスタの使用に関する詳細を説明します。

5.2.1 INT_CLRx レジスタ

INT_CLRx として一般的に参照される割り込みクリアレジスタは 3 つ (INT_CLR0、INT_CLR1 および INT_CLR3) あります。INT_CLRx レジスタは、各割り込みソースのビットを保持するという点で INT_MSKx レジスタに似ています。しかし、機能的には INT_CLRx レジスタは INT_VC レジスタに似ていて、それらの操作は完全に独立しています。INT_CLRx レジスタが読み取られたとき、セットされているビットは、割り込みがそのハードウェアリソース用に発行されたことを示します。したがって、これらのレジスタを読み取ることで、ユーザはすべての発行された割り込みを決定することができます。

INT_CLRx レジスタに書き込まれた個々のビット値が解釈される方法は、INT_MSK3[7] 中の Enable Software Interrupt (ENSWINT) ビットによって決定されます。ENSWINT がクリアされている場合 (デフォルト状態)、INT_CLRx レジスタに 1 を書き込んでも効果はありません。しかし、ENSWINT がクリアされている場合に INT_CLRx レジスタに 0 を書き込むと、対応する割り込みがクリアされます。ENSWINT ビットがセットされている場合、INT_CLRx レジスタへの 0 の書き込みは無視されます。しかし、ENSWINT がセットされている場合に INT_CLRx レジスタに 1 を書き込むと、対応する割り込みに対する割り込みが発行されます。ソフトウェア割り込みを有効にすると、ユーザコードで、ハードウェア割り込みの作成に必要なシステムレベルの命令を作成することなく、割り込みサービスルーチンのデバッグを助けるソフトウェア割り込みを作成することができます。

その他の情報は、133 ページの INT_CLR0 レジスタ、135 ページの INT_CLR1 レジスタおよび 137 ページの INT_CLR3 レジスタを参照してください。

5.2.2 INT_MSKx レジスタ

INT_MSKx として一般的に参照される割り込みマスクレジスタは 3 つ (INT_MSK0、INT_MSK1 および INT_MSK3) あります。クリアされた場合、INT_MSKx レジスタの各ビットは割り込みが保留割り込み (プライオリティエンコーダへの入力) になることを防ぎます。しかし、割り込みはマスクビットがゼロでも発行されます。すべての INT_MSKx ビットは、他のすべての INT_MSKx ビットに依存しません。INT_MSKx ビットがセットされた場合、マスクビットに関連した割り込みソースは保留割り込みになる割り込みを生成します。例えば、INT_MSK0[5] がセットされ、少なくとも 1 つの GPIO ピンが割り込みを生成するように設定された場合、割り込みコントローラは GPIO 割り込み要求を発行し、M8C の保留割り込みが応答するようにします。M8C が GPIO 割り込みに応答する前により優先順位

の割り込みが生成された場合、より優先順位の割り込みは保留され GPIO 割り込みになりません。INT_MSK3[7] (ENSWINT) は、INT_CLRx レジスタの動作を制御する特別な非マスクビットです。詳細は、このセクションの INT_CLRx レジスタを参照してください。

各割り込みソースはブロックレベルでの設定が必要です。個々の割り込みソースの設定方法に関する情報は、本書の他の章を参照してください。

その他の情報は、139 ページの INT_MSK0 レジスタ、140 ページの INT_MSK1 レジスタおよび 138 ページの INT_MSK3 レジスタを参照してください。

5.2.3 INT_VC レジスタ

割り込みベクトルクリアレジスタ (INT_VC) は、2 つの異なる関数を実行します。レジスタが読み取られたとき、最も優先順位の保留割り込みの最下位ビットが返されます。例えば、GPIO および I²C 割り込みが保留され INT_VC レジスタが読み取られた場合、値 1Ch が返されます。しかし、保留割り込みがない場合、値 00h が返されます。これは割り込みテーブル中のリセットベクトルです; しかし、INT_VC レジスタから 00h が返されることがシステムリセットが保留されていることを示すと考えるべきではありません。INT_VC レジスタから 00h が返されることは、単に保留割り込みがないことを示しているだけです。INT_VC レジスタの読み取りによって返される値によって示される、最も優先順位の割り込みは、M8C が Interrupt Vector Read (IVR) を実行したときに保留割り込みのリストから削除されます。最も優先順位の保留割り込みをクリアすると、非同期が発生します。

INT_VC の読み取りは制限付きで有用です。割り込みが有効な場合、INT_VC レジスタの読み取りで割り込みが実際に処理される前にその割り込みが保留だったことを断定することはできません。しかし、割り込み中に、ユーザは INT_VC レジスタを読み取って次の割り込みを確認しようとします。INT_VC レジスタに何らかの値が書き込まれると、すべての保留および発行された割り込みは、各割り込み用のクリア行をアサートすることでクリアされます。

その他の情報は、141 ページの INT_VC レジスタを参照してください。

5.2.4 CPU_F レジスタ

CPU_F レジスタの GIE ビットのみが割り込みコントローラと関係があります。このビットは、Global Interrupt Enable です。このビットがセットされている場合、M8C は保留割り込みを処理します。GIE ビットがクリアされている場合、M8C は割り込みを処理しません。デフォルトでは、このビットはクリアされています。このビットをセットまたはクリアするには、AND F, expr、OR F, expr、または XOR F, expr 命令を使用します。(AND/OR/XOR F, expr 命令を使用します。) GIE フラグビットの詳細は、39 ページの "CPU Core (M8C) (CPU コア)" の章を参照してください。

その他の情報は、155 ページの CPU_F レジスタを参照してください。

6. General Purpose IO (GPIO) (汎用 IO)



本章は、General Purpose IO (GPIO) (汎用 IO) およびその関連レジスタについて説明します。GPIO ブロックは、M8C コアと外部との間のインターフェイスを提供します。それらは、デジタルおよびアナログシステム両方についていくつかの種の入出力操作をサポートするため、様々な設定を行うことができます。

表 6-1. GPIO レジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
0,xxh	PRTxDR	Data Input[7:0]								RW : 00
0,xxh	PRTxIE	Interrupt Enables[7:0]								RW : 00
0,xxh	PRTxGS	Global Select[7:0]								RW : 00
0,xxh	PRTxDM2	Drive Mode 2[7:0]								RW : FF
1,xxh	PRTxDM0	Drive Mode 0[7:0]								RW : 00
1,xxh	PRTxDM1	Drive Mode 1[7:0]								RW : FF
1,xxh	PRTxIC0	Interrupt Control 0[7:0]								RW : 00
1,xxh	PRTxIC1	Interrupt Control 1[7:0]								RW : 00

凡例

xx: アドレスフィールド中のカンマの前の "xx" は、複数のレジスタのインスタンスがあることを示します。これらのレジスタの拡張アドレスリストは、36 ページの "Core Register Summary (コアレジスタサマリ)" を参照してください。

GPIO は、入力バッファ、出力ドライバ、レジスタビット記憶装置、および結合パッドと M8C コア間を接続する設定ロジックを含んでいます。

IO ポートは、ポートあたり 8 ビット (まで) でアレンジされています。各フルポートは、各ブロックのユニークなアドレスおよびレジスタビット番号を識別して接続する、8 つの同じ GPIO ブロックを含んでいます。したがって、表 6-1 で示されているレジスタは実際には GPIO ポート (8 つの GPIO ブロック) 用で、ビットの位置は 8 つの GPIO ビットのどれが GPIO ポート中で制御されるかを示します。

各 GPIO ブロックは、次の種の IO で使用することができます:

- デジタル IO (ソフトウェアによって制御されているデジタル IO)
- グローバル IO (デジタル PSoC ブロック IO)
- アナログ IO (アナログ PSoC ブロック IO)

各 IO ピンは、割り込み能力に加えて、いくつかの可能な動モードがあります。すべての GPIO ピンが同一でデジタル IO を提供していても、いくつかのピンが内部的にグローバルまたはアナログ関数に接続していないことがあります。

デジタル IO

GPIO ポートの基本的な操作の 1 つは、M8C から外に

チップの情報を送り、チップの外の情報を M8C に送ることです; この操作は、ポートデータレジスタ (PRTxDR) を使用して行われます。M8C から PRTxDR への書き込みは、GPIO あたり 1 ビットでデータの状態を格納します。標準非バイパスモードでは、ピンドライバは、データビットに応じて、動モード設定 (下記参照) で決定された動の強さでピンを動します。ピン上の実際の電圧は、動モードおよび外部負荷に依存します。

M8C は、PRTxDR を読み取ることでポートの値を読み取ります。M8C が PRTxDR を読み取るとき、ピン電圧の現在の値が論理値に変換され、M8C に返されます。これらの操作は、ローカルの PRTxDR レジスタのビットラッチに格納されたデータ 動状態ではなく、ピン電圧を読み取ります。

グローバル IO

GPIO ポートは、グローバル入力または出力として、デジタル PSoC ブロック間の信号を相互に接続するためにも使用されます。

各 GPIO (ポートピン) のグローバル IO 機能は、デフォルトではオフです。機能にアクセスするためには、2 つのパラメータを変更する必要があります。GPIO をグローバル入力として設定するには、ポートのグローバルセレクト ビットを PRTxGS レジスタを使用して目的の GPIO 用にセットする必要があります。また、GPIO 用の 動モードをデジタル Hi-Z 状態に設定する必要があります。(詳細は、63 ページの "PRTxDMx レジスタ" を参照してください。)

GPIO をグローバル入力として設定するには、ポートのグローバルセレクトビットを再びセットする必要があります。しかし、この場合、動モードを Hi-Z 状態以外に設定する必要があります。

アナログ IO

アナログ信号は、ブロックの AOUT ピンを通じてチップコアとチップピンの間で伝えることができます。これは、抵抗パス (~300 オーム) を直接ブロックから提供します。アナログモードの場合、GPIO ブロックは一般的に High Impedance Analog Drive モード (Hi-Z) に設定されます。

GPIO ブロック割り込み

各 GPIO ブロックは、割り込み機能用に個々に設定することができます。ブロックは、ピン割り込みイネーブル、および割り込み状態の選択によっても設定されます。ブロックはピンが high、low、または最後に読み取られたときから変更されたときに割り込むようにセットすることができます。ブロックは、ワイヤ-OR 方法で他の GPIO ブロックに接続されるオープン-ドレイン割り込み出力 (INTO) を提供します。

ワイヤ-OR 方式で共に接続されたピン割り込みはすべて、同じシステム GPIO 割り込みに結び付けられます。このため、割り込みが複数のピン上で有効な場合、ユーザの割り込みサービスルーチンは、ユーザがデザインしたメカニズムを使用して割り込みのソースのピンを決定します。

GPIO 割り込みを使用するには、次のステップが必要です:

1. GPIO ピンブロック中で割り込みモードをセットする。
2. GPIO ブロック中でビット割り込みをイネーブルにする。
3. (グローバル) GPIO 割り込み用のマスクビットをセットする。
4. Global Interrupt Enable 全体をアサートします。

最後の 2 つのステップはすべての割り込みで一般的なステップで、55 ページの "Interrupt Controller (割り込みコントローラ)" で説明されています。

最初の 2 つのステップ、ビット割り込みイネーブルおよび割り込みモードは、ブロックの設定レジスタを使用して、GPIO ブロックレベル (例えば、各ポートピン) でセットされます。

GPIO ブロックレベルでは、INTO ラインのアサートは、ビット割り込みイネーブルおよび選択した割り込みモードに関連するピンの状態のみに左右されます。チップレベルでは、それらのワイヤ-OR 性質のため、GPIO 割り込みは真のエッジ反応割り込みでも真のレベル反応割り込みでもありません。それらはアサートではエッジ反応型と考えられますが、ワイヤ-OR 割り込みラインのリリースではレベル反応型と考えられます。

GPIO 割り込みがアサートされていない場合、GPIO ピン Interrupt Enable がセットされると常に GPIO 割り込みが発生し、(既に移行されていない場合) GPIO ピンが (割り込みモード設定と一致するように) 適切に high または low

に移行します。一旦これが発生すると、INTO ラインは GPIO 割り込みをアサートするために low にされます。(グローバル GPIO 割り込みイネーブルおよび Global Interrupt Enable の設定のように、他のシステムレベルイネーブルがオンであると仮定しています。) Interrupt Mode 条件がピンで既に一致している場合、ピン Interrupt Enable の設定は直ちに INTO にアサートされる点に注意してください。

一旦 INTO が low にされると、次のいずれかの条件が変更されるまで INTO low は保持され続けます: a.) ピン Interrupt Enable がクリアされた; b.) PIN の電圧が逆の状態に移行した; c.) 割り込みオンチェンジモードで、GPIO データレジスタが読み取られ、ローカル割り込みレベルが逆の状態に設定された; d.) 現在のピン状態が割り込みを作成しないように割り込みモードが変更された。一旦これらのいずれかの条件を満たすと、INTO はリリースされます。ここで、別の GPIO ピンが (またはこのピンが再び) その INTO ピンにアサートされ、コモンラインが新しい割り込みをアサートするために low にされます。

このレベルリリースで、次の動作に注意してください。1 つのピンが INTO にアサートされ、次に 2 番目のピンがその INTO にアサートする場合、最初のピンがその INTO にリリースしたとき、2 番目のピンは既に INTO を動しているため、変更は見られません。つまり、新しい割り込みが GPIO 割り込みにアサートされません。ポーリングおよび GPIO ピンとグローバル Interrupt Enables の状態を使用して、ワイヤ-OR GPIO ブロックのセット中のすべての割り込みを押さえるための注意を払う必要があります。

6.1 Architectural Description (アーキテクチャ上の説明)

GPIO ブロックのメインブロックダイアグラムを 図 6-1 に示します。いくつかのピンは、内部接続に依存して、示されるすべての機能を含んでいるとは限らない点に注意してください。

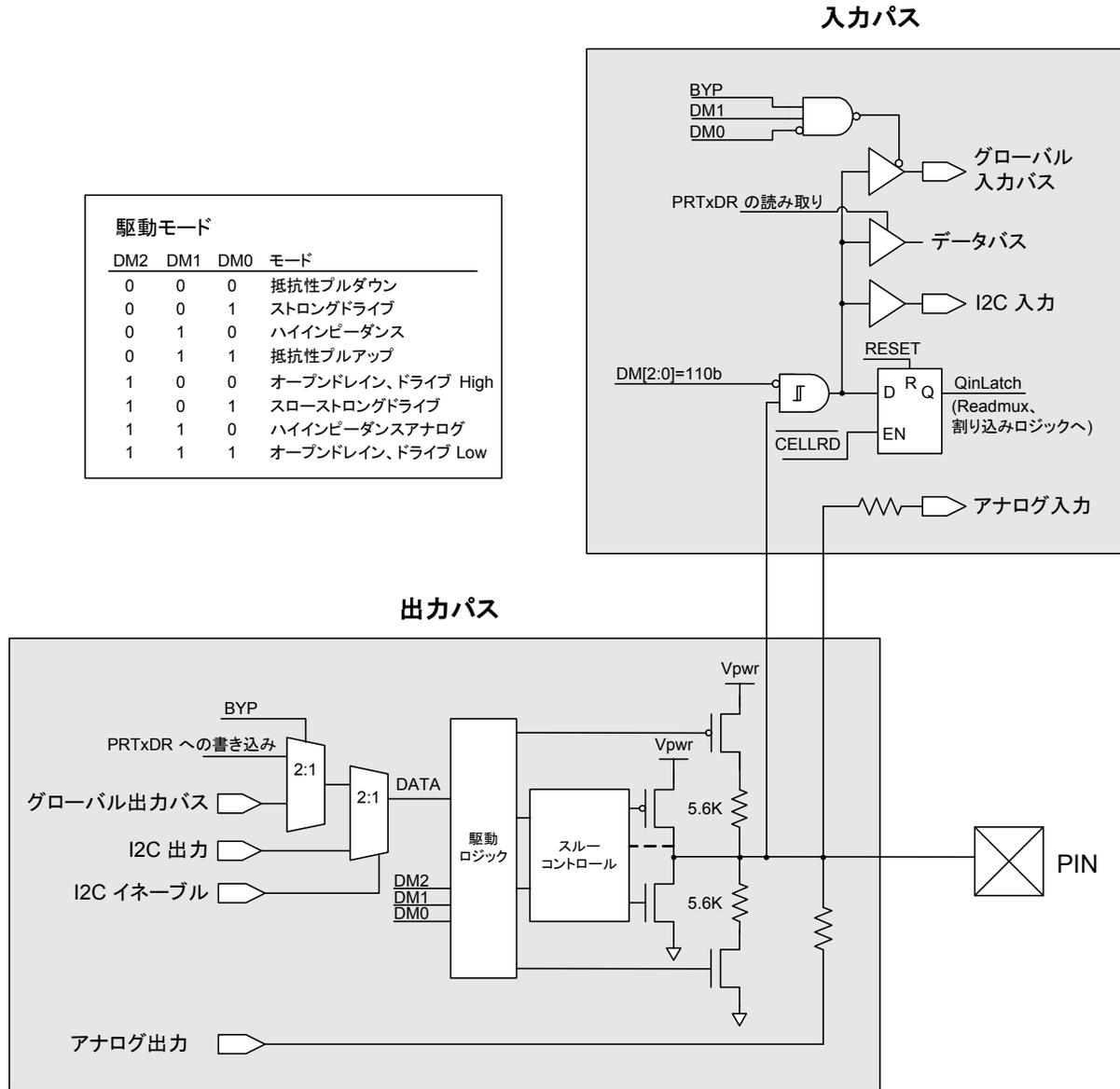


図 6-1. GPIO ブロックダイアグラム

ブロックの割り込みロジック部分を 図 6-2 に示します。

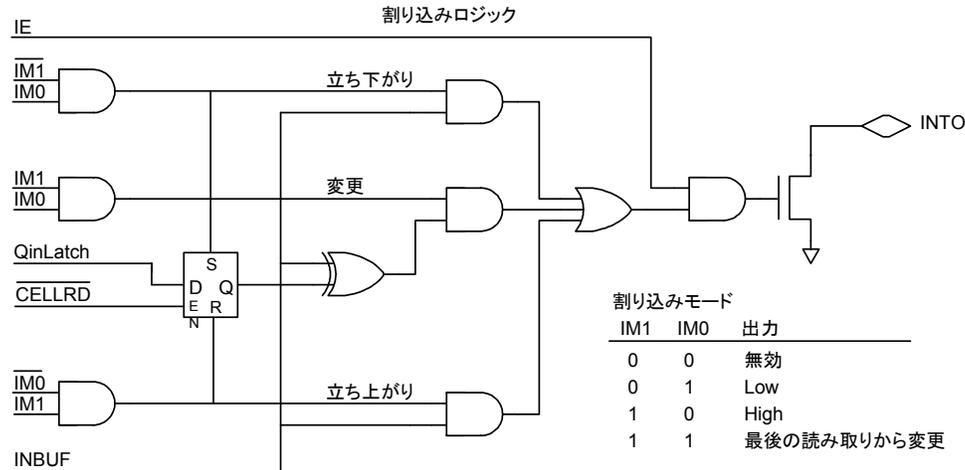


図 6-2. GPIO 割り込みモードブロックダイアグラム

6.2 Register Definitions (レジスタ定義)

選択した GPIO ブロックについて、個々のレジスタは表 6-2 で示されるようにアドレスされます。レジスタ名で、'x' はチップレベルで設定されたポート番号です (一般的に x は 0 から 7)。DA[1:0] は、レジスタアドレスの 2 つの LSB を参照します。

すべてのレジスタ値は、PRTxDR レジスタを除いて読み取り可能です。このレジスタを読み取ると、レジスタのビット状態のかわりにピン状態が返されます。

表 6-2. 内部レジスタビットアドレッシング

XOI	DA[1:0]	レジスタ	リセット値:	(名前)	関数
0	00b	PRTxDR	0	DIN	Data
0	01b	PRTxIE	0	IE	Interrupt Enable
0	10b	PRTxGS	0	BYP	Global Select
0	11b	PRTxDM2	1	DM2	Drive Mode, Bit 2
1	00b	PRTxDM0	0	DM0	Drive Mode, Bit 0
1	01b	PRTxDM1	1	DM1	Drive Mode, Bit 1
1	10b	PRTxIC0	0	IM0	Intrpt.Mask, Bit 0
1	11b	PRTxIC1	0	IM1	Intrpt.Mask, Bit 1

6.2.1 PRTxDR レジスタ

PRTxDR レジスタビットの書き込みは、バイパスモードが選択 (I2C Enable=1 またはグローバルセレクトレジスタが high) されていないならば、ピンの出力駆動状態を high (DIN=1) または low (DIN=0) にセットします。

PRTxDR の読み取りは、入力バッファに見られるように、実際のピン状態を返します。ピンの設定された出力駆動よりも強い負荷がピンにかけられている場合、この状態は予想された出力状態と同じでない場合があります。

その他の情報は、90 ページの PRTxDR レジスタを参照してください。

6.2.2 PRTxIE レジスタ

PRTxIE レジスタは、GPIO ブロックへの内部的な割り込みイネーブルを有効/無効にするために使用されます。'1' はブロックで INTO 出力を有効にして、'0' は INTO を無効にするため、Hi-Z になります。

その他の情報は、91 ページの PRTxIE レジスタを参照してください。

6.2.3 PRTxGS レジスタ

PRTxGS レジスタは、グローバル入力または出力に接続するブロックを選択するために使用されます。このレジスタを high にすると、グローバルバイパスが有効になります (図 6-1 で BYP=1)。駆動モードがデジタル Hi-Z (DM[2:0] = 010b) にセットされた場合、ピンはグローバル入力 (PIN から Global Input Bus に駆動) 用に選択されます。Hi-Z 以外のモードでは、ブロックはグローバル出力 (Global Output Bus から PIN に駆動) 用に選択され、データレジスタ値 (I2C Enable=0 と仮定) をバイパスします。

PRTxGS レジスタにゼロが書き込まれた場合、ピンのグローバル入力/出力関数は無効になります。

その他の情報は、92 ページの PRTxGS レジスタを参照してください。

6.2.4 PRTxDMx レジスタ

各ポートピンで利用可能な駆動モードは 8 つあります。これらのモードの 1 つを選択するには 3 つのモードビットが必要で、これらの 3 つのビットは 3 つの異なるレジスタ (PRTxDM0、PRTxDM1、および PRTxDM2) に含まれています。影響を受けるポートピンのビット位置 (例: Port 0 の Pin[2]) は、そのピンの駆動モードを制御する 3 つの Drive Mode レジスタビットのそれぞれのビット位置と同じです (例: PRT0DM0 の Bit[2]、PRT0DM1 の bit[2] および PRT0DM2 の bit[2])。3 つのレジスタの 3 つのビットは、グループとして扱われます。これらは、DM2、DM1、および DM0 として、または DM[2:0] として参照されます。駆動モードを表 6-3 に示します。

表 6-3. ピンの駆動モード

駆動モード DM[2:0]	ピンの状態	説明
000b	Resistive pull down	Strong high, resistive low
001b	Strong drive	Strong high, strong low
010b	High impedance	Hi-Z high および low, デジタル入力有効
011b	Resistive pull up	Resistive high, strong low
100b	Open drain high	Slow strong high, Hi-Z low
101b	Slow strong drive	Slow strong high, slow strong low
110b	High impedance, analog (reset state)	Hi-Z high および low, デジタル入力無効 (ゼロ電力) (reset state)
111b	Open drain low	Slow strong low, Hi-Z high

アナログ IO では、駆動モードは Hi-Z モードの 1 つ、010b または 110b にセットすべきです。110b モードにはブロックのデジタル入力バッファが無効になるという長所があるため、アナログ入力がいずれかのパワーレールに近くない場合でも "短絡" 電流は流れません。デジタル入力がアナログ入力と同じピンで必要な場合、010b 駆動モードが使用されるべきです。110b 駆動モードが使用された場合、ピンは常にゼロとして CPU に読み取られ、ピンは有効な割り込みを生成することができません。(アナログ操作で Hi-Z モードを必ず選択する必要はありません)。

グローバル入力モードでは、駆動モードは 010b にセットする必要があります。

この GPIO は、ハイインピーダンスのデフォルト駆動モード (Hi-Z) を提供します。これは、すべての PRTxDM1 および PRTxDM2 レジスタのリセット状態を FFh にして行われます。

抵抗駆動モードは、低出力 (モード 000b) または高出力 (モード 011b) 用に、出力に一連の抵抗を配置します。ストロング駆動モード 001b は、高 DC 駆動強度でエッジは最速です。モード 101b は同じ駆動強度ですが、エッジはより遅くなります。オープンドレインモード (100b および 111b) も、より遅いエッジレートでの駆動を使用します。これらのモードは、(エッジレートは I²C ファストモード仕様と一致するほど遅くはありませんが) I²C モード 111b のようなオープンドレイン関数を有効にします。

その他の情報は、93 ページの PRTxDM2 レジスタ、158 ページの PRTxDM0 レジスタおよび 159 ページの PRTxDM1 レジスタを参照してください。

6.2.5 PRTxICx レジスタ

ピンの割り込みモードは、2 つのレジスタ (PRTxIC1 および PRTxIC0) のビットによって決定されます。これらは、IM1 および IM0 として、または IM[2:0] として参照されます。

各ポートピンで利用可能な割り込みモードは 4 つあります。これらのモードの 1 つを選択するには 2 つのモードビットが必要で、これらの 2 つのビットは 2 つの異なるレジスタ (PRTxIC0 および PRTxIC1) に含まれています。影響を受けるポートピンのビット位置 (例: Port 0 の Pin[2]) は、そのピンの割り込みモードを制御する 3 つの Interrupt Control レジスタビットのそれぞれのビット位置と同じです (例: PRT0IC0 の Bit[2] および PRT0IC1 の bit[2])。2 つのレジスタの 2 つのビットは、グループとして扱われます。

ピンからの割り込みを行うため、割り込みモードは表 6-4 の非ゼロモードの 1 つにセットしてください。

表 6-4. GPIO 割り込みモード

割り込みモード IM[1:0]	説明
00b	ビット割り込み無効, INTO de-asserted
01b	Assert INTO when PIN = low
10b	Assert INTO when PIN = high
11b	Assert INTO when PIN = change from last read

GPIO 割り込みモード "無効" (00b) は、(PRTxIE レジスタで) GPIO のビット割り込みイネーブルがオンの場合でもピンからの割り込みを無効にします。

割り込みモード 01b は、ピン電圧が low で、ブロックのビット割り込みイネーブルラインが high にセットされた場合に、ブロックが割り込みライン (INTO) をアサートすることを意味します。

割り込みモード 10b は、ピン電圧が high で、ブロックのビット割り込みイネーブルラインが high にセットされた場合に、ブロックが割り込みライン (INTO) をアサートすることを意味します。

割り込みモード 11b は、ピン電圧がピンから読み取られた最後の状態と逆で、ブロックのビット割り込みイネーブルラインが high にセットされた場合に、ブロックが割り込みライン (INTO) がアサートすることを意味します。この low モードと high モードの切り替えは、データレジスタ (PRTxDR) の読み取り中にポートから読み取られた最後の値に依存します。GPIO から読み取られた最後の値が 0 の場合、GPIO は割り込み high モードを続けます。GPIO から読み取られた最後の値が 1 の場合、GPIO は割り込み low モードになります。

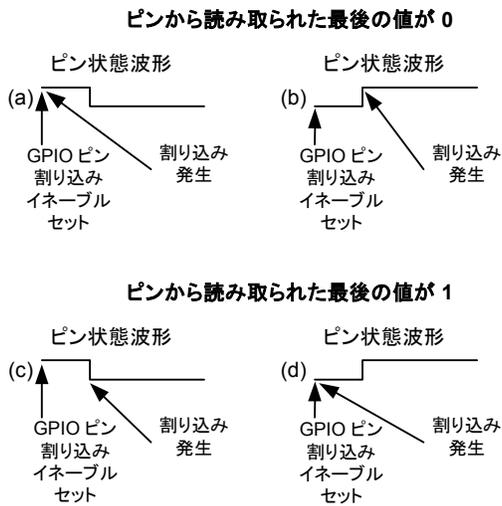
**図 6-3. GPIO 割り込みモード 11b**

図 6-3 は、GIE がセットされ、GPIO 割り込みマスクがセットされ、GPIO 割り込みモードが 11b にセットされたと仮定しています。割り込みモードの変更は、ピン状態が変更したかどうかの決定が GPIO の読み取りラッチの値に依存するという点で、他のモードと異なります。したがって、問題に GPIO を含んでいるポートはすべての割り込みサービスルーチンで読み取られます。ポートが読み取られなかった場合、割り込みモードはラッチ値が 0 の場合は high モード、ラッチ値が 1 の場合は low モードとして動作します。

その他の情報は、160 ページの PRTXIC0 レジスタおよび 161 ページの PRTXIC1 レジスタを参照してください。

7. Analog Output Drivers (アナログ出力ドライバ)



本章は、Analog Output Drivers (アナログ出力ドライバ) およびその関連レジスタについて説明します。アナログ出力ドライバは、アナログ信号オフチップを駆動するための手段を提供します。

表 7-1. アナログ出力ドライバレジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
1,62h	ABF_CR0	ACol1Mux	ACol2Mux	ABUF1EN0	ABUF2EN0	ABUF0EN0	ABUF3EN0	Bypass	PWR	RW : 00

PSoC デバイスは、ポートピン上のアナログ値を出力するために 4 つのアナログドライバを使用します。アナログシステムに関連するアナログ出力ドライバの詳細な図は、255

ページの "Analog Input Configuration (アナログ入力設定)" の章を参照してください。

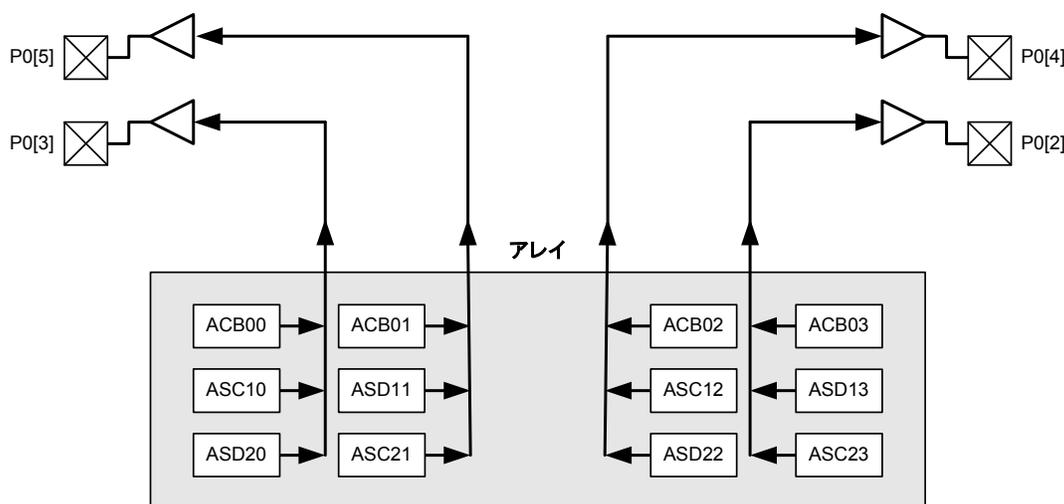


図 7-1. アナログ出力ドライバ

これらの各ドライバは、特定のアナログカラム中のすべてのアナログブロックに利用可能なリソースです。ユーザは、そのカラムのアナログドライバへの入力として、そのアナログ出力バス (ABUS) 上の信号を駆動するためにカラムご

とに 1 つのアナログブロックを選択しなければなりません。各カラムのアナログ出力ドライバからの出力は、アナログ出力ドライバレジスタ ABF_CR0 を使用して有効または無効にすることができます。

7.1 Register Definitions (レジスタ定義)

表 7-1 は、アナログ出力ドライバに関連するすべてのレジスタの概要です。次に、レジスタのビットの使用に関する詳細を説明します。

7.1.1 ABF_CR0 レジスタ

このレジスタは、Port 0 からのアナログ入力マルチプレクサ、およびデバイスピンへのカラム出力を駆動する出力バッファ増幅器を制御します。

ビット 7: ACo1MUX。カラム 0 入力マルチプレクサまたはカラム 1 入力マルチプレクサの出力を選択します。このビットがセットされている場合、カラム 1 入力をカラム 0 入力マルチプレクサの出力に設定します。

ビット 6: ACo2MUX。カラム 2 入力マルチプレクサまたはカラム 3 入力マルチプレクサの出力を選択します。このビットがセットされている場合、カラム 2 入力をカラム 3 入力マルチプレクサの出力に設定します。

ビット 5 から 2: ABUFxEN0。これらのビットはカラム出力増幅器を有効または無効にします。

ビット 1: バイパス。バイパスモードは増幅器の入力を直接出力に接続します。このビットがセットされている場合、レジスタによって制御されているすべての増幅器はバイパスモードになります。

ビット 0: PWR。このビットは、増幅器の電力レベルを設定するために使用されます。このビットがセットされている場合、レジスタによって制御されているすべての増幅器は高電力になります。

その他の情報は、169 ページの [ABF_CR0 レジスタ](#) を参照してください。

8. Internal Main Oscillator (IMO) (内部主発振器)



本章は、Internal Main Oscillator (IMO) (内部主発振器) およびその関連レジスタについて簡単に説明します。IMO は、24 MHz および 48 MHz のクロック信号を生成します。

表 8-1. 内部主発振器 (IMO) レジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
1,E8h	IMO_TR	Trim[7:0]								W : 00

内部主発振器は、次の 2 つのクロックを出力します: 内部 24 MHz クロックまたは外部クロックにできる SYSCLK、常に SYSCLK 周波数の 2 倍の SYSCLK2X。32 kHz 水晶発振器からの高精度な入力ソースがない状態では、内部 24MHz/48 MHz クロックの精度は、温度差および 2 つの電圧範囲 (3.3V +/-3V および 5.0V +/-5%) で +/-2.5% になります。外部コンポーネントはこのレベルの精度を達成するためには必要ありません。

この発振器を外部水晶発振器にフェーズロックするオプションがあります。選択する水晶およびその固有の精度によって、発振器全体の精度が決定されます。外部水晶発振器は、このリファレンスソースに内部主発振器の周波数をロックするよりも安定していなければなりません。

IMO は、外部クロックソースを使用する場合は無効にすることができます。SYSCLK2X を生成する周波数倍回路も、電力を節約するために無効にすることができます。外部クロックを使用しているときに SYSCLK2X が必要な場合、IMO は無効にできない点に注意してください。これらの操作を制御するレジスタは、273 ページの "Digital Clocks (デジタルクロック)" の章で説明しています。

8.1 Register Definitions (レジスタ定義)

8.1.1 IMO_TR レジスタ

5 ボルト操作のデバイス特有の値は、ブート時に内部主発振器トリムレジスタ (IMO_TR) にロードされます。内部主発振器は、このレジスタを修正しない場合、4.75V から 5.25V の電圧範囲で指定された許容範囲内で動作します。デバイスが低電圧で動作する場合、ユーザコードはこのレジスタの内容を修正しなければなりません。3.3V +/-3V の電圧範囲における動作では、この修正はこの範囲における動作のトリム値を提供する監視 ROM への Table Read コマンドによって行われます。これらの電圧範囲の動作では、ユーザコードは両方の利用可能な工場出荷トリム値を使用して最良の値を補間することができます。

ビット 7 から 0: トリム。これらのビットは内部主発振器をトリムするために使用されます。このレジスタに大きな値が設定されると、発振器の速度は増加します。

その他の情報は、186 ページの IMO_TR レジスタを参照してください。

9. Internal Low Speed Oscillator (ILO) (内部低速発振器)



本章は、Internal Low Speed Oscillator (ILO) (内部低速発振器) およびその関連レジスタについて簡単に説明します。内部低速発振器は、32 kHz クロックを生成します。

表 9-1. 内部低速発振器 (ILO) レジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
1,E9h	ILO_TR			Bias Trim[1:0]		Freq Trim[3:0]				RW : 00

内部低速発振器 (ILO) は、理論値 32 kHz の内部低速発振器です。スリープウェイクアップ割り込みおよびウォッチドッグリセットを生成することができます。この発振器は、デジタル PSoC ブロックのクロックソースとして使用することもできます。

発振器は次の 3 つのモードで動作します: 通常電力、低電力およびオフ。通常電力モードは、より正確な周波数を生成するためより多くの電流を消費します。低電力モードはパーツがパワーダウン (スリープ) 状態の場合に常に使用されるモードで、非スリープ中に選択することもできますが、周波数の精度は低くなります。

9.1 Register Definitions (レジスタ定義)

9.1.1 ILO_TR レジスタ

このレジスタは、ILO 用の調整を設定します。ブート時にこのレジスタのトリムビットに設定されるデバイス特有の値は、工場における試験結果に基づいています。

ユーザがレジスタ値を変更しないことを強く推奨します。

ビット 7 および 6: 予約。

ビット 5 および 4: バイアストリム。 2 つのビットは、PTAT Current Source 中のバイアス電流を設定するために使用されます。ビット 5 は反転されているため、両方のビットが 0 の場合、中バイアスが選択されています。バイアス電流は表 9-2 に従って設定されます。

表 9-2. PTAT 中のバイアス電流

バイアス電流	ビット 5	ビット 4
中バイアス	0	0
最大バイアス	0	1
最小バイアス	1	0
必要なし *	1	1

* 最小バイアスより約 15% 高くなります。

ビット 3 から 0: 周波数トリム。 4 つのビットは周波数をトリムするために使用されます。ビット 0 は LSB で、ビット 3 は MSB です。ビット 3 はレジスタ内部で反転されているため、コード 8h はすべての電流ソースをオフ (f=0 kHz) に、コード 0h は MSB 電流ソースのみをオン (f=中央) に、コード 7h はすべての電流ソースをオン (f=最大) にします。

その他の情報は、187 ページの ILO_TR レジスタを参照してください。

10. 32 kHz Crystal Oscillator (ECO) (32 kHz 水晶発振器)



本章は、32 kHz Crystal Oscillator (ECO) (水晶発振器) およびその関連レジスタについて簡単に説明します。32 kHz 水晶発振器回路を使用して、ユーザは内部低速発振器を低価格および低電力でより正確なタイムソースに取り替えることができます。

表 10-1. 水晶発振器レジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス	
1,E0h	OSC_CR0	32k Select	PLL Mode	No Buzz	Sleep[1:0]		CPU Speed[2:0]			RW : 00	
1,EBh	ECO_TR	PSSDC[1:0]								W : 00	
x,FEh	CPU_SCR1					ECO_EXW	ECO_EX			IRAMDIS	RW : 00

水晶発振器回路は外部コンポーネントとして安価な腕時計水晶と 2 つの小さく貴重なロードコンデンサを使用します。他のコンポーネントはすべて PSoC チップ上にあります。水晶発振器は、より正確な 24 MHz システムクロックを生成するために PLL モードで内部主発振器への参照を行うように設定されます。

XTALIn および XTALOut ピンは、32.768 kHz の腕時計水晶の接続をサポートします。外部水晶から実行するには、OSC_CR0 レジスタのビット 7 をセットしなければなりません (デフォルトはオフ)。外部コンポーネントは、水晶および Vdd に接続する 2 つのロードコンデンサのみです。内部と外部発振器ドメイン間の移行によって、クロックバスに不具合が発生することがあります。

ECO をアクティベートするプロセス中、32 kHz ソースとして使用する前にホールドオフ期間があります。このホールドオフ期間は、スリープタイマを使用してハードウェア中で部分的に実装されます。ファームウェアは、1 秒 (最大 ECO 設定時間) のスリープタイマをセットアップしてから、OSC_CR0 レジスタで ECO を有効にしなければなりません。1 秒のタイムアウト (スリープ割り込み) で、ハードウェアによってスイッチが ECO に切り替えられます。ECO がアクティベートされない場合、ILO が再びアクティベートされてスイッチが直ちに ILO に戻されます。

ECO Exists ビット (ECO_EX, CPU_SCR1 レジスタのビット 2) は、切り替えが許可されるかロックされるかどうか制御するために使用されます。このビットは一度だけ書き込まれます。パワーオンリセット (POR) または外部リセット (XRES) イベントの後、コード実行のはじめに書き込まれます。このビットが '1' の場合、システム中に水晶が存在することをハードウェアに示し、ファームウェアは ECO および ILO 操作間を切り替えることができます。ビットが '0' の場合、ECO の切り替えはロックされます。ECO Exists Written ビット (ECO_EXW, CPU_SCR1 レジ

スタのビット 3) は読み取り専用で、このレジスタに最初に書き込むときにセットされます。

このビットが '1' の場合、ECO_EX の状態がロックされていることを示します。次の図を参照してください。

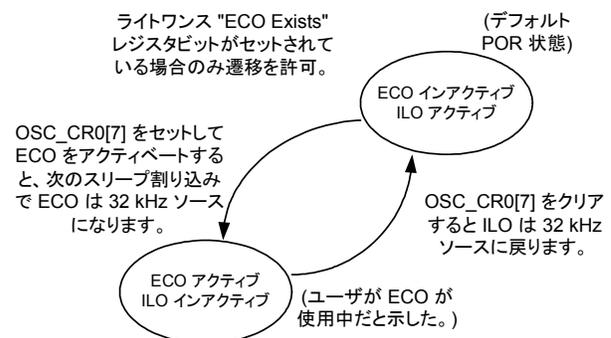


図 10-1. ECO と ILO 操作間の状態の移行

内部低速発振器と 32 kHz 水晶発振器間の切り替えに関するファームウェアのステップは次の通りです。

1. リセットされると、チップは内部低速発振器を使用して操作を開始します。
2. 水晶操作を許可するように ECO_EX ビットをセットします。
3. 発振器コントロール 0 レジスタ (OSC_CR0) のビット [4:3] を使用して、発振器の安定間隔として 1 秒のスリープ間隔を選択します。
4. 発振器コントロール 0 レジスタ (OSC_CR0) のビット [7] を 1 にセットして、32 kHz 水晶発振器を有効にします。
5. 32 kHz 水晶発振器は、スリープ割り込みロジックで作成されたエッジ上の 1 秒間隔の終わりに選択された

ソースになります。1 秒の間隔は、発振器がアクティブソースになる前に、発振器を安定させる時間になります。スリープ割り込みは切り替えを行うために有効にする必要はありません。間隔の長さを保証するためにスリープタイマをリセットします (進行中のリアルタイム操作を邪魔しない場合)。内部低速発振器は、スリープタイマ割り込みによって発振器が自動的に切り替えられるまで実行される点に注意してください。

6. 内部主発振器の周波数を 32 kHz 水晶発振器の周波数にロックするため、PLL モードを始める前に 1 秒の安定期間を待つことを強く推奨します。

ノート 1 内部低速発振器は、32 K Select コントロールビットを 0 に設定して瞬時に元に戻すことができます。

ノート 2 適切な設定が PSoC Designer で選択されている場合、上記のステップは *boot.asm* 中で自動的に行われます。

ノート 3 発振器ドメイン間の移行によって、32K クロックバスに不具合が発生することがあります。32K クロックで精度が必要な関数は、発振器ドメインの移行の後に有効にすべきです。

10.1 ECO External Components (ECO 外部コンポーネント)

外部水晶発振器コンポーネントの選択および接続を図 10-2 に示します。

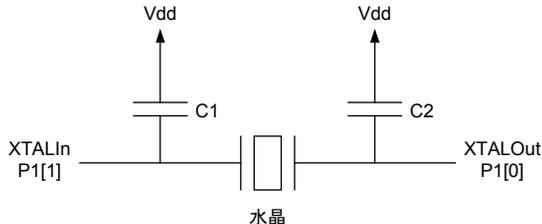


図 10-2. 外部水晶子発振器の接続

- 水晶 – Edson C002RX のような 32.768 kHz 腕時計水晶。
- コンデンサ – C1, C2 は NPO セラミックコンデンサを使用。

PLL モードを使用しない場合は、次の方程式を使用してください。

$$C1 = C2 = 25 \text{ pF} - (\text{パッケージの静電容量}) - (\text{ボードの潜在静電容量})$$

外部水晶発振器付きの PLL を使用する場合、方程式および詳細は<http://www.cypressmicro.com/> の Support にある Application Note AN2027 を参照してください。C1 および C2 中の 1pF のエラーは周波数で 3ppm のエラーになります。

表 10-2: 水晶ピン上の典型的なパッケージの静電容量

パッケージ	静電容量
8 PDIP	0.9 pF
20 SSOP	0.5 pF
28 PDIP	3.5 pF
28 SSOP	0.5 pF
44 TQFP	0.5 pF
48 SSOP	0.6 pF
48 MLF	0.5 pF

10.2 Register Definitions (レジスタ定義)

10.2.1 OSC_CR0 レジスタ

ビット 7: 32k Select. デフォルトでは、32 kHz クロックソースは内部低速発振器 (ILO) です。オプションで、外部水晶発振器 (ECO) が選択されます。

ビット 6: PLL Mode. これは、直接 PLL に影響する OSC_CR0 レジスタの唯一のビットです。このビットがセットされている場合、PLL が有効になります。OSC_CR2 レジスタの EXTCLKEN ビットは、PLL 操作中 low にセットされるべきです。

ビット 5: No Buzz. 通常、CPU_SCR レジスタでスリープビットがセットされると、バンドギャップリファレンスを含め、すべてのチップシステムの電源が落とされます。しかし、スリープ間隔よりも高いレートで POR および LVD イベントの検出を行うために、バンドギャップ回路は、スリープ間隔に依存せず、一般的により高いスリープシステムデューティサイクル (ECO_TR でセット) で約 60 us 周期的に電源が入れられます。No Buzz ビットがセットされている場合、スリープシステムデューティサイクルの値は無視され、バンドギャップ回路はスリープ中でもオンにされます。この結果、わずかに高い平均スリープ電流で、LVD または POR イベントへの応答がより速くなります (周期的ではなく連続的に検出される)。

ビット 4 および 3: Sleep[1:0]. 利用可能なスリープ間隔を表 10-3 に示します。ILO が 32 kHz クロックソースを選択した場合、スリープ間隔は近似値であることを忘れないでください。

表 10-3. スリープ間隔

スリープ間隔 OSC_CR[4:3]	スリープタイ マクロック	スリープ期間 (理 論値)	ウォッチドッグ期 間 (理論値)
00b (デフォルト)	64	1.95 ms	6 ms
01b	512	15.6 ms	47 ms
10b	4096	125 ms	375 ms
11b	32,768	1 sec	3 sec

ビット 2 から 0: CPU Speed[2:0]. PSoC M8C は、一連の CPU クロック速度 (表 10-4) で、M8C のパフォーマンスおよび電源要件をアプリケーションに適合させて動作します。

CPU Speed ビットのリセット値はゼロです。したがって、デフォルトの CPU 速度はクロックソースの 1/8 です。内部主発振器が CPU 速度回路のデフォルトクロックソースなので、デフォルトの CPU 速度は 3MHz です。

CPU 周波数は、OSC_CR0 レジスタへの書き込みによって変更されます。2 の累乗の分割回路から生成された 8 つの周波数があり、3 ビットコードで選択されます。どの場合でも、CPU 8:1 クロックマルチプレクサは利用可能な周波数の 1 つを選択し、出力で 24 MHz マスタークロックに再同期されます。

CPU 速度ビットの設定に関係なく、実際の CPU 速度が 12 MHz を超える場合、24 MHz の動作要件が適用されます。このシナリオの例は、20 MHz の周波数を提供する外部クロックを使用するように設定されたデバイスです。CPU 速度レジスタの値が 011b の場合、CPU クロックは 20 MHz になります。したがって、デバイスの供給電源要件は、パーツが内部主発振器から離れて 24 MHz で動作している場合と同じです。動作電圧要件は、CPU 速度が 12.0 MHz 以下になるまで緩和されません。

表 10-4. OSC_CR0[2:0] ビット: CPU 速度

ビット	内部主発振器	外部クロック
000b	3 MHz	EXTCLK / 8
001b	6 MHz	EXTCLK / 4
010b	12 MHz	EXTCLK / 2
011b	24 MHz	EXTCLK / 1
100b	1.5 MHz	EXTCLK / 16
101b	750 kHz	EXTCLK / 32
110b	187.5 kHz	EXTCLK / 128
111b	93.7 kHz	EXTCLK / 256

その他の情報は、181 ページの OSC_CR0 レジスタを参照してください。

10.2.2 ECO_TR レジスタ

外部水晶発振器トリムレジスタ (ECO_TR) は、外部水晶発振器の調整を設定します。ブート時にこのレジスタに設定されるデバイス特有の値は、工場における試験結果に基づいています。このレジスタは外部水晶発振器の周波数は調整しません。ユーザがこのレジスタのビットを変更しないことを推奨します。

ビット 7 から 6: PSSDC[1:0]。これらのビットはスリープデューティサイクルを設定するために使用されます。

ビット 5 から 0: 予約。

その他の情報は、189 ページの ECO_TR レジスタを参照してください。

10.2.3 CPU_SCR1 レジスタ

CPU_SCR1 レジスタは、内部リセットおよびウォッチドッグリセットに関連するステータスおよびイベントのコントロールを伝えるために使用されます。

ビット 7 から 4: 予約。

ビット 3: ECO_EXW。ECO Exists Written ビットは、以前書き込まれた ECO_EXW ビットを示すステータスビットとして使用されます。このビットは読み取り専用です。

ビット 2: ECO_EX。ECO Exists ビットは、外部水晶がシステムに存在するかどうかを示すフラグとして使用します。水晶が存在する場合は '1'、水晶が存在しない場合は '0' になります。ビットが '0' の場合、ハードウェアは ECO の切り替えをロックします。ビットが '1' の場合、ハードウェアはファウェアを ECO と ILO の間で自由に切り替えられるようにします。一旦書き込まれると、このビットは続けて変更することはできません。プログラム実行の完全性が高いと仮定されている場合、ビットはパワーオンリセット (POR) または外部リセット (XRES) イベントの後、速やかに書き込まれるべきです。ビットは一度だけ書き込まれます。

ビット 1: 予約。

ビット 0: IRAMDIS。Initialize RAM Disable ビットは読み取りおよび書き込み可能なコントロールビットです。このビットのデフォルト値は 0 で、SRAM の最大量をリセット時に値 00h で初期化すべきことを示します。ビットがセットされると、SRAM の最小量がウォッチドッグリセットの後に初期化されます。このビットに関する詳細は、50 ページの "SRAM 関数の説明" を参照してください。

その他の情報は、156 ページの CPU_SCR1 レジスタを参照してください。

11. Phase Locked Loop (PLL)



本章は、Phase Locked Loop (PLL) およびその関連レジスタについて簡単に説明します。

表 11-1. Phase Locked Loop (PLL) レジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
1,E0h	OSC_CR0	32k Select	PLL Mode	No Buzz	Sleep[1:0]		CPU Speed[2:0]			RW : 00
1,E2h	OSC_CR2	PLLGAIN					EXTCLKEN	IMODIS	SYSCLKX2 DIS	RW : 00

Phase Locked Loop (PLL) 関数は、水晶の精度でシステムクロックを生成します。外部 32.768 kHz 水晶を使用した場合、23.986 MHz の発振器を提供するようにデザインされています。

PLL は水晶の精度を実現しますが、最初に開始するとき基準周波数をロックするための時間が必要です。時間の長さは、OSC_CR2 レジスタのビット 7 によって制御される PLLGAIN に依存します。このビットが low の場合、ロック時間は 10ms 未満になります。このビットが high の場合、ロック時間は約 50ms になります。ロックが行われた後、出力でのジッタを減らすためにこのビットを high にすることを水晶します。長いロック時間が許容可能な場合、PLLGAIN ビットは常に high にしておくことができます。

外部水晶発振器が選択され有効にされた後、次の手順に従って、PLL を有効にして適切な周波数ロックを行ってください。

- 3 MHz 以下の CPU 周波数を選択します。
- PLL を有効にします。
- OSC_CR2 レジスタのビット 7 の設定に従って、10 から 50 ms 待ちます。
- 必要な場合、CPU をより速い周波数に設定します。これを行うには、OSC_CR0 レジスタのビット CPU Speed[2:0] をセットします。これらのビットがセットされている場合、CPU 周波数は直ちに変更されます。

適切な設定が PSoC Designer で選択されている場合、上記のステップは boot.asm 中で自動的に行われます。

11.1 Register Definitions (レジスタ定義)

11.1.1 OSC_CR0 レジスタ

ビット 7: 32k Select. デフォルトでは、32 kHz クロックソースは内部低速発振器 (ILO) です。オプションで、外部水晶発振器 (ECO) が選択されます。

ビット 6: PLL Mode. これは、直接 PLL に影響する OSC_CR0 レジスタの唯一のビットです。このビットがセットされている場合、PLL が有効になります。OSC_CR2 レジスタの EXTCLKEN ビットは、PLL 操作中 low にセットされるべきです。

ビット 5: No Buzz. 通常、CPU_SCR レジスタでスリープビットがセットされると、バンドギャップリファレンスを含め、すべてのチップシステムの電源が落とされます。しかし、スリープ間隔よりも高いレートで POR および LVD イベントの検出を行うために、バンドギャップ回路は、スリープ間隔に依存せず、一般的により高いスリープシステムデューティサイクル (ECO_TR でセット) で約 60 us 周期的に電源が入れられます。No Buzz ビットがセットされている場合、スリープシステムデューティサイクルの値は無視され、バンドギャップ回路はスリープ中でもオンにされます。この結果、わずかに高い平均スリープ電流で、LVD または POR イベントへの応答がより速くなります (周期的ではなく連続的に検出される)。

ビット 4 および 3: Sleep[1:0]. 利用可能なスリープ間隔を表 11-2 に示します。ILO が 32 kHz クロックソースを選択した場合、スリープ間隔は近似値であることを忘れないでください。

表 11-2. スリープ間隔

スリープ間隔 OSC_CR[4:3]	スリープタイ マクロック	スリープ期間 (理 論値)	ウォッチドッグ期 間 (理論値)
00b (デフォ ルト)	64	1.95 ms	6 ms
01b	512	15.6 ms	47 ms
10b	4096	125 ms	375 ms
11b	32,768	1 sec	3 sec

ビット 2 から 0: CPU Speed[2:0]。PSoC M8C は、一連の CPU クロック速度 (表 11-3) で、M8C のパフォーマンスおよび電源要件をアプリケーションに適合させて動作します。

CPU Speed ビットのリセット値はゼロです。したがって、デフォルトの CPU 速度はクロックソースの 1/8 です。内部主発振器が CPU 速度回路のデフォルトクロックソースなので、デフォルトの CPU 速度は 3MHz です。

CPU 周波数は、OSC_CR0 レジスタへの書き込みによって変更されます。2 の累乗の分割回路から生成された 8 つの周波数があり、3 ビットコードで選択されます。どの場合でも、CPU 8:1 クロックマルチプレクサは利用可能な周波数の 1 つを選択し、出力で 24 MHz マスタークロックに再同期されます。

CPU 速度ビットの設定に関係なく、実際の CPU 速度が 12 MHz を超える場合、24 MHz の動作要件が適用されます。このシナリオの例は、20 MHz の周波数を提供する外部クロックを使用するように設定されたデバイスです。CPU 速度レジスタの値が 0b011 の場合、CPU クロックは 20 MHz になります。したがって、デバイスの供給電源要件は、パーツが内部主発振器から離れて 24 MHz で動作している場合と同じです。動作電圧要件は、CPU 速度が 12.0 MHz 以下になるまで緩和されません。

表 11-3. OSC_CR0[2:0] ビット: CPU 速度

ビット	内部主発振器	外部クロック
000b	3 MHz	EXTCLK / 8
001b	6 MHz	EXTCLK / 4
010b	12 MHz	EXTCLK / 2
011b	24 MHz	EXTCLK / 1
100b	1.5 MHz	EXTCLK / 16
101b	750 kHz	EXTCLK / 32
110b	187.5 kHz	EXTCLK / 128
111b	93.7 kHz	EXTCLK / 256

その他の情報は、181 ページの OSC_CR0 レジスタを参照してください。

11.1.2 OSC_CR2 レジスタ

ビット 7: PLLGAIN。これは、直接 PLL に影響する OSC_CR2 レジスタの唯一のビットです。このビットがセットされている場合、PLL は低利得モードのままです。

ビット 6 から 3: 予約。

ビット 2: EXTCLKEN。EXTCLKEN ビットがセットされている場合、外部クロックは大部分のチップクロック関数を駆動する内部クロックツリー SYSCLK のソースになります。内部低速発振器 (ILO) または水晶発振器から派生した場合でも、32 kHz クロックを含む、すべての外部および内部信号はこのクロックソースに同期されます。外部クロックが有効な場合、PLL モードはオフにすべきです。

ビット 1: IMODIS。このビットがセットされている場合、内部主発振器は無効になります。倍回路が有効 (SYSCLKX2DIS=0) な場合、内部主発振器は有効になります。

ビット 0: SYSCLKX2DIS。このビットがセットされている場合、内部主発振器の倍回路は無効になります。デバイス全体の消費電流は約 1mA 減少します。倍クロックが必要でないアプリケーションではこの倍回路をオフにすることを推奨します。

その他の情報は、183 ページの OSC_CR2 レジスタを参照してください。

12. Sleep and Watchdog (スリープおよびウォッチドッグ)



本章は、Sleep and Watchdog (スリープおよびウォッチドッグ) 操作およびその関連レジスタについて説明します。

表 12-1. スリープおよびウォッチドッグレジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス	
0,E0h	INT_MSK0	VC3	Sleep	GPIO	Analog 3	Analog 2	Analog 1	Analog 0	V Monitor	RW : 00	
0,E3h	RES_WDT	WDSL_Clear[7:0]								W : 00	
x,FEh	CPU_SCR1					ECO_EXW	ECO_EX		IRAMDIS	RW : 00	
1,E0h	OSC_CR0	32k Select	PLL Mode	No Buzz	Sleep[1:0]		CPU Speed[2:0]			RW : 00	
1,E9h	ILO_TR				Bias Trim[1:0]		Freq Trim[3:0]			W : 00	
1,EBh	ECO_TR	PSSDC[1:0]									W : 00
x,FFh	CPU_SCR0	GIES		WDRS	PORS	Sleep			STOP	RW : XX	

凡例

X: パワーオンリセットが不明な場合の値。

x: アドレスフィールド中のカンマの前の "x" は、使用されるバンクに関係なくこのレジスタがアクセスされるまたは書き込まれることを示します。

*: このビットは読み取り専用です。

スリープ操作のゴールは、可能な限り平均消費電力を減らすことです。システムには、ファームウェアの管理のもとで開始できるスリープ状態があります。この状態では、CPU は命令境界で停止し、24/48 MHz 発振器、フラッシュメモリモジュール、バンドギャップ電圧リファレンスの電源が落とされます。動作が続けられるブロックは 32 kHz 発振器 (外部水晶または内部) で、32 kHz クロック選択から計測された PSoC ブロック、および供給電圧モニタ回路です。

アナログ PSoC ブロックには、スリープ状態と無関係にファームウェアによって制御される個々のパワーダウン設定があります。これらはクロックソースを必要としないため、連続時間アナログブロックは動作したままになります。しかし、一般的には、これらのブロックを計測する内部ソースが停止するため、スイッチドキャパシタアナログブロックは動作しません。

システムは、割り込みまたはリセットイベントの結果としてのみスリープから復帰することができます。スリープタイムは、システムを復帰、周辺装置をポール、またはリアルタイム関数を実行した後、再びスリープ状態にすることができる周期的な割り込みを提供します。GPIO (ピン) 割り込み、供給モニタ割り込み、アナログカラム割り込み、および外部的または 32 kHz クロックから計測されたタイムは、システムを復帰するために使用できる非同期割り込みの例です。

ウォッチドッグタイム (WDT) 回路は、ファームウェアで周期的にサービスされなければ、あらかじめプログラムされた間隔の後にデバイスにハードウェアリセットをアサー

トするようにデザインされています。この機能は、CPU クラッシュイベントが発生したときにシステムをリブートします。また、CPU 停止状態からシステムを再開することもできます。

一旦 WDT が有効になると、外部リセット (XRES) またはパワーオンリセット (POR) 以外では無効になりません。WDT リセットでも WDT は無効になりません。したがって、WDT がアプリケーションで使用されている場合、(初期化コードを含む) すべてのコードは WDT が有効なものとして記述する必要があります。

12.1 Architectural Description (アーキテクチャ上の説明)

スリープおよびウォッチドッグに関連するデバイスコンポーネントは、選択された 32 kHz クロック (外部水晶または内部)、スリープタイム、CPU_SCR0 レジスタのスリープビット、(スリープ状態を制御する) スリープ回路、(スリープ中にリファレンス電圧を周期的にリフレッシュする) バンドギャップリフレッシュ回路、およびウォッチドッグタイムです。

12.1.1 32 kHz クロック選択

デフォルトでは、32 kHz クロックソースは内部低速発振器 (ILO) です。オプションで、外部水晶発振器 (ECO) が選択されます。この選択は、OSC_CR0 レジスタのビット 7 で行われます。32 kHz クロックのアクティブソースとして

ECO を選択することで、スリープタイムおよびスリープ割り込みがリアルタイムアプリケーション中で使用可能になります。選択されたクロックソースに関係なく、32 kHz クロックはスリープ機能で重要な役割を果たします。これは連続して実行され、システムを復帰するシーケンスに使用されます。また、スリープ中にバンドギャップ電圧を周期的にリフレッシュするためにも使用されます。

外部水晶発振器のアクティベートに関する詳細は、71 ページの "32 kHz Crystal Oscillator (ECO) (32 kHz 水晶発振器)" の章を参照してください。

12.1.2 スリープタイム

スリープタイムは、現在選択されている 32 kHz クロックソース (ILO または ECO のいずれか) によって計測された、15 ビットのアップカウンタです。このタイムは常に有効です。例外はデバッグモードの ICE 内で CPU_SCR0 レジスタのストップビットがセットされている場合です。スリープタイムは無効になるため、ユーザはデバッグ中でブレークポイントになったときに連続的なウォッチドッグリセットを得ることはありません。

関連するスリープタイム割り込みが有効な場合、CPU への周期的な割り込みは OSC_CR0 レジスタから選択されたスリープ間隔に基づいて生成されます。スリープタイム機能がスリープ状態と直接関連している必要はありません。スリープ状態に関係なく汎用のタイム割り込みとして使用することができます。

スリープタイムのリセット状態はすべてゼロのカウント値です。スリープタイムをリセットするには 2 つの方法があります。パワーオンリセット (POR)、外部リセット (XRES) またはウォッチドッグリセット (WDR) などのハードウェアリセットはスリープタイムをリセットします。ユーザがファームウェア中でスリープタイムをリセットできる方法もあります。RES_WDT レジスタに 38h を書き込むと、スリープタイムがクリアされます。(ノート: RES_WDT レジスタに書き込むとウォッチドッグタイムもクリアされます。)スリープタイムのクリアは、スリープタイムを CPU 処理に同期させるためにいつでも行われます。良い例は、POR の後です。電源ランプその他による CPU ホールドオフは重要です。さらに、かなりの量のプログラム初期化が必要です。しかし、スリープタイムは POR の直後にカウントを開始し、ユーザコードが実行されるとき任意の数になります。この場合、最初のスリープ期間が十分な間隔になることを保証するため、スリープ割り込みが最初に関効になる前にスリープタイムをクリアすることが望まれます。

12.1.3 スリープビット

スリープは、System Control レジスタ (CPU_SCR0) の SLEEP ビット (ビット 3) を設定することにより、ファームウェアで開始されます。システムを復帰するには、このレジスタビットを有効な割り込みによって非同期にクリアします。しかし、適切なスリープ操作を保証するこのレジスタビットには 2 つの特別な機能があります。最初に、割り込みが書き込み直後の命令境界で行われた場合、レジスタビットをセットする書き込みはロックされます。次に、ハードウェアの内部ロックが一旦セットされると、スリー

プビットはスリープ回路がスリープシーケンスの実行を完了してそのシステム全体のパワーダウン信号がアサートされるまで割り込みによってクリアされません。これは、システムのパワーダウン処理の途中でスリープ回路が割り込まれ、システムを不定状態にしたままにする可能性をなくします。

12.2 Application Description (アプリケーションの説明)

下記はファームウェアおよびアプリケーションに関連するスリープに関するノートです。

1. スリープビットに書き込んだ後に命令境界で割り込みが保留、有効、およびスケジュールされた場合、システムはスリープになりません。命令はそのまま実行されますが、CPU_SCR0 レジスタの SLEEP ビットをセットすることはできません。代わりに、割り込みが行われてスリープ命令の効果が無視されます。
2. システムをスリープ状態から復帰するためにグローバル割り込みイネーブル (CPU_F レジスタ) を有効にする必要はありません。割り込みマスクレジスタでセットされる、個々の割り込みイネーブルで十分です。グローバル割り込みイネーブルがセットされていない場合、CPU はその割り込みに関連する ISR をサービスしません。しかし、システムは復帰して、スリープ状態になったポイントからの命令を続けて実行します。この場合、ユーザは保留割り込みを手動でクリアするか、グローバル割り込みイネーブルビットを有効にして CPU が ISR をサービスするようにしなければなりません。保留割り込みがクリアされていない場合、続けてアサートされ、スリープビットがセットされてスリープシーケンスが実行されますが、デバイスがスリープモードに入るとすぐに、スリープビットは保留割り込みによってクリアされ、スリープモードは終了されます。
3. 復帰すると、スリープ命令の直後の命令が割り込みサービスルーチン (有効な場合) の前に実行されます。スリープ命令の後の命令はシステムがスリープになる前にあらかじめフェッチされます。したがって、システムを復帰させる割り込みが発生したとき、あらかじめフェッチされた命令が実行され、その後割り込みサービスルーチンが実行されます。(グローバル割り込みイネーブルがセットされていない場合、命令の実行はスリープの前に終わったところから続行されます)。
4. PLL モードが有効な場合、CPU 周波数はスリープになる前に 3 MHz に変更しなければなりません。PLL は復帰後に再ロックを試みるようにオーバシュートするので、CPU 周波数は相対的に低くなければなりません。復帰後、通常の CPU 操作周波数が回復する前に、10 ms 待つことを推奨します。
5. アナログ電源は、スリープ状態になる前にファームウェアによってオフにされます。システムのスリープ状態はアナログアレイを制御しません。各アナログブロックに対して個々の電源制御があり、リファレンスブロックにグローバルな電源制御があります。これらの電源制御はファームウェアによって操作されなければなりません。
6. グローバル割り込みイネーブルビットが無効になって

いる場合、スリープビットを書き込む命令の直前で安全に有効にすることができます。スリープビットを書き込む直前に命令境界で割り込みを行うことは通常は適切ではありません。これは、割り込みから戻る途中でスリープコマンドが実行され、スリープ状態にするために必要なファームウェアの準備が省略される可能性があることを意味します。これを防ぐには、準備が行われる前に割り込みを無効にします。スリープの準備の後、グローバル割り込みを有効にして、次のように 2 つの連続する命令でスリープビットを書き込みます。

```
and f,~01h // disable global interrupts
(prepare for sleep, could be many
instructions)
or f,01h // enable global interrupts
mov reg[ffh],08h // Set the sleep bit
```

グローバル割り込みイネーブル命令のタイミングにより、割り込みをその命令の直後に発生させることは不可能です。最も早く割り込みが可能になるのは、次の命令 (スリープビットへの書き込み) が実行された後です。したがって、割り込みが保留の場合、スリープ命令は実行されますが、#1 で述べたように、スリープ命令は無視されます。ISR の後最初に実行される命令は、スリープの後の命令になります。

12.3 Register Definitions (レジスタ定義)

12.3.1 INT_MSK0 レジスタ

INT_MSK0 レジスタは、いくつかの異なるリソースによって使用されるビットを保持します。デジタルクロックは INT_MSK0 のビット 7 のみを VC3 クロック用に使用し、ビット 6 から 0 は他のリソースによって使用されます。スリープビット (ビット 6) は、スリープタイマが割り込みソースとして使用されるかどうかを制御します。INT_MSK0 レジスタの詳細については、55 ページの "Interrupt Controller (割り込みコントローラ)" の章を参照してください。

その他の情報は、139 ページの INT_MSK0 レジスタを参照してください。

12.3.2 RES_WDT レジスタ

この書き込み専用レジスタには 2 つの機能があります。任意の値を書き込むと、ウォッチドッグタイマがクリアされます。38h を書き込むと、ウォッチドッグタイマ (WDT) とスリープタイマの両方がクリアされます。WDT はスリープタイマの 3 つのロールオーバーイベントでタイムアウトするようにデザインされていることを思い出すことは重要です。したがって、WDT のみがクリアされた場合、現在のスリープ間隔設定で、次のウォッチドッグリセットがどんな場所でも 2 ~ 3 回発生します。スリープタイマがそのカウントのはじめに近い場合、WD タイムアウトは 3 回に近くなります。しかし、スリープタイマがそのカウントの終わりに非常に近い場合、WD タイムアウトは 2 回に近くなります。完全な 3 回のタイムアウトを保証するには、WDT とスリープタイマの両方をクリアします。リアルタイムクロックが必要で、WDT をクリアするときにスリープ

イマをリセットできないアプリケーションでは、WDT をクリアしなければならないデューティサイクルはスリープ間隔の 2 倍未満にすべきです。

その他の情報は、142 ページの RES_WDT レジスタを参照してください。

12.3.3 OSC_CR0 レジスタ

ビット 7: 32k Select. デフォルトでは、32 kHz クロックソースは内部低速発振器 (ILO) です。オプションで、外部水晶発振器 (ECO) が選択されます。

ビット 6: PLL Mode. これは、直接 PLL に影響する OSC_CR0 レジスタの唯一のビットです。このビットがセットされている場合、PLL が有効になります。OSC_CR2 レジスタの EXTCLKEN ビットは、PLL 操作中 low にセットされるべきです。

ビット 5: No Buzz. 通常、CPU_SCR レジスタでスリープビットがセットされると、バンドギャップリファレンスを含め、すべてのチップシステムの電源が落とされます。しかし、スリープ間隔よりも高いレートで POR および LVD イベントの検出を行うために、バンドギャップ回路は、スリープ間隔に依存せず、一般的により高いスリープシステムデューティサイクル (ECO_TR でセット) で約 60 us 周期的に電源が入れられます。No Buzz ビットがセットされている場合、スリープシステムデューティサイクルの値は無視され、バンドギャップ回路はスリープ中でもオンにされます。この結果、わずかに高い平均スリープ電流で、LVD または POR イベントへの応答がより速くなります (周期的ではなく連続的に検出される)。

ビット 4 および 3: Sleep[1:0]. 利用可能なスリープ間隔を表 12-2 に示します。ILO が 32 kHz クロックソースを選択した場合、スリープ間隔は近似値であることを忘れないでください。

表 12-2. スリープ間隔

スリープ間隔 OSC_CR[4:3]	スリープタイ マクロック	スリープ期間 (理 論値)	ウォッチドッグ期 間 (理論値)
00b (デフォ ルト)	64	1.95 ms	6 ms
01b	512	15.6 ms	47 ms
10b	4096	125 ms	375 ms
11b	32,768	1 sec	3 sec

ビット 2 から 0: CPU Speed[2:0]. PSoC M8C は、一連の CPU クロック速度 (表 12-3) で、M8C のパフォーマンスおよび電源要件をアプリケーションに適合させて動作します。

CPU Speed ビットのリセット値はゼロです。したがって、デフォルトの CPU 速度はクロックソースの 1/8 です。内部主発振器が CPU 速度回路のデフォルトクロックソースなので、デフォルトの CPU 速度は 3MHz です。外部的に供給されるクロックでサポートされている周波数に関する詳細は、274 ページの "外部クロック" を参照してください。

CPU 周波数は、OSC_CR0 レジスタへの書き込みによって変更されます。2 の累乗の分割回路から生成された 8 つの

周波数があり、3 ビットコードで選択されます。どの場合でも、CPU 8:1 クロックマルチプレクサは利用可能な周波数の 1 つを選択し、出力で 24 MHz マスタークロックに再同期されます。

CPU 速度ビットの設定に関係なく、実際の CPU 速度が 12 MHz を超える場合、24 MHz の動作要件が適用されます。このシナリオの例は、20 MHz の周波数を提供する外部クロックを使用するように設定されたデバイスです。CPU 速度レジスタの値が 011b の場合、CPU クロックは 20 MHz になります。したがって、デバイスの供給電源要件は、パーツが内部主発振器から離れて 24 MHz で動作している場合と同じです。動作電圧要件は、CPU 速度が 12.0 MHz 以下になるまで緩和されません。

表 12-3.OSC_CR0[2:0] ビット: CPU 速度

ビット	内部主発振器	外部クロック
000b	3 MHz	EXTCLK / 8
001b	6 MHz	EXTCLK / 4
010b	12 MHz	EXTCLK / 2
011b	24 MHz	EXTCLK / 1
100b	1.5 MHz	EXTCLK / 16
101b	750 kHz	EXTCLK / 32
110b	187.5 kHz	EXTCLK / 128
111b	93.7 kHz	EXTCLK / 256

その他の情報は、181 ページの OSC_CR0 レジスタを参照してください。

12.3.4 CPU_SCR1 レジスタ

このレジスタは、ウォッチドッグリセットの完全性を保証するビット (3 および 2) を含みます。32 kHz 発振器ソースは ECO と ILO の間でプログラムによって切り替えられるため、切り替えは外部水晶システムが実際に存在する場合にのみ行うことを許可されます。これらのビットはウォッチドッグリセットイベントではリセットされません。

ビット 7 から 4: 予約。

ビット 3: ECO_EXW。 ECO Exists Written ビットは、以前書き込まれた ECO_EXW ビットを示すステータスビットとして使用されます。このビットは読み取り専用です。

ビット 2: ECO_EX。 ECO Exists ビットは、外部水晶がシステムに存在するかどうかを示すフラグとして使用します。水晶が存在する場合は '1'、水晶が存在しない場合は '0' になります。ビットが '0' の場合、ハードウェアは ECO の切り替えをロックします。ビットが '1' の場合、ハードウェアはファームウェアを ECO と ILO の間で自由に切り替えられるようにします。一旦書き込まれると、このビットは続けて変更することはできません。プログラム実行の完全性が高いと仮定されている場合、ビットはパワーオンリセット (POR) または外部リセット (XRES) イベントの後、速やかに書き込まれるべきです。ビットは一度だけ書き込まれます。

ビット 1: 予約。

ビット 0: IRAMDIS。 Initialize RAM Disable ビットは読み

取りおよび書き込み可能なコントロールビットです。このビットのデフォルト値は 0 で、SRAM の最大量をリセット時に値 00h で初期化すべきことを示します。ビットがセットされると、SRAM の最小量がウォッチドッグリセットの後に初期化されます。このビットに関する詳細は、50 ページの "SRAM 関数の説明" を参照してください。

その他の情報は、156 ページの CPU_SCR1 レジスタを参照してください。

12.3.5 ILO_TR レジスタ

このレジスタは、ILO 用の調整を設定します。ブート時にこのレジスタのトリムビットに設定されるデバイス特有の値は、工場における試験結果に基づいています。

ユーザがレジスタ値を変更しないことを強く推奨します。

ビット 7 および 6: 予約。

ビット 5 および 4: バイアストリム。

ビット 3 から 0: 周波数トリム。 4 つのビットは周波数をトリムするために使用されます。値は工場でセットされ、変更すべきではありません。

その他の情報は、187 ページの ILO_TR レジスタを参照してください。

12.3.6 ECO_TR レジスタ

外部水晶発振器トリムレジスタ (ECO_TR) は、外部水晶発振器の調整を設定します。このレジスタに設定される値は、工場における試験結果に基づいています。このレジスタは外部水晶発振器の周波数は調整しません。ユーザがこのレジスタのビットを変更しないことを推奨します。

ビット 7 から 6: PSSDC[1:0]。 これらのビットはスリープデューティサイクルを設定するために使用されます。

ビット 5 から 0: 予約。

その他の情報は、189 ページの ECO_TR レジスタを参照してください。

12.3.7 CPU_SCR0 レジスタ

CPU_SCR0 レジスタのビットは PSoc デバイスの様々な機能についてイベントのステータスおよびコントロールを伝えるために使用されます。

ビット 7: GIES。 グローバル割り込みイネーブルステータスビットは、読み取り専用のステータスビットで現在は使用されていません。GIES ビットは CPU_F レジスタの GIE ビットを読み取るために使用されていたレガシービットです。しかし、CPU_F レジスタは現在では読み取り可能です。このビットがセットされている場合、マイクロプロセッサが割り込みをサービスすることを示す CPU_F レジスタの GIE ビットもセットされていることを示します。

ビット 6: 予約。

ビット 5: WDRS。 ウォッチドッグリセットステータスビットは通常はゼロですが、ウォッチドッグリセットが発生す

るとセットされます。ビットは読み取り可能で、CPU_SCR0 レジスタでそのビット位置にゼロを書き込むことでクリア可能です。このビットはセットされません。

ビット 4: PORS。 パワーオンリセットステータス (PORS) ビットおよびウォッチドッグイネーブルビットは POR または外部リセットによって自動的にセットされます。ビットがユーザコードによってクリアされた場合、ウォッチドッグタイマが有効になります。一旦クリアされると、PORS ビットをリセットする唯一の方法は POR または外部リセットを行うことです。したがって、POR または外部リセットを行う以外にウォッチドッグタイマを無効にする方法はありません。

ビット 3: Sleep。 スリープビットは、本章で記述されてい

12.4 Timing Diagrams (タイミングダイアグラム)

12.4.1 スリープシーケンス

SLEEP ビットは、スリープロジック回路への入力です。この回路は、デバイスをハードウェアスリープ状態にする、およびハードウェアスリープ状態から復帰するシーケンス用にデザインされています。デバイスをスリープ状態にするハードウェアシーケンスは、図 12-1 で示され、次のように定義されます。

1. ファームウェアが CPU_SCR0 レジスタの SLEEP ビットをセットします。CPU への Bus Request (BRQ) 信号が直ちにアサートされます。これは命令境界で CPU 操作を停止させるためのシステムによる要求です。
2. レジスタ書き込みの特定のタイミングにより、CPU は CPU クロックの次の正のエッジで Bus Request Acknowledge (BRA) を発行します。

るように、セットされたときに低電力スリープモードに入るために使用されます。

ビット 2 および 1: 予約。

ビット 0: STOP。 STOP ビットは読み取りおよび書き込み可能です。このビットがセットされている場合、PSoC M8C はリセットイベントが発生するまでコードの実行を停止します。これは、POR、ウォッチドッグリセット、または外部リセットのいずれかです。アプリケーションでリセットまでコードの実行を停止したい場合、このビットをセットするのではなく、HALT 命令を使用してください。

その他の情報は、157 ページの CPU_SCR0 レジスタを参照してください。

3. スリープロジックは CPU クロックの次の負のエッジを待ってからシステム全体にわたる Power Down (PD) 信号をアサートします。図 12-1 で、CPU は停止し、システム全体にわたるパワーダウン信号がアサートされます。

システム全体にわたる PD (パワーダウン) 信号は、次の 3 つの主な回路ブロックを制御します: フラッシュメモリモジュール、内部主発振器 (24/48 MHz 発振器、または IMO)、およびバンドギャップ電圧リファレンス。これらの回路は、無電源状態になります。チップ上の動作回路は、ILO (または ECO)、バンドギャップリフレッシュ回路、および供給電圧モニタ回路のみになります。システムのスリープ状態はアナログアレイに適用されない点に注意してください。個々のアナログブロックおよびリファレンス用のパワーダウン設定は、スリープ命令を実行する前に、ファームウェアで行わなければなりません。

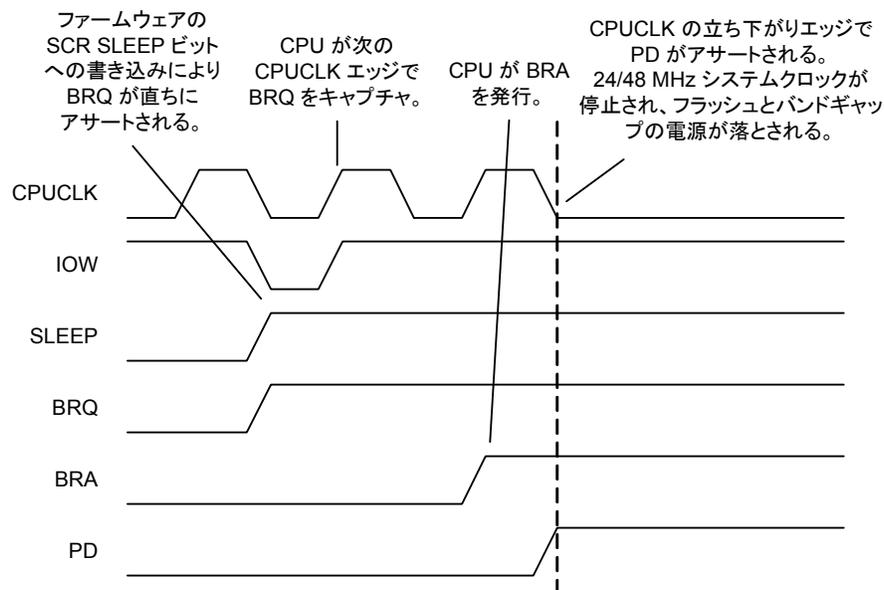


図 12-1. スリープシーケンス

12.4.2 復帰シーケンス

一旦スリープ状態になると、システムを復帰できる唯一のイベントは割り込みです。CPU フラグレジスタのグローバル割り込みイネーブルをセットする必要はありません。任意のマスクされていない割り込みはシステムを復帰させます。CPU がウェイクアップシーケンスの後に実際に割り込みを行うかどうかはオプションです。

ウェイクアップシーケンスは、CPU が最初の読み取りアクセスをアサートする前にフラッシュメモリモジュールに電源供給の時間が十分与えられるように、スタートアップ遅延をシーケンスする 32 kHz クロックと同期されます。遅延の別の理由は、IMO、バンドギャップ、および LVD/POR 回路をシステムで実際に使用される前に立ち上げておくためです。図 12-2 で示すように、ウェイクアップシーケンスは次のようになります。

1. ウェイクアップ割り込みが発生して、32 kHz クロック

の負のエッジで同期されます。

2. 32 kHz クロックの次の正のエッジで、システム全体にわたって PD 信号が否定されます。正常な動作状態になるまでフラッシュメモリモジュール、IMO、およびバンドギャップ回路にすべての電源が供給されます。
3. 32 kHz クロックの次の正のエッジで、精度 POR および LVD の現在値が解決されサンプリングされます。
4. 32 kHz クロックの次の負のエッジ (約 15 μ s 後、理論値) で、BRQ 信号がスリーププロジック回路によって否定されます。次の CPUCLK で、BRA が CPU によって否定され、命令の実行が再開されます。図 12-2 では、フラッシュ、IMO、およびバンドギャップのような固定関数クロックはスタートアップに約 15 μ s かけている点に注意してください。

復帰時間 (CPU 操作への割り込み) は、75 から 105 μ s の範囲です。

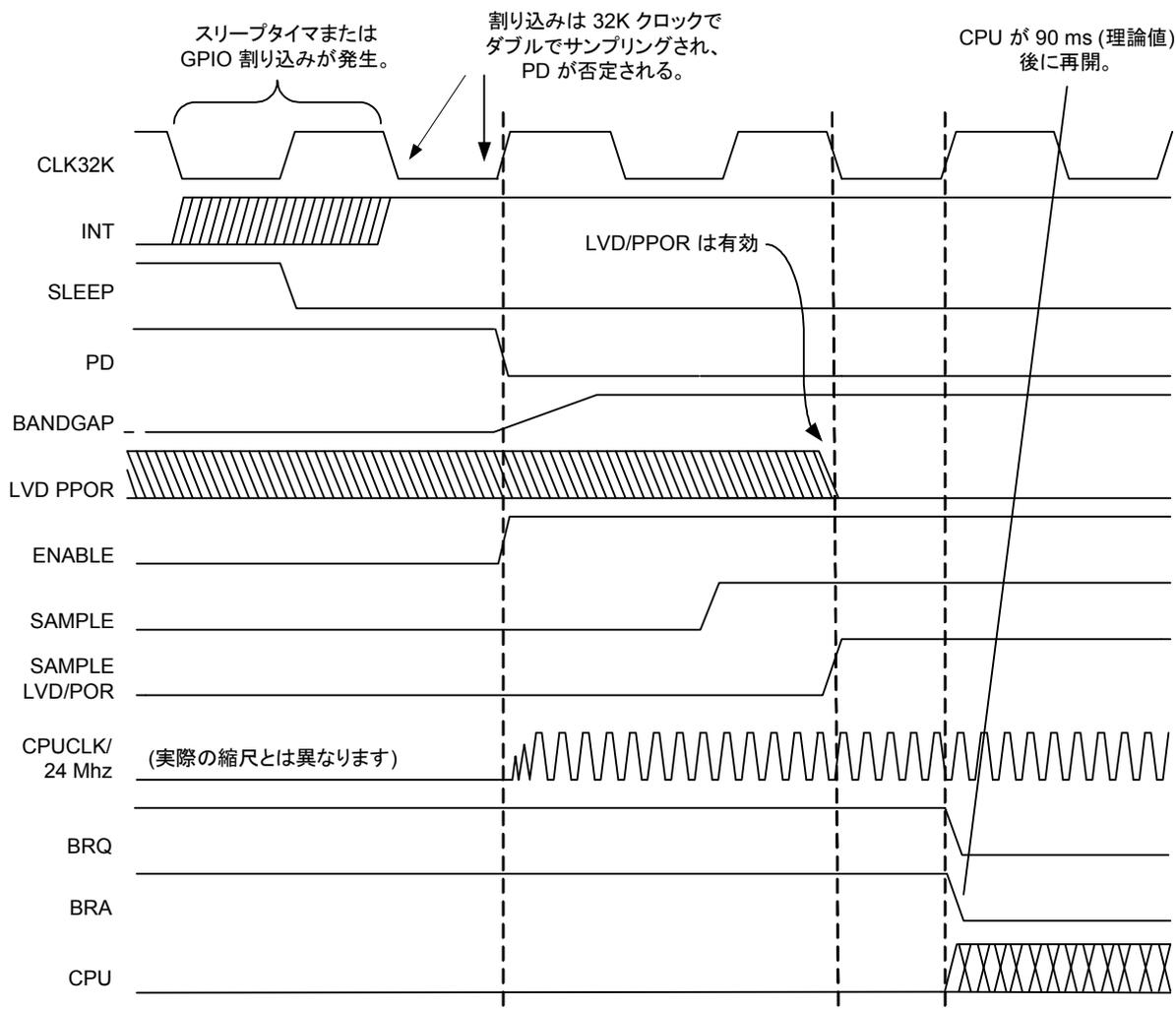


図 12-2. 復帰シーケンス

12.4.3 バンドギャップリフレッシュ

通常動作中、バンドギャップ回路はシステムにアナログブロック、フラッシュ、および低電圧検出 (LVD) 回路で使用される基準電圧 (VREF) を供給します。通常、バンドギャップ出力は直接 VREF 信号に接続されます。しかし、スリープ中、バンドギャップリファレンスジェネレータブロックおよび LVD 回路の電源は完全にオフになります。バンドギャップおよび LVD ブロックは、低電圧条件をモニタするためにスリープ中周期的に再度有効にされます。

これは、[図 12-3](#) で示すように、バンドギャップを周期的にオンにして、32K クロック期間全体のスタートアップのための時間を許可し、VREF に接続して次の 32K クロック期間の基準電圧をリフレッシュすることで達成されます。

リフレッシュサイクルの 2 つ目の 32K クロック期間中、LVD 回路は 32K クロックの High 期間中の解決を許可されます。2 つ目の 32K クロックの Low 期間中、LVD 割り込みが許可されます。

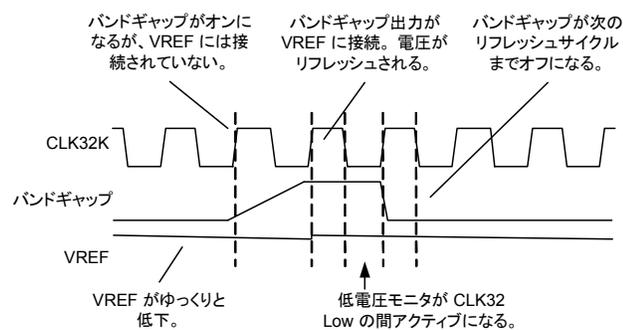


図 12-3. バンドギャップリフレッシュ操作

リフレッシュが発生する頻度は 32 kHz クロックと関連していて、パワーシステムスリープデューティサイクル (PDDSC, ECO_TR レジスタのビット [7:6]) によって制御されます。[表 12-4](#) に、利用可能な選択を示します。デフォルト設定 (128 スリープタイマカウント) は、基準となる平均デバイス電流が 5 μ A 未満の多くのアプリケーションに適用可能です。

表 12-4. パワーシステムスリープデューティサイクルの選択

PSSDC	スリープタイマ カウント	期間 (理論値)
00b (デフォルト)	256	8 ms
01b	1024	31.2 ms
10b	64	2 ms
11b	16	500 μ s

12.4.4 ウォッチドッグタイマ (WDT)

デバイスのブート時、WDT は無効にされます。System Control レジスタの PORS ビットは、WDT を有効にするかどうかを制御します。ブート時、PORS ビットは '1' にセットされ、POR または XRES イベントのいずれかが発生したことを示します。WDT は、PORS ビットをクリアすることで有効になります。一旦このビットがクリアされてウォッチドッグタイマが有効になると、続けて無効にすることはできません (PORS ビットはファームウェアで '1' にセットすることはできず、クリアのみ可能です)。ウォッチドッグ機能が有効になった後、それを無効にする唯一の方法は、次の POR または XRES です。WDT は POR または XRES の後の初期化コードによって最初に無効になりますが、すべてのコードは WDT が有効であるものとして記述されるべきです (例えば、WDT を周期的にクリアする)。これは、WDR イベントの後の初期化コード中でウォッチドッグタイマが有効にされることをすべてのコードが認識する必要があるためです。

ウォッチドッグタイマはスリープタイマ割り込み出力の 3 つのカウントなので、ウォッチドッグ間隔は選択したスリープタイマ間隔の 3 倍になります。利用可能なウォッチドッグ間隔を [表 12-2](#) に示します。スリープタイマ割り込みがアサートされると、ウォッチドッグタイマはインクリメントされます。カウンタが 3 になると、ターミナルカウントがアサートされます。このターミナルカウントは、32 kHz クロックによって登録されます。したがって、WDR (ウォッチドッグリセット) 信号は 32 kHz クロックの次のエッジの後に high になり、1 サイクル (30 μ s、理論値) の間アサートされます。WDT ターミナルカウントを登録するフリップフロップはそれがアサートされたときの WDR 信号によってはリセットされませんが、他のすべてのリセットによってリセットされます。このタイミングは、[図 12-4](#) に示されています。

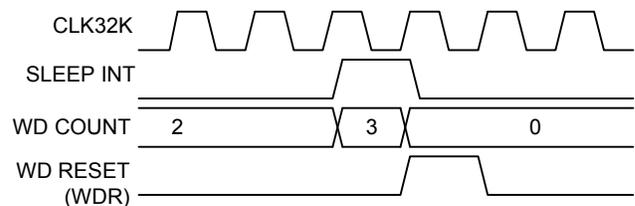


図 12-4. ウォッチドッグリセット

一旦有効になると、WDT はファームウェアによって周期的にクリアされなければなりません。クリアは、RES_WDT レジスタに書き込むことで行われます。この書き込みはデータとは無関係なので、すべての書き込みはウォッチドッグタイマをクリアします。(ノート: 38h を書き込むとスリープタイマもクリアします)。何らかの理由によってファームウェアが選択した間隔内で WDT のクリアに失敗した場合、回路は WDR をデバイスにアサートします。WDR は、他のリセットと効果は等価です。すべての内部レジスタはそれらのリセット状態にセットされます。WDT リセットに関して覚えておくべき重要なポイントは、RAM 初期化が無効になる場合があるということです (CPU_SCR1 の IRAMDIS)。この場合、SRAM の内容は影響を受けないため、WDR が発生したときプログラム変数はこのリセットに

よって変更されません。

実用的なアプリケーションでは、ウォッチドッグタイム間隔がスリープタイム間隔の 2 ～ 3 倍であることを知っておくことは重要です。WDT 間隔がスリープ間隔の 3 倍であることを保証する唯一の方法は、WDT レジスタをクリアするときにスリープタイムをクリアする (38h を書き込む) ことです。しかし、これはスリープタイムをリアルタイムクロックとして使用しているアプリケーションでは不可能です。ファームウェアがスリープタイムをクリアしないで WDT レジスタをクリアする場合、これはスリープタイム間隔の任意のポイントで発生することがあります。これがスリープタイム間隔のターミナルカウントの直前に発生した場合、WDT 間隔はスリープタイム間隔のほぼ 2 倍になります。

12.5 Power Consumption (消費電力)

スリープモードの消費電力は次の項目からなります。示されている標準ブロック電流は最大値を表すものではありません。これらの電流は、スリープモード中にオンになるアナログブロック電流を含んでいません。

表 12-5. 連続電流

IPOR	1 μ A
ICLK32 (ILO/ECO)	1 μ A

CLK32 はスリープ状態をオフにすることができますが、IPOR リセットが発生しない限り再開できないため、このモードは有用ではありません。(スリープビットは CLK32 なしでクリアできません。) スリープモードバズ中に、バンドギャップは 2 サイクルの間オンになり、LVD 回路は 1 サイクルの間オンになります。周期的なスリープモード 'バズ' の時間平均電流を、周期カウント N で表 12-6 に示します。

表 12-6. 時間平均電流

IBG (バンドギャップ)	$(2/N) * 60 \mu$ A
ILVD (LVD 比較器)	$(2/N) * 50 \mu$ A

表 12-7 は、N=256 および N=1024 の場合の電流の例です。実際は、この合計にデバイスの漏洩電流が追加されません。

表 12-7. 電流の例

	N=256	N=1024
IPOR	1	1
CLK32	1	1
IBG	0.46	0.12
ILVD	0.4	0.1
合計	2.9 μ A	2.2 μ A

SECTION C REGISTER REFERENCE (レジスタリファレンス)



Register Reference (レジスタリファレンス) セクションは、PSoC デバイスのレジスタについて説明します。レジスタは、マッピングテーブルのオフセット順にリストされています。簡単に参照できるように、各レジスタは次の章の詳細な説明にリンクされています。このセクションには、次の章があります:

- Register Details (レジスタ詳細)、89 ページ

Register Conventions (レジスタ規則) Register Mapping Tables (レジスタマッピングテーブル)

レジスタ規則は、このセクションおよび次の表でリストされている Register Details (レジスタ詳細) の章に適用されます。

規則	説明
空のグレイで表示されたセル	予約ビットであることを示します。
アドレス中のカンマの前の 'x'	レジスタがレジスタバンク 1 およびレジスタバンク 2 に存在することを示します。
レジスタ名の中の 'x'	同じレジスタの複数のインスタンス/アドレス範囲があることを示します。
RW	読み取り/書き込みレジスタまたはビット
R	読み取りレジスタまたはビット
W	書き込みレジスタまたはビット
L	論理レジスタまたはビット
C	クリア可能レジスタまたはビット
#	アクセスはビット特有です

PSoC デバイスには、合計で 512 バイトのレジスタアドレス空間があります。レジスタ空間は IO 空間としても参照され、2 つの部分に分けられます。フラグレジスタの XOI ビットは、ユーザが利用しているバンクを決定します。XOI ビットがセットされている場合、ユーザは "拡張" アドレス空間または "設定" レジスタにいることになります。

レジスタマップ 0 テーブル: ユーザ空間

名前	アドレス (1,Hex)	アクセス	ページ	名前	アドレス (1,Hex)	アクセス	ページ	名前	アドレス (1,Hex)	アクセス	ページ
PRT0DR	00	RW	90		40			ASC10CR0	80	RW	114
PRT0IE	01	RW	91		41			ASC10CR1	81	RW	115
PRT0GS	02	RW	92		42			ASC10CR2	82	RW	116
PRT0DM2	03	RW	93		43			ASC10CR3	83	RW	117
PRT1DR	04	RW	90		44			ASD11CR0	84	RW	118
PRT1IE	05	RW	91		45			ASD11CR1	85	RW	119
PRT1GS	06	RW	92		46			ASD11CR2	86	RW	120
PRT1DM2	07	RW	93		47			ASD11CR3	87	RW	121
PRT2DR	08	RW	90		48			ASC12CR0	88	RW	114
PRT2IE	09	RW	91		49			ASC12CR1	89	RW	115
PRT2GS	0A	RW	92		4A			ASC12CR2	8A	RW	116
PRT2DM2	0B	RW	93		4B			ASC12CR3	8B	RW	117
PRT3DR	0C	RW	90		4C			ASD13CR0	8C	RW	118
PRT3IE	0D	RW	91		4D			ASD13CR1	8D	RW	119
PRT3GS	0E	RW	92		4E			ASD13CR2	8E	RW	120
PRT3DM2	0F	RW	93		4F			ASD13CR3	8F	RW	121
PRT4DR	10	RW	90		50			ASD20CR0	90	RW	118
PRT4IE	11	RW	91		51			ASD20CR1	91	RW	119
PRT4GS	12	RW	92		52			ASD20CR2	92	RW	120
PRT4DM2	13	RW	93		53			ASD20CR3	93	RW	121
PRT5DR	14	RW	90		54			ASC21CR0	94	RW	114
PRT5IE	15	RW	91		55			ASC21CR1	95	RW	115
PRT5GS	16	RW	92		56			ASC21CR2	96	RW	116
PRT5DM2	17	RW	93		57			ASC21CR3	97	RW	117
	18				58			ASD22CR0	98	RW	118
	19				59			ASD22CR1	99	RW	119
	1A				5A			ASD22CR2	9A	RW	120
	1B				5B			ASD22CR3	9B	RW	121
	1C				5C			ASC23CR0	9C	RW	114
	1D				5D			ASC23CR1	9D	RW	115
	1E				5E			ASC23CR2	9E	RW	116
	1F				5F			ASC23CR3	9F	RW	117
DBB00DR0	20	#	94	AMX IN	60	RW	105		A0		
DBB00DR1	21	W	95		61				A1		
DBB00DR2	22	RW	96		62				A2		
DBB00CR0	23	#	97	ARF CR	63	RW	106		A3		
DBB01DR0	24	#	94	CMP CR0	64	#	107		A4		
DBB01DR1	25	W	95	ASY CR	65	#	108		A5		
DBB01DR2	26	RW	96	CMP CR1	66	RW	109		A6		
DBB01CR0	27	#	97		67				A7		
DCB02DR0	28	#	94		68				A8		
DCB02DR1	29	W	95		69				A9		
DCB02DR2	2A	RW	96		6A				AA		
DCB02CR0	2B	#	97		6B				AB		
DCB03DR0	2C	#	94		6C				AC		
DCB03DR1	2D	W	95		6D				AD		
DCB03DR2	2E	RW	96		6E				AE		
DCB03CR0	2F	#	97		6F				AF		
DBB10DR0	30	#	94	ACB00CR3	70	RW	110	RDI0RI	B0	RW	122
DBB10DR1	31	W	95	ACB00CR0	71	RW	111	RDI0SYN	B1	RW	123
DBB10DR2	32	RW	96	ACB00CR1	72	RW	112	RDI0IS	B2	RW	124
DBB10CR0	33	#	97	ACB00CR2	73	RW	113	RDI0LT0	B3	RW	125
DBB11DR0	34	#	94	ACB01CR3	74	RW	110	RDI0LT1	B4	RW	126
DBB11DR1	35	W	95	ACB01CR0	75	RW	111	RDI0RO0	B5	RW	127
DBB11DR2	36	RW	96	ACB01CR1	76	RW	112	RDI0RO1	B6	RW	128
DBB11CR0	37	#	97	ACB01CR2	77	RW	113		B7		
DCB12DR0	38	#	94	ACB02CR3	78	RW	110	RDI1RI	B8	RW	122
DCB12DR1	39	W	95	ACB02CR0	79	RW	111	RDI1SYN	B9	RW	123
DCB12DR2	3A	RW	96	ACB02CR1	7A	RW	112	RDI1IS	BA	RW	124
DCB12CR0	3B	#	97	ACB02CR2	7B	RW	113	RDI1LT0	BB	RW	125
DCB13DR0	3C	#	94	ACB03CR3	7C	RW	110	RDI1LT1	BC	RW	126
DCB13DR1	3D	W	95	ACB03CR0	7D	RW	111	RDI1RO0	BD	RW	127
DCB13DR2	3E	RW	96	ACB03CR1	7E	RW	112	RDI1RO1	BE	RW	128
DCB13CR0	3F	#	97	ACB03CR2	7F	RW	113		BF		
								I2C CFG	D6	RW	129
								I2C SCR	D7	#	130
								I2C DR	D8	RW	131
								I2C MSCR	D9	#	132
								INT CLR0	DA	RW	133
								INT CLR1	DB	RW	135
									DC		
								INT CLR3	DD	RW	137
								INT MSK3	DE	RW	138
									DF		
								INT MSK0	E0	RW	139
								INT MSK1	E1	RW	140
								INT VC	E2	RC	141
								RES WDT	E3	W	142
								DEC DH	E4	RC	143
								DEC DL	E5	RC	144
								DEC CR0	E6	RW	145
								DEC CR1	E7	RW	146
								MUL X	E8	W	147
								MUL Y	E9	W	148
								MUL DH	EA	R	149
								MUL DL	EB	R	150
								ACC DR1	EC	RW	151
								ACC DR0	ED	RW	152
								ACC DR3	EE	RW	153
								ACC DR2	EF	RW	154
									F0		
									F1		
									F2		
									F3		
									F4		
									F5		
									F6		
								CPU F	F7	RL	155
									F8		
									F9		
									FA		
									FB		
									FC		
									FD		
								CPU SCR1	FE	#	156
								CPU SCR0	FF	#	157

空白フィールドは予約済みでアクセスできません。

#: アクセスはビット特有です。詳細は該当ページを参照してください。

レジスタマップ 1 テーブル: 設定空間

名前	アドレス (1,Hex)	アクセス	ページ	名前	アドレス (1,Hex)	アクセス	ページ	名前	アドレス (1,Hex)	アクセス	ページ	名前	アドレス (1,Hex)	アクセス	ページ
PRT0DM0	00	RW	158		40			ASC10CR0	80	RW	114		C0		
PRT0DM1	01	RW	159		41			ASC10CR1	81	RW	115		C1		
PRT0IC0	02	RW	160		42			ASC10CR2	82	RW	116		C2		
PRT0IC1	03	RW	161		43			ASC10CR3	83	RW	117		C3		
PRT1DM0	04	RW	158		44			ASD11CR0	84	RW	118		C4		
PRT1DM1	05	RW	159		45			ASD11CR1	85	RW	119		C5		
PRT1IC0	06	RW	160		46			ASD11CR2	86	RW	120		C6		
PRT1IC1	07	RW	161		47			ASD11CR3	87	RW	121		C7		
PRT2DM0	08	RW	158		48			ASC12CR0	88	RW	114		C8		
PRT2DM1	09	RW	159		49			ASC12CR1	89	RW	115		C9		
PRT2IC0	0A	RW	160		4A			ASC12CR2	8A	RW	116		CA		
PRT2IC1	0B	RW	161		4B			ASC12CR3	8B	RW	117		CB		
PRT3DM0	0C	RW	158		4C			ASD13CR0	8C	RW	118		CC		
PRT3DM1	0D	RW	159		4D			ASD13CR1	8D	RW	119		CD		
PRT3IC0	0E	RW	160		4E			ASD13CR2	8E	RW	120		CE		
PRT3IC1	0F	RW	161		4F			ASD13CR3	8F	RW	121		CF		
PRT4DM0	10	RW	158		50			ASD20CR0	90	RW	118	GDI O IN	D0	RW	175
PRT4DM1	11	RW	159		51			ASD20CR1	91	RW	119	GDI E IN	D1	RW	176
PRT4IC0	12	RW	160		52			ASD20CR2	92	RW	120	GDI O OU	D2	RW	177
PRT4IC1	13	RW	161		53			ASD20CR3	93	RW	121	GDI E OU	D3	RW	178
PRT5DM0	14	RW	158		54			ASC21CR0	94	RW	114		D4		
PRT5DM1	15	RW	159		55			ASC21CR1	95	RW	115		D5		
PRT5IC0	16	RW	160		56			ASC21CR2	96	RW	116		D6		
PRT5IC1	17	RW	161		57			ASC21CR3	97	RW	117		D7		
	18				58			ASD22CR0	98	RW	118		D8		
	19				59			ASD22CR1	99	RW	119		D9		
	1A				5A			ASD22CR2	9A	RW	120		DA		
	1B				5B			ASD22CR3	9B	RW	121		DB		
	1C				5C			ASC23CR0	9C	RW	114		DC		
	1D				5D			ASC23CR1	9D	RW	115		DD		
	1E				5E			ASC23CR2	9E	RW	116	OSC CR4	DE	RW	179
	1F				5F			ASC23CR3	9F	RW	117	OSC CR3	DF	RW	180
DBB00FN	20	RW	162	CLK CR0	60	RW	167		A0			OSC CR0	E0	RW	181
DBB00IN	21	RW	164	CLK CR1	61	RW	168		A1			OSC CR1	E1	RW	182
DBB00OU	22	RW	165	ABF CR0	62	RW	169		A2			OSC CR2	E2	RW	183
	23			AMD CR0	63	RW	170		A3			VLT CR	E3	RW	184
					64				A4			VLT CMP	E4	R	185
DBB01FN	24	RW	162		65				A5				E5		
DBB01IN	25	RW	164		66	RW	171		A6				E6		
DBB01OU	26	RW	165	AMD CR1	66	RW	171		A7				E7		
	27			ALT CR0	67	RW	172		A8			IMO TR	E8	W	186
DCB02FN	28	RW	162	ALT CR1	68	RW	173		A9			ILO TR	E9	W	187
DCB02IN	29	RW	164	CLK CR2	69	RW	174		AA			BDG TR	EA	W	188
DCB02OU	2A	RW	165		6A				AB			ECO TR	EB	W	189
	2B				6B				AC				EC		
DCB03FN	2C	RW	162		6C				AD				ED		
DCB03IN	2D	RW	164		6D				AE				EE		
DCB03OU	2E	RW	165		6E				AF				EF		
	2F				6F								F0		
DBB10FN	30	RW	162	ACB00CR3	70	RW	110	RDI0RI	B0	RW	122		F1		
DBB10IN	31	RW	164	ACB00CR0	71	RW	111	RDI0SYN	B1	RW	123		F2		
DBB10OU	32	RW	165	ACB00CR1	72	RW	112	RDI0IS	B2	RW	124		F3		
	33			ACB00CR2	73	RW	113	RDI0LT0	B3	RW	125		F4		
DBB11FN	34	RW	162	ACB01CR3	74	RW	110	RDI0LT1	B4	RW	126		F5		
DBB11IN	35	RW	164	ACB01CR0	75	RW	111	RDI0RO0	B5	RW	127		F6		
DBB11OU	36	RW	165	ACB01CR1	76	RW	112	RDI0RO1	B6	RW	128		F7		
	37			ACB01CR2	77	RW	113		B7			CPU F	F7	RL	155
DCB12FN	38	RW	162	ACB02CR3	78	RW	110	RDI1RI	B8	RW	122		F8		
DCB12IN	39	RW	164	ACB02CR0	79	RW	111	RDI1SYN	B9	RW	123		F9		
DCB12OU	3A	RW	165	ACB02CR1	7A	RW	112	RDI1IS	BA	RW	124		FA		
	3B			ACB02CR2	7B	RW	113	RDI1LT0	BB	RW	125		FB		
DCB13FN	3C	RW	162	ACB03CR3	7C	RW	110	RDI1LT1	BC	RW	126		FC		
DCB13IN	3D	RW	164	ACB03CR0	7D	RW	111	RDI1RO0	BD	RW	127		FD		
DCB13OU	3E	RW	165	ACB03CR1	7E	RW	112	RDI1RO1	BE	RW	128	CPU SCR1	FE	#	156
	3F			ACB03CR2	7F	RW	113		BF			CPU SCR0	FF	#	157

空白フィールドは予約済みでアクセスできません。

#: アクセスはビット特有です。詳細は該当ページを参照してください。

13. Register Details (レジスタ詳細)



本章は、バンク 0 およびバンク 1 のオフセット順にすべての PSoC デバイスレジスタを詳細に説明します。両方のバンクにあるレジスタは、レジスタ名およびオフセット中に少なくとも 1 つの 'x' が指定され、バンク 0 レジスタで説明されています。

バンク 0 レジスタは最初にリストされ、90 ページから説明されています。バンク 1 レジスタは次にリストされ、158 ページから説明されています。すべてのレジスタの簡単な説明が必要な場合は、85 ページの "Register Mapping Tables (レジスタマッピングテーブル)" を参照してください。本章のレジスタに特有の規則を次に示します。

表 13-1: レジスタ規則

規則	例	説明
レジスタ名の中の 'x'	ACBxxCR1	同じレジスタの複数のインスタンス/アドレス範囲。
RW	RW : 00	読み取り/書き込みレジスタまたはビット
R	R : 00	読み取りレジスタまたはビット
W	W : 00	書き込みレジスタまたはビット
L	RL : 00	論理レジスタまたはビット
C	RC : 00	クリア可能レジスタまたはビット
00	RW : 00	リセット値が 0x00 または 00h
xx	RW : xx	レジスタはリセットされません
0,	0,04h	レジスタはバンク 0 にあります
1,	1,23h	レジスタはバンク 1 にあります
x,	x,F7h	レジスタはレジスタバンク 0 およびレジスタバンク 1 に存在します
空のグレイで表示されたセル		予約ビット

13.1 Bank 0 Registers (バンク 0 レジスタ)

以下のレジスタはすべてバンク 0 にあり、オフセット順にリストされています。

13.1.1 PRTxDR

Port Data Register (ポートデータレジスタ)

個々のレジスタ名およびアドレス

PRT0DR : 0,00h PRT1DR : 0,04h PRT2DR : 0,08h PRT3DR : 0,0Ch
 PRT4DR : 0,10h PRT5DR : 0,14h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 00							
ビット名	Data Input[7:0]							

CY8C27643 には 4 ビット幅のポート 5 があります。このレジスタの上位 4 ビットは読み取られたときに最後のデータバスを返します。返されたデータは、この情報を使用する前にマスクすべきです。

その他の情報は、GPIO の章で 62 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:0]	Data Input[7:0]	ポートに値を書き込むかポートから値を読み取ります。読み取りは、PRTxDR でレジスタ中の値ではなくピンの状態を返します。

13.1.2 PRTxIE

Port Interrupt Enable Register (ポート割り込みイネーブルレジスタ)

個々のレジスタ名およびアドレス

PRT0IE : 0,01h PRT1IE : 0,05h PRT2IE : 0,09h PRT3IE : 0,0Dh
 PRT4IE : 0,11h PRT5IE : 0,15h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 00							
ビット名	Interrupt Enables[7:0]							

CY8C27643 には 4 ビット幅のポート 5 があります。このレジスタの上位 4 ビットは読み取られたときに最後のデータバスを返します。返されたデータは、この情報を使用する前にマスクすべきです。

その他の情報は、GPIO の章で [62 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:0]	Interrupt Enables[7:0]	このレジスタ中でセットされたビットは対応するポートピン割り込みを有効にします。 0 対応するピンのポートピン割り込み無効。 1 対応するピンのポートピン割り込み有効。

13.1.3 PRTxGS

Port Global Select Register (ポートグローバルセレクトレジスタ)

個々のレジスタ名およびアドレス

PRT0GS : 0,02h PRT1GS : 0,06h PRT2GS : 0,0Ah PRT3GS : 0,0Eh
 PRT4GS : 0,12h PRT5GS : 0,16h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 00							
ビット名	Global Select[7:0]							

CY8C27643 には 4 ビット幅のポート 5 があります。このレジスタの上位 4 ビットは読み取られたときに最後のデータバスを返します。返されたデータは、この情報を使用する前にマスクすべきです。

その他の情報は、GPIO の章で 62 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:0]	Global Select[7:0]	このレジスタ中でセットされたビットは、内部のグローバルバスに対応するポートピンを接続します。この接続は、デジタルブロックへデジタル信号を入力するためまたはデジタルブロックからデジタル信号を出力するために使用されます。 0 グローバル機能無効、ピンの値は PRTxDR ビットの値およびポート設定レジスタによって決定されます。 1 グローバル機能有効。向きはピンのモードビットに依存します (レジスタ PRTxDM0、PRTxDM1、PRTxDM2)。

13.1.4 PRTxDM2

Port Drive Mode Bit Register 2 (ポート駆動モードビットレジスタ 2)

個々のレジスタ名およびアドレス

PRT0DM2 : 0,03h PRT1DM2 : 0,07h PRT2DM2 : 0,0Bh PRT3DM2 : 0,0Fh
 PRT4DM2 : 0,13h PRT5DM2 : 0,17h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : FF							
ビット名	Drive Mode 2[7:0]							

レジスタ PRTxDM2 には、各ポートピンで利用可能な駆動モードが 8 つあります。これらのモードの 1 つを選択するには 3 つのモードビットが必要で、これらの 3 つのビットは 3 つの異なるレジスタ (158 ページの PRTxDM0、159 ページの PRTxDM1 および PRTxDM2) に含まれています。影響を受けるポートピンのビット位置 (例: Port 0 の Pin[2]) は、そのピンの駆動モードを制御する 3 つの Drive Mode レジスタビットのそれぞれのビット位置と同じです (例: PRT0DM0 の Bit[2]、PRT0DM1 の bit[2] および PRT0DM2 の bit[2])。3 つのレジスタの 3 つのビットは、グループとして扱われます。これらは、DM2、DM1、および DM0 として、または DM[2:0] として参照されます。

すべての駆動モードは下記のサブテーブルに示されています ([2:0] は、与えられたビット位置でビットの組み合わせを (順に) 参照します)。しかし、このレジスタは駆動モードの最上位ビットのみを制御します。CY8C27643 には 4 ビット幅のポート 5 があります。このレジスタの上位 4 ビットは読み取られたときに最後のデータバスを返します。返されたデータは、この情報を使用する前にマスクすべきです。その他の情報は、GPIO の章で 62 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明	
[7:0]	Drive Mode 2[7:0]	GPIO ポートの各 8 つのポートピンの駆動モードのビット 2。	
[2:0]	ピン出力 High	ピン出力 Low	ノート
000b	Strong	Resistive	
001b	Strong	Strong	
010b	Hi-z	Hi-z	デジタル入力有効。
011b	Resistive	Strong	
100b	Slow + strong	Hi-z	
101b	Slow + strong	Slow + strong	
110b	Hi-z	Hi-z	デジタル入力無効 (ゼロ電力)。リセット状態。
111b	Hi-z	Slow + strong	I ² C 互換モード。

13.1.5 DxBxxDR0

Digital Basic/Communication Type B Block Data Register 0 (デジタル基本/通信タイプ B ブロックデータレジスタ 0)

個々のレジスタ名およびアドレス

DBB00DR0 : 0,20h DBB01DR0 : 0,24h DCB02DR0 : 0,28h DCB03DR0 : 0,2Ch
 DBB10DR0 : 0,30h DBB11DR0 : 0,34h DCB12DR0 : 0,38h DCB13DR0 : 0,3Ch

	7	6	5	4	3	2	1	0
アクセス: POR	R : 00							
ビット名	Data[7:0]							

このレジスタの機能は、ブロックが設定された (162 ページの DxBxxFN レジスタの FN[2:0] ビットで選択された) 機能に依存します。Timer、Counter、Dead Band、および CRCPRS 機能の場合、DxBxxDR0 レジスタの読み取りは 00h を返し、DxBxxDR0 から DxBxxDR2 に転送されます。

その他の情報は、Digital Blocks (デジタルブロック) の章で 216 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明																		
[7:0]	Data[7:0]	選択された機能用のデータ。 <table border="0"> <tr> <td>ブロック機能</td> <td>レジスタ機能</td> </tr> <tr> <td>Timer</td> <td>Count Value</td> </tr> <tr> <td>Counter</td> <td>Count Value</td> </tr> <tr> <td>Dead Band</td> <td>Count Value</td> </tr> <tr> <td>CRCPRS</td> <td>Linear Feedback Shift Register (LFSR)</td> </tr> <tr> <td>SPIM</td> <td>Shifter</td> </tr> <tr> <td>SPIS</td> <td>Shifter</td> </tr> <tr> <td>TXUART</td> <td>Shifter</td> </tr> <tr> <td>RXUART</td> <td>Shifter</td> </tr> </table>	ブロック機能	レジスタ機能	Timer	Count Value	Counter	Count Value	Dead Band	Count Value	CRCPRS	Linear Feedback Shift Register (LFSR)	SPIM	Shifter	SPIS	Shifter	TXUART	Shifter	RXUART	Shifter
ブロック機能	レジスタ機能																			
Timer	Count Value																			
Counter	Count Value																			
Dead Band	Count Value																			
CRCPRS	Linear Feedback Shift Register (LFSR)																			
SPIM	Shifter																			
SPIS	Shifter																			
TXUART	Shifter																			
RXUART	Shifter																			

13.1.6 DxBxxDR1

Digital Basic/Communication Type B Block Data Register 1 (デジタル基本/通信タイプ B ブロックデータレジスタ 1)

個々のレジスタ名およびアドレス

DBB00DR1 : 0,21h DBB01DR1 : 0,25h DCB02DR1 : 0,29h DCB03DR1 : 0,2Dh
 DBB10DR1 : 0,31h DBB11DR1 : 0,35h DCB12DR1 : 0,39h DCB13DR1 : 0,3Dh

	7	6	5	4	3	2	1	0
アクセス: POR	W : 00							
ビット名	Data[7:0]							

このレジスタの機能は、ブロックが設定された (162 ページの DxBxxFN レジスタの FN[2:0] ビットで選択された) 機能に依存します。その他の情報は、Digital Blocks (デジタルブロック) の章で 216 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明																		
[7:0]	Data[7:0]	選択された機能用のデータ。 <table border="0"> <tr> <td>ブロック機能</td> <td>レジスタ機能</td> </tr> <tr> <td>Timer</td> <td>Period</td> </tr> <tr> <td>Counter</td> <td>Period</td> </tr> <tr> <td>Dead Band</td> <td>Period</td> </tr> <tr> <td>CRCPRS</td> <td>Polynomial</td> </tr> <tr> <td>SPIM</td> <td>TX Buffer</td> </tr> <tr> <td>SPIS</td> <td>TX Buffer</td> </tr> <tr> <td>TXUART</td> <td>TX Buffer</td> </tr> <tr> <td>RXUART</td> <td>N/A</td> </tr> </table>	ブロック機能	レジスタ機能	Timer	Period	Counter	Period	Dead Band	Period	CRCPRS	Polynomial	SPIM	TX Buffer	SPIS	TX Buffer	TXUART	TX Buffer	RXUART	N/A
ブロック機能	レジスタ機能																			
Timer	Period																			
Counter	Period																			
Dead Band	Period																			
CRCPRS	Polynomial																			
SPIM	TX Buffer																			
SPIS	TX Buffer																			
TXUART	TX Buffer																			
RXUART	N/A																			

13.1.7 DxBxxDR2

Digital Basic/Communication Type B Block Data Register 2 (デジタル基本/通信タイプ B ブロックデータレジスタ 2)

個々のレジスタ名およびアドレス

DBB00DR2 : 0,22h DBB01DR2 : 0,26h DCB02DR2 : 0,2Ah DCB03DR2 : 0,2Eh
 DBB10DR2 : 0,32h DBB11DR2 : 0,36h DCB12DR2 : 0,3Ah DCB13DR2 : 0,3Eh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 00							
ビット名	Data[7:0]							

このレジスタの機能は、ブロックが設定された (162 ページの DxBxxFN レジスタの FN[2:0] ビットで選択された) 機能に依存します。その他の情報は、Digital Blocks (デジタルブロック) の章で 216 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明																		
[7:0]	Data[7:0]	選択された機能用のデータ。 <table border="0"> <tr> <td>ブロック機能</td> <td>レジスタ機能</td> </tr> <tr> <td>Timer</td> <td>Capture/Compare</td> </tr> <tr> <td>Counter</td> <td>Compare</td> </tr> <tr> <td>Dead Band</td> <td>Buffer</td> </tr> <tr> <td>CRCPRS</td> <td>Seed/Residue</td> </tr> <tr> <td>SPIM</td> <td>RX Buffer</td> </tr> <tr> <td>SPIS</td> <td>RX Buffer</td> </tr> <tr> <td>TXUART</td> <td>N/A</td> </tr> <tr> <td>RXUART</td> <td>RX Buffer</td> </tr> </table>	ブロック機能	レジスタ機能	Timer	Capture/Compare	Counter	Compare	Dead Band	Buffer	CRCPRS	Seed/Residue	SPIM	RX Buffer	SPIS	RX Buffer	TXUART	N/A	RXUART	RX Buffer
ブロック機能	レジスタ機能																			
Timer	Capture/Compare																			
Counter	Compare																			
Dead Band	Buffer																			
CRCPRS	Seed/Residue																			
SPIM	RX Buffer																			
SPIS	RX Buffer																			
TXUART	N/A																			
RXUART	RX Buffer																			

13.1.8 DxBxxCR0

(タイマコントロール)

Digital Basic/Communication Type B Block Control Register 0 (デジタル基本/通信タイプ B ブロックコントロールレジスタ 0)

個々のレジスタ名およびアドレス

DBB00CR0 : 0,23h DBB01CR0 : 0,27h DCB02CR0 : 0,2Bh DCB03CR0 : 0,2Fh
 DBB10CR0 : 0,33h DBB11CR0 : 0,37h DCB12CR0 : 0,3Bh DCB13CR0 : 0,3Fh

	7	6	5	4	3	2	1	0
アクセス: POR						RW : 0	RW : 0	RW : 0
ビット名						TC Pulse Width	Capture Int	Enable

その他の情報は、Digital Blocks (デジタルブロック) の章で 216 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:3]	予約	
[2]	TC Pulse Width	プライマリ出力 0 ターミナルカウントパルス幅は 1/2 ブロッククロックです。期間値 00h をサポートしません。 1 ターミナルカウントパルス幅は 1 ブロッククロックです。
[1]	Capture Int	0 割り込みは機能 (DxBxxFN) レジスタの Mode ビット 0 で選択されます。 1 ブロック割り込みは、(Mode ビット 0 の選択よりも優先される) ハードウェアキャプチャイベントによって発生します。
[0]	Enable	0 タイマは無効です。 1 タイマは有効です。

13.1.9 DxBxxCR0

(カウンタコントロール)

Digital Basic/Communication Type B Block Control Register 0 (デジタル基本/通信タイプ B ブロックコントロールレジスタ 0)

個々のレジスタ名およびアドレス

DBB00CR0: 0,23h
DBB10CR0: 0,33hDBB01CR0: 0,27h
DBB11CR0: 0,37hDCB02CR0: 0,2Bh
DCB12CR0: 0,3BhDCB03CR0: 0,2Fh
DCB13CR0: 0,3Fh

	7	6	5	4	3	2	1	0
アクセス: POR								RW : 0
ビット名								Enable

その他の情報は、Digital Blocks (デジタルブロック) の章で [216 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
-----	----	----

[7:1]	予約	
[0]	Enable	0 カウンタは無効です。 1 カウンタは有効です。

13.1.10 DxBxxCR0

(不感帯コントロール)

Digital Basic/Communication Type B Block Control Register 0 (デジタル基本/通信タイプ B ブロックコントロールレジスタ 0)

個々のレジスタ名およびアドレス

DBB00CR0: 0,23h
DBB10CR0: 0,33hDBB01CR0: 0,27h
DBB11CR0: 0,37hDCB02CR0: 0,2Bh
DCB12CR0: 0,3BhDCB03CR0: 0,2Fh
DCB13CR0: 0,3Fh

	7	6	5	4	3	2	1	0
アクセス: POR						RW : 0	RW : 0	RW : 0
ビット名						Bit Bang Clock	Bit Bang Mode	Enable

その他の情報は、Digital Blocks (デジタルブロック) の章で 216 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:3]	予約	
[2]	Bit Bang Clock	Bit Bang モードが有効な場合、このレジスタビットの出力は PWM リファレンスの代わりに使用されます。このレジスタは、プログラムされた不感時間で PH1 および PH2 出力クロックを生成するように、ユーザファームウェアによって切り替えられます。
[1]	Bit Bang Mode	0 不感帯ジェネレータは以前のブロックプライマリ出力を入力リファレンスとして使用しません。 1 不感帯ジェネレータは Bit Bang Clock レジスタを入力リファレンスとして使用します。
[0]	Enable	0 不感帯ジェネレータは無効です。 1 不感帯ジェネレータは有効です。

13.1.11 DxBxxCR0

(CRCPRS コントロール)

Digital Basic/Communication Type B Block Control Register 0 (デジタル基本/通信タイプ B ブロックコントロールレジスタ 0)

個々のレジスタ名およびアドレス

DBB00CR0: 0,23h
DBB10CR0: 0,33hDBB01CR0: 0,27h
DBB11CR0: 0,37hDCB02CR0: 0,2Bh
DCB12CR0: 0,3BhDCB03CR0: 0,2Fh
DCB13CR0: 0,3Fh

	7	6	5	4	3	2	1	0
アクセス: POR							RW : 0	RW : 0
ビット名							Pass Mode	Enable

その他の情報は、Digital Blocks (デジタルブロック) の章で 216 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:2]	予約	
[1]	Pass Mode	DATA 入力選択はプライマリ出力およびブロック割り込み出力へ直接駆動されます。CLK 入力選択は補助出力へ直接駆動されます。 0 通常 CRC/PRS 出力 1 出力は無視されます。
[0]	Enable	0 CRC/PRS は無効です。 1 CRC/PRS は有効です。

13.1.12 DCBxxCR0

(SPIM コントロール)

Digital Communication Type B Block Control Register 0 (デジタル通信タイプ B ブロックコントロールレジスタ 0)

個々のレジスタ名およびアドレス

DCB02CR0: 0,2Bh
DCB12CR0: 0,3BhDCB03CR0: 0,2Fh
DCB13CR0: 0,3Fh

	7	6	5	4	3	2	1	0
アクセス: POR	RW:0	R:0	R:0	R:1	R:0	RW:0	RW:0	RW:0
ビット名	LSB First	Overrun	SPI Complete	TX Reg Empty	RX Reg Full	Clock Phase	Clock Polarity	Enable

LSB First、Clock Phase、および Clock Polarity ビットは設定ビットで、一旦ブロックが有効になると変更すべきではありません。これらのビットは、ブロックが有効になるときにセットすることができます。その他の情報は、Digital Blocks (デジタルブロック) の章で 216 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	LSB First	このビットは SPI 転送中に変更すべきでない点に注意してください。 0 データは MSB を最初にしてシフトされました。 1 データは LSB を最初にしてシフトされました。
[6]	Overrun	0 オーバーランは発生していません。 1 オーバーランが発生しました。以前のバイトを読み取る前に新しいバイトが受信され RX バッファにロードされました。この (CR0) レジスタの読み取りによってクリアされます。
[5]	SPI Complete	0 バイトがまだシフト中、または伝送がアクティブでないことを示します。 1 バイトがシフトされ、すべての関連ブロックが生成されたことを示します。この (CR0) レジスタの読み取りによってクリアされます。オプションの割り込みです。
[4]	TX Reg Empty	リセット状態およびブロックが無効な場合の状態は '1' である点に注意してください。 0 バイトが現在 TX レジスタ中にバッファされていることを示します。 1 バイトを TX レジスタ中に書き込み可能なことを示します。TX バッファ (DR1) レジスタの書き込みによってクリアされます。デフォルトの割り込みです。このステータスは有効なブロック上で最初にアサートされます。しかし、TX Reg Empty 割り込みは最初のデータバイトが書き込まれシフターに転送された後にのみ発生します。
[3]	RX Reg Full	0 RX レジスタは空です。 1 バイトが受信され RX レジスタにロードされました。RX バッファ (DR2) レジスタの読み取りによってクリアされます。
[2]	Clock Phase	0 データはクロックの立ち上がりエッジでラッチされます。データは立ち下がりエッジで変わります (モード 0,1)。 1 データはクロックの立ち上がりエッジで変わります。データは立ち下がりエッジでラッチされます (モード 2,3)。
[1]	Clock Polarity	0 非反転、クロックアイドルは low です (モード 0,2)。 1 反転、クロックアイドルは high です (モード 1,3)。
[0]	Enable	0 SPI マスターは無効です。 1 SPI マスターは有効です。

13.1.13 DCBxxCR0

(SPIS コントロール)

Digital Communication Type B Block Control Register 0 (デジタル通信タイプ B ブロックコントロールレジスタ 0)

個々のレジスタ名およびアドレス

DCB02CR0: 0,2Bh
DCB12CR0: 0,3BhDCB03CR0: 0,2Fh
DCB13CR0: 0,3Fh

	7	6	5	4	3	2	1	0
アクセス: POR	RW:0	R:0	R:0	R:1	R:0	RW:0	RW:0	RW:0
ビット名	LSB First	Overrun	SPI Complete	TX Reg Empty	RX Reg Full	Clock Phase	Clock Polarity	Enable

LSB First、Clock Phase、および Clock Polarity ビットは設定ビットで、一旦ブロックが有効になると変更すべきではありません。これらのビットは、ブロックが有効になるときにセットすることができます。その他の情報は、Digital Blocks (デジタルブロック) の章で 216 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	LSB First	このビットは SPI 転送中に変更すべきでない点に注意してください。 0 データは MSB を最初にしてシフトされました。 1 データは LSB を最初にしてシフトされました。
[6]	Overrun	0 オーバーランは発生していません。 1 オーバーランが発生しました。以前のバイトを読み取る前に新しいバイトが受信され RX バッファにロードされました。この (CR0) レジスタの読み取りによってクリアされます。
[5]	SPI Complete	0 バイトがまだシフト中、または伝送がアクティブでないことを示します。 1 バイトがシフトされ、すべての関連ブロックが生成されたことを示します。この (CR0) レジスタの読み取りによってクリアされます。オプションの割り込みです。
[4]	TX Reg Empty	リセット状態およびブロックが無効な場合の状態は '1' である点に注意してください。 0 バイトが現在 TX レジスタ中にバッファされていることを示します。 1 バイトを TX レジスタ中に書き込み可能なことを示します。TX バッファ (DR1) レジスタの書き込みによってクリアされます。デフォルトの割り込みです。このステータスは有効なブロック上で最初にアサートされます。しかし、TX Reg Empty 割り込みは最初のデータバイトが書き込まれシフターに転送された後にのみ発生します。
[3]	RX Reg Full	0 RX レジスタは空です。 1 バイトが受信され RX レジスタにロードされました。RX バッファ (DR2) レジスタの読み取りによってクリアされます。
[2]	Clock Phase	0 データはクロックの立ち上がりエッジでラッチされます。データは立ち下がりエッジで変わります。 1 データはクロックの立ち上がりエッジで変わります。データは立ち下がりエッジでラッチされます。
[1]	Clock Polarity	0 非反転、クロックアイドルは low です。 1 反転、クロックアイドルは high です。
[0]	Enable	0 SPI スレーブは無効です。 1 SPI スレーブは有効です。

13.1.14 DCBxxCR0

(UART トランスミッタコントロール)

Digital Communication Type B Block Control Register 0 (デジタル通信タイプ B ブロックコントロールレジスタ 0)

個々のレジスタ名およびアドレス

DCB02CR0: 0,2Bh
DCB12CR0: 0,3BhDCB03CR0: 0,2Fh
DCB13CR0: 0,3Fh

	7	6	5	4	3	2	1	0
アクセス: POR			R : 0	R : 1		RW : 0	RW : 0	RW : 0
ビット名			TX Complete	TX Reg Empty		Parity Type	Parity Enable	Enable

その他の情報は、Digital Blocks (デジタルブロック) の章で 216 ページの "Register Definitions (レジスタ定義)" を参照してください。受信モードの定義については、104 ページのセクション 13.1.15 を参照してください。

ビット	名前	説明
[7:6]	予約	
[5]	TX Complete	0 バイトがまだシフトの処理中であることを示します。 1 バイトがシフトされ、すべての関連フレーミングビットが生成されたことを示します。オプションの割り込みです。この (CR0) レジスタの読み取りによってクリアされます。
[4]	TX Reg Empty	リセット状態およびブロックが無効な場合の状態は '1' である点に注意してください。 0 バイトが現在 TX レジスタ中にバッファされていることを示します。 1 バイトを TX レジスタ中に書き込み可能なことを示します。TX バッファレジスタの書き込みによってクリアされます。デフォルトの割り込みです。TX Reg Empty 割り込みは最初のデータバイトが書き込まれシフターに転送された後のみ発生します。
[3]	予約	
[2]	Parity Type	0 偶数パリティ。 1 奇数パリティ。
[1]	Parity Enable	0 パリティは無効です。 1 パリティは有効で、フレームはパリティビットを含みます。
[0]	Enable	0 Serial Transmitter は無効です。 1 Serial Transmitter は有効です。

13.1.15 DCBxxCR0

(UART レシーバコントロール)

Digital Communication Type B Block Control Register 0 (デジタル通信タイプ B ブロックコントロールレジスタ 0)

個々のレジスタ名およびアドレス

DCB02CR0: 0,2Bh
DCB12CR0: 0,3BhDCB03CR0: 0,2Fh
DCB13CR0: 0,3Fh

	7	6	5	4	3	2	1	0
アクセス: POR	R:0	R:0	R:0	R:0	R:0	RW:0	RW:0	RW:0
ビット名	Parity Error	Overrun	Framing Error	EX Active	RX Reg Full	Parity Type	Parity Enable	Enable

その他の情報は、Digital Blocks (デジタルブロック) の章で 216 ページの "Register Definitions (レジスタ定義)" を参照してください。送信モードの定義については、103 ページのセクション 13.1.14 を参照してください。

ビット	名前	説明	
[7]	Parity Error	0	パリティエラーが発生していないことを示します。
		1	RX Reg Full がセットされている場合に有効で、受信バイトでパリティエラーが発生したことを示します。この (CR0) レジスタの読み取りによってクリアされます。
[6]	Overrun	0	オーバーランが発生していないことを示します。
		1	RX Reg Full がセットされている場合に有効で、次のバイトがロードされる前に RX バッファのバイトが読み取られなかったことを示します。この (CR0) レジスタの読み取りによってクリアされます。
[5]	Framing Error	0	フレーミングエラーが発生していないことを示します。
		1	RX Reg Full がセットされている場合に有効で、フレーミングエラーが発生した (STOP ビットでロジック '1' ではなくロジック '0' がサンプリングされた) ことを示します。この (CR0) レジスタの読み取りによってクリアされます。
[4]	RX Active	0	受信が行われていないことを示します。
		1	受信が行われていることを示します。START ビットの検出によってセットされ、STOP ビットのサンプリング時にクリアされます。
[3]	RX Reg Full	0	RX バッファレジスタが空であることを示します。
		1	バイトが受信され RX バッファ (DR2) レジスタに転送されたことを示します。このビットは、RX バッファレジスタ (DR2) が CPU によって読み取られたときにクリアされます。割り込みソース。
[2]	Parity Type	0	偶数パリティ。
		1	奇数パリティ。
[1]	Parity Enable	0	パリティは無効です。
		1	パリティは有効で、フレームはパリティビットを含みます。
[0]	Enable	0	Serial Receiver は無効です。
		1	Serial Receiver は有効です。

13.1.16 AMX_IN

Analog Input Select Register (アナログ入力選択レジスタ)

個々のレジスタ名およびアドレス

AMX_IN: 0,60h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0							
ビット名	ACI3[1:0]		ACI2[1:0]		ACI1[1:0]		ACI0[1:0]	

その他の情報は、Analog Input Configuration (アナログ入力設定) の章で 255 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:6]	ACI3[1:0]	<p>アナログカラム Mux 3 を選択します。</p> <p>00b ACM3 P0[0] 01b ACM3 P0[2] 10b ACM3 P0[4] 11b ACM3 P0[6]</p>
[5:4]	ACI2[1:0]	<p>アナログカラム Mux 2 を選択します。</p> <p>00b ACM2 P0[1] 01b ACM2 P0[3] 10b ACM2 P0[5] 11b ACM2 P0[7]</p> <p>ノート ACol2Mux (ABF_CR, Address = Bank1, 62h) 0 AC2 = ACM2 1 AC2 = ACM3</p>
[3:2]	ACI1[1:0]	<p>アナログカラム Mux 1 を選択します。</p> <p>00b ACM1 P0[0] 01b ACM1 P0[2] 10b ACM1 P0[4] 11b ACM1 P0[6]</p> <p>ノート ACol1Mux (ABF_CR, Address = Bank1, 62h) 0 AC1 = ACM1 1 AC1 = ACM0</p>
[1:0]	ACI0[1:0]	<p>アナログカラム Mux 0 を選択します。</p> <p>00b ACM0 P0[1] 01b ACM0 P0[3] 10b ACM0 P0[5] 11b ACM0 P0[7]</p>

13.1.17 ARF_CR

Analog Reference Control Register (アナログリファレンスコントロールレジスタ)

個々のレジスタ名およびアドレス

ARF_CR: 0,63h

	7	6	5	4	3	2	1	0
アクセス: POR		RW : 0		RW : 0			RW : 0	
ビット名		HBE		REF[2:0]			PWR[2:0]	

その他の情報は、Analog Reference (アナログリファレンス) の章で 258 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明																																				
[7]	予約																																					
[6]	HBE	オペアンプのバイアスレベル制御。 0 アナログアレイ用 Low バイアスモード。 1 アナログアレイ用 High バイアスモード。																																				
[5:3]	REF[2:0]	アナログアレイリファレンスコントロール (V _{ss} を考慮した値)。これらの 3 つのビットはアナロググラウンド (AGND)、High リファレンス (RefHigh)、Low リファレンス (RefLow) のソースを選択します。 <table border="1"> <thead> <tr> <th></th> <th>AGND</th> <th>RefHigh</th> <th>RefLow</th> </tr> </thead> <tbody> <tr> <td>000b</td> <td>Vdd/2</td> <td>Vdd/2 + Bandgap</td> <td>Vdd/2 - Bandgap</td> </tr> <tr> <td>001b</td> <td>P2[4]</td> <td>P2[4] + P2[6]</td> <td>P2[4] - P2[6]</td> </tr> <tr> <td>010b</td> <td>Vdd/2</td> <td>Vdd/2 + Vdd/2</td> <td>Vdd/2 - Vdd/2</td> </tr> <tr> <td>011b</td> <td>2 x Bandgap</td> <td>2 x Bandgap + Bandgap</td> <td>2 x Bandgap - Bandgap</td> </tr> <tr> <td>100b</td> <td>2 x Bandgap</td> <td>2 x Bandgap + P2[6]</td> <td>2 x Bandgap - P2[6]</td> </tr> <tr> <td>101b</td> <td>P2[4]</td> <td>P2[4] + Bandgap</td> <td>P2[4] - Bandgap</td> </tr> <tr> <td>110b</td> <td>Bandgap</td> <td>Bandgap + Bandgap</td> <td>Bandgap - Bandgap</td> </tr> <tr> <td>111b</td> <td>1.6 x Bandgap</td> <td>1.6 x Bandgap + 1.6 x Bandgap</td> <td>1.6 x Bandgap - 1.6 x Bandgap</td> </tr> </tbody> </table>		AGND	RefHigh	RefLow	000b	Vdd/2	Vdd/2 + Bandgap	Vdd/2 - Bandgap	001b	P2[4]	P2[4] + P2[6]	P2[4] - P2[6]	010b	Vdd/2	Vdd/2 + Vdd/2	Vdd/2 - Vdd/2	011b	2 x Bandgap	2 x Bandgap + Bandgap	2 x Bandgap - Bandgap	100b	2 x Bandgap	2 x Bandgap + P2[6]	2 x Bandgap - P2[6]	101b	P2[4]	P2[4] + Bandgap	P2[4] - Bandgap	110b	Bandgap	Bandgap + Bandgap	Bandgap - Bandgap	111b	1.6 x Bandgap	1.6 x Bandgap + 1.6 x Bandgap	1.6 x Bandgap - 1.6 x Bandgap
	AGND	RefHigh	RefLow																																			
000b	Vdd/2	Vdd/2 + Bandgap	Vdd/2 - Bandgap																																			
001b	P2[4]	P2[4] + P2[6]	P2[4] - P2[6]																																			
010b	Vdd/2	Vdd/2 + Vdd/2	Vdd/2 - Vdd/2																																			
011b	2 x Bandgap	2 x Bandgap + Bandgap	2 x Bandgap - Bandgap																																			
100b	2 x Bandgap	2 x Bandgap + P2[6]	2 x Bandgap - P2[6]																																			
101b	P2[4]	P2[4] + Bandgap	P2[4] - Bandgap																																			
110b	Bandgap	Bandgap + Bandgap	Bandgap - Bandgap																																			
111b	1.6 x Bandgap	1.6 x Bandgap + 1.6 x Bandgap	1.6 x Bandgap - 1.6 x Bandgap																																			
[2:0]	PWR[2:0]	アナログアレイ電力コントロール <table border="1"> <thead> <tr> <th></th> <th>リファレンス</th> <th>CT ブロック</th> <th>SC ブロック</th> </tr> </thead> <tbody> <tr> <td>000b</td> <td>Off</td> <td>Off</td> <td>Off</td> </tr> <tr> <td>001b</td> <td>Low</td> <td>On</td> <td>Off</td> </tr> <tr> <td>010b</td> <td>Medium</td> <td>On</td> <td>Off</td> </tr> <tr> <td>011b</td> <td>High</td> <td>On</td> <td>Off</td> </tr> <tr> <td>100b</td> <td>Off</td> <td>Off</td> <td>Off</td> </tr> <tr> <td>101b</td> <td>Low</td> <td>On</td> <td>On</td> </tr> <tr> <td>110b</td> <td>Medium</td> <td>On</td> <td>On</td> </tr> <tr> <td>111b</td> <td>High</td> <td>On</td> <td>On</td> </tr> </tbody> </table>		リファレンス	CT ブロック	SC ブロック	000b	Off	Off	Off	001b	Low	On	Off	010b	Medium	On	Off	011b	High	On	Off	100b	Off	Off	Off	101b	Low	On	On	110b	Medium	On	On	111b	High	On	On
	リファレンス	CT ブロック	SC ブロック																																			
000b	Off	Off	Off																																			
001b	Low	On	Off																																			
010b	Medium	On	Off																																			
011b	High	On	Off																																			
100b	Off	Off	Off																																			
101b	Low	On	On																																			
110b	Medium	On	On																																			
111b	High	On	On																																			

13.1.18 CMP_CR0

Analog Comparator Bus 0 Register (アナログ比較器バス 0 レジスタ)

個々のレジスタ名およびアドレス

CMP_CR0: 0,64h

	7	6	5	4	3	2	1	0
アクセス: POR	R : 0	R : 0	R : 0	R : 0	RW : 0	RW : 0	RW : 0	RW : 0
ビット名	COMP[3]	COMP[2]	COMP[1]	COMP[0]	AINT[3]	AINT[2]	AINT[1]	AINT[0]

その他の情報は、Analog Interface (アナログインターフェイス) の章で 246 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	COMP[3]	カラム 3 の比較器バス状態。 このビットは、比較器ラッチ無効ビットがセットされていない場合は、PHI2 の立ち上がりエッジで更新されます。比較器ラッチ無効ビットがセットされている場合、このビットはアナログアレイ中の比較器バスに対して透過です。
[6]	COMP[2]	カラム 2 の比較器バス状態。 このビットは、比較器ラッチ無効ビットがセットされていない場合は、PHI2 の立ち上がりエッジで更新されます。比較器ラッチ無効ビットがセットされている場合、このビットはアナログアレイ中の比較器バスに対して透過です。
[5]	COMP[1]	カラム 1 の比較器バス状態。 このビットは、比較器ラッチ無効ビットがセットされていない場合は、PHI2 の立ち上がりエッジで更新されます。比較器ラッチ無効ビットがセットされている場合、このビットはアナログアレイ中の比較器バスに対して透過です。
[4]	COMP[0]	カラム 0 の比較器バス状態。 このビットは、比較器ラッチ無効ビットがセットされていない場合は、PHI2 の立ち上がりエッジで更新されます。比較器ラッチ無効ビットがセットされている場合、このビットはアナログアレイ中の比較器バスに対して透過です。
[3]	AINT[3]	カラム 3 のアナログ比較器割り込みの選択を制御します。 0 カラムからの比較器データビットが割り込みコントローラへの入力です。 1 カラムの PHI2 の立ち下がりエッジが割り込みコントローラへの入力です。
[2]	AINT[2]	カラム 2 のアナログ比較器割り込みの選択を制御します。 0 カラムからの比較器データビットが割り込みコントローラへの入力です。 1 カラムの PHI2 の立ち下がりエッジが割り込みコントローラへの入力です。
[1]	AINT[1]	カラム 1 のアナログ比較器割り込みの選択を制御します。 0 カラムからの比較器データビットが割り込みコントローラへの入力です。 1 カラムの PHI2 の立ち下がりエッジが割り込みコントローラへの入力です。
[0]	AINT[0]	カラム 0 のアナログ比較器割り込みの選択を制御します。 0 カラムからの比較器データビットが割り込みコントローラへの入力です。 1 カラムの PHI2 の立ち下がりエッジが割り込みコントローラへの入力です。

13.1.19 ASY_CR

Analog Synchronization Control Register (アナログ同期コントロールレジスタ)

個々のレジスタ名およびアドレス

ASY_CR: 0,65h

	7	6	5	4	3	2	1	0
アクセス: POR			W : 0		RW : 0		RW : 0	RW : 0
ビット名			SARCNT[2:0]		SARSIGN		SARCOL[1:0]	SYNCEN

その他の情報は、Analog Interface (アナログインターフェイス) の章で 246 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	予約	
[6:4]	SARCNT[2:0]	初期 SAR カウント。このフィールドは処理する SAR ビットの数に初期化されます。 ノート SARCNT ビットに (0 以外の) 書き込みを行うと、アナログアレイ中の任意のアナログレジスタが修正のために再度読み取られます。これらのビットは SAR 処理の場合を除いて常にゼロでなければなりません。
[3]	SARSIGN	このビットはブロックアドレスのタイプに基づいて SAR 比較器を調整します。2 つ以上のアナログブロック (7 ビット以上) の DAC 設定では、このビットは最上位ブロックを処理する場合は '0' に、最下位ブロックを処理する場合は '1' にセットすべきです。これは、最下位ブロックは最上位ブロックの反転入力だからです。
[2:1]	SARCOL[1:0]	SAR 比較器ブロックの位置に対応して選択されたカラム。比較器と DAC は同じブロック中になる場合がある点に注意してください。 00b Analog Column 0 が SAR 比較器のソースです。 01b Analog Column 1 が SAR 比較器のソースです。 10b Analog Column 2 が SAR 比較器のソースです。 11b Analog Column 3 が SAR 比較器のソースです。
[0]	SYNCEN	アナログ Switch Cap ブロック内のレジスタへの書き込みが行われた場合、'1' にセットすると、CPU は PHI1 の立ち上がりエッジまで CPU をストールします。 0 CPU ストール無効。 1 CPU ストール有効。

13.1.20 CMP_CR1

Analog Comparator Bus 1 Register (アナログ比較器バス 1 レジスタ)

個々のレジスタ名およびアドレス

CMP_CR1: 0,66h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0	RW : 0	RW : 0	RW : 0				
ビット名	CLDIS[3]	CLDIS[2]	CLDIS[1]	CLDIS[0]				

その他の情報は、Analog Interface (アナログインターフェイス) の章で 246 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	CLDIS[3]	比較器出カラッチ、カラム 3 を制御します。 0 比較器データビットは PHI2 の立ち上がりエッジでアナログ比較器バスから更新されます。 1 比較器データビットはアナログ比較器バスに透過的に接続されます。このモードは、アナログカラム割り込みの結果としてパーツをスリープから復帰させるために、パワーダウン操作で使用されます。
[6]	CLDIS[2]	比較器出カラッチ、カラム 2 を制御します。 0 比較器データビットは PHI2 の立ち上がりエッジでアナログ比較器バスから更新されます。 1 比較器データビットはアナログ比較器バスに透過的に接続されます。このモードは、アナログカラム割り込みの結果としてパーツをスリープから復帰させるために、パワーダウン操作で使用されます。
[5]	CLDIS[1]	比較器出カラッチ、カラム 1 を制御します。 0 比較器データビットは PHI2 の立ち上がりエッジでアナログ比較器バスから更新されます。 1 比較器データビットはアナログ比較器バスに透過的に接続されます。このモードは、アナログカラム割り込みの結果としてパーツをスリープから復帰させるために、パワーダウン操作で使用されます。
[4]	CLDIS[0]	比較器出カラッチ、カラム 0 を制御します。 0 比較器データビットは PHI2 の立ち上がりエッジでアナログ比較器バスから更新されます。 1 比較器データビットはアナログ比較器バスに透過的に接続されます。このモードは、アナログカラム割り込みの結果としてパーツをスリープから復帰させるために、パワーダウン操作で使用されます。
[3:0]	予約	

13.1.21 ACBxxCR3

Analog Continuous Time Type B Block Control Register 3 (アナログ連続時間タイプ B ブロックコントロールレジスタ 3)

個々のレジスタ名およびアドレス

ACB00CR3 : x,70h

ACB01CR3 : x,74h

ACB02CR3 : x,78h

ACB03CR3 : x,7Ch

	7	6	5	4	3	2	1	0
アクセス: POR					RW : 0	RW : 0	RW : 0	RW : 0
ビット名					LPCMPEN	CMOUT	INSAMP	EXGAIN

その他の情報は、Continuous Time Block (連続時間ブロック) の章で 267 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:4]	予約	
[3]	LPCMPEN	0 低電力比較器は無効です。 1 低電力比較器は有効です。
[2]	CMOUT	0 接続およびカラム出力なし 1 コモンモードをカラム出力に接続します
[1]	INSAMP	0 通常モード 1 計装アンプを形成するためにカラムを越えて増幅器を接続します
[0]	EXGAIN	0 標準利得モード 1 高利得モード (ACBxxCR0 を参照)

13.1.22 ACBxxCR0

Analog Continuous Time Type B Block Control Register 0 (アナログ連続時間タイプ B ブロックコントロールレジスタ 0)

個々のレジスタ名およびアドレス

ACB00CR0 : x,71h

ACB01CR0 : x,75h

ACB02CR0 : x,79h

ACB03CR0 : x,7Dh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0			RW : 0		RW : 0		RW : 0
ビット名	RTapMux[3:0]			Gain		RTopMux		RBotMux[1:0]

その他の情報は、Continuous Time Block (連続時間ブロック) の章で 267 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明																																																																																																																		
[7:4]	RTapMux[3:0]	18 の抵抗タップの 1 つを選択するためのエンコーディング。RTapMux[3:0] の 4 つのビットで 16 のタップを選択することができます。2 つの追加タップ選択は、ACBxxCR3 のビット 0、EXGAIN を使用して提供されます。EXGAIN ビットは RTapMux の値 0h および 1h にのみ影響します。																																																																																																																		
		<table border="1"> <thead> <tr> <th>RTap</th> <th>EXGAIN</th> <th>Rf</th> <th>Ri</th> <th>損失</th> <th>利得</th> </tr> </thead> <tbody> <tr><td>0h</td><td>1</td><td>47</td><td>1</td><td>0.0208</td><td>48.000</td></tr> <tr><td>1h</td><td>1</td><td>46</td><td>2</td><td>0.0417</td><td>24.000</td></tr> <tr><td>0h</td><td>0</td><td>45</td><td>3</td><td>0.0625</td><td>16.000</td></tr> <tr><td>1h</td><td>0</td><td>42</td><td>6</td><td>0.1250</td><td>8.000</td></tr> <tr><td>2h</td><td>0</td><td>39</td><td>9</td><td>0.1875</td><td>5.333</td></tr> <tr><td>3h</td><td>0</td><td>36</td><td>12</td><td>0.2500</td><td>4.000</td></tr> <tr><td>4h</td><td>0</td><td>33</td><td>15</td><td>0.3125</td><td>3.200</td></tr> <tr><td>5h</td><td>0</td><td>30</td><td>18</td><td>0.3750</td><td>2.667</td></tr> <tr><td>6h</td><td>0</td><td>27</td><td>21</td><td>0.4375</td><td>2.286</td></tr> <tr><td>7h</td><td>0</td><td>24</td><td>24</td><td>0.5000</td><td>2.000</td></tr> <tr><td>8h</td><td>0</td><td>21</td><td>27</td><td>0.5625</td><td>1.778</td></tr> <tr><td>9h</td><td>0</td><td>18</td><td>30</td><td>0.6250</td><td>1.600</td></tr> <tr><td>Ah</td><td>0</td><td>15</td><td>33</td><td>0.6875</td><td>1.455</td></tr> <tr><td>Bh</td><td>0</td><td>12</td><td>36</td><td>0.7500</td><td>1.333</td></tr> <tr><td>Ch</td><td>0</td><td>9</td><td>39</td><td>0.8125</td><td>1.231</td></tr> <tr><td>Dh</td><td>0</td><td>6</td><td>42</td><td>0.8750</td><td>1.143</td></tr> <tr><td>Eh</td><td>0</td><td>3</td><td>45</td><td>0.9375</td><td>1.067</td></tr> <tr><td>Fh</td><td>0</td><td>0</td><td>48</td><td>1.0000</td><td>1.000</td></tr> </tbody> </table>	RTap	EXGAIN	Rf	Ri	損失	利得	0h	1	47	1	0.0208	48.000	1h	1	46	2	0.0417	24.000	0h	0	45	3	0.0625	16.000	1h	0	42	6	0.1250	8.000	2h	0	39	9	0.1875	5.333	3h	0	36	12	0.2500	4.000	4h	0	33	15	0.3125	3.200	5h	0	30	18	0.3750	2.667	6h	0	27	21	0.4375	2.286	7h	0	24	24	0.5000	2.000	8h	0	21	27	0.5625	1.778	9h	0	18	30	0.6250	1.600	Ah	0	15	33	0.6875	1.455	Bh	0	12	36	0.7500	1.333	Ch	0	9	39	0.8125	1.231	Dh	0	6	42	0.8750	1.143	Eh	0	3	45	0.9375	1.067	Fh	0	0	48	1.0000	1.000
RTap	EXGAIN	Rf	Ri	損失	利得																																																																																																															
0h	1	47	1	0.0208	48.000																																																																																																															
1h	1	46	2	0.0417	24.000																																																																																																															
0h	0	45	3	0.0625	16.000																																																																																																															
1h	0	42	6	0.1250	8.000																																																																																																															
2h	0	39	9	0.1875	5.333																																																																																																															
3h	0	36	12	0.2500	4.000																																																																																																															
4h	0	33	15	0.3125	3.200																																																																																																															
5h	0	30	18	0.3750	2.667																																																																																																															
6h	0	27	21	0.4375	2.286																																																																																																															
7h	0	24	24	0.5000	2.000																																																																																																															
8h	0	21	27	0.5625	1.778																																																																																																															
9h	0	18	30	0.6250	1.600																																																																																																															
Ah	0	15	33	0.6875	1.455																																																																																																															
Bh	0	12	36	0.7500	1.333																																																																																																															
Ch	0	9	39	0.8125	1.231																																																																																																															
Dh	0	6	42	0.8750	1.143																																																																																																															
Eh	0	3	45	0.9375	1.067																																																																																																															
Fh	0	0	48	1.0000	1.000																																																																																																															
[3]	Gain	出力タップの利得または損失設定を選択します。 0 損失 1 利得																																																																																																																		
[2]	RTopMux	フィードバック抵抗選択用のエンコーディング。 0 Rtop から Vdd 1 Rtop からオペアンプの出力																																																																																																																		
[1:0]	RbotMux[1:0]	フィードバック抵抗選択用のエンコーディング。ACBxxCR3 のビット 1 がセットされている場合、Bits [1:0] は無視されます。この場合、抵抗ストリングの最下部はクロスカラムに接続されます。利用可能なマルチプレクサ入力はいくつかの PSoC ブロックによって異なる点に注意してください。																																																																																																																		
		<table border="1"> <thead> <tr> <th></th> <th>ACB00</th> <th>ACB01</th> <th>ACB02</th> <th>ACB03</th> </tr> </thead> <tbody> <tr><td>00b</td><td>ACB01</td><td>ACB00</td><td>ACB03</td><td>ACB02</td></tr> <tr><td>01b</td><td>AGND</td><td>AGND</td><td>AGND</td><td>AGND</td></tr> <tr><td>10b</td><td>Vss</td><td>Vss</td><td>Vss</td><td>Vss</td></tr> <tr><td>11b</td><td>ASC10</td><td>ASD11</td><td>ASC12</td><td>ASD13</td></tr> </tbody> </table>		ACB00	ACB01	ACB02	ACB03	00b	ACB01	ACB00	ACB03	ACB02	01b	AGND	AGND	AGND	AGND	10b	Vss	Vss	Vss	Vss	11b	ASC10	ASD11	ASC12	ASD13																																																																																									
	ACB00	ACB01	ACB02	ACB03																																																																																																																
00b	ACB01	ACB00	ACB03	ACB02																																																																																																																
01b	AGND	AGND	AGND	AGND																																																																																																																
10b	Vss	Vss	Vss	Vss																																																																																																																
11b	ASC10	ASD11	ASC12	ASD13																																																																																																																

13.1.23 ACBxxCR1

Analog Continuous Time Type B Block Control Register 1 (アナログ連続時間タイプ B ブロックコントロールレジスタ 1)

個々のレジスタ名およびアドレス

ACB00CR1 : x,72h

ACB01CR1 : x,76h

ACB02CR1 : x,7Ah

ACB03CR1 : x,7Eh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0	RW : 0	RW : 0			RW : 0		
ビット名	AnalogBus	CompBus	NMux[2:0]			PMux[2:0]		

その他の情報は、Continuous Time Block (連続時間ブロック) の章で 267 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明																																													
[7]	AnalogBus	アナログバスへの出力を有効にします。 0 アナログカラムバスへの出力を無効にします。 1 アナログカラムバスへの出力を有効にします。																																													
[6]	CompBus	比較器バスへの出力を有効にします。 0 比較器バスへの出力を無効にします。 1 比較器バスへの出力を有効にします。																																													
[5:3]	NMux[2:0]	負の入力選択用のエンコーディング。利用可能なマルチプレクサ入力是个々の PSoC ブロックによって異なる点に注意してください。 <table border="1"> <thead> <tr> <th></th> <th>ACB00</th> <th>ACB01</th> <th>ACB02</th> <th>ACB03</th> </tr> </thead> <tbody> <tr> <td>000b</td> <td>ACB01</td> <td>ACB00</td> <td>ACB03</td> <td>ACB02</td> </tr> <tr> <td>001b</td> <td>AGND</td> <td>AGND</td> <td>AGND</td> <td>AGND</td> </tr> <tr> <td>010b</td> <td>REFLO</td> <td>REFLO</td> <td>REFLO</td> <td>REFLO</td> </tr> <tr> <td>011b</td> <td>REFHI</td> <td>REFHI</td> <td>REFHI</td> <td>REFHI</td> </tr> <tr> <td>100b</td> <td>FB[#]</td> <td>FB[#]</td> <td>FB[#]</td> <td>FB[#]</td> </tr> <tr> <td>101b</td> <td>ASC10</td> <td>ASD11</td> <td>ASC12</td> <td>ASD13</td> </tr> <tr> <td>110b</td> <td>ASD11</td> <td>ASC10</td> <td>ASD13</td> <td>ASC12</td> </tr> <tr> <td>111b</td> <td>Port Inputs</td> <td>Port Inputs</td> <td>Port Inputs</td> <td>Port Inputs</td> </tr> </tbody> </table> <p>[#] 対応する CR0 のビット [7:4] および CR3 のビット 0 によって定義されるフィードバック抵抗のタップからのフィードバックポイント。</p>		ACB00	ACB01	ACB02	ACB03	000b	ACB01	ACB00	ACB03	ACB02	001b	AGND	AGND	AGND	AGND	010b	REFLO	REFLO	REFLO	REFLO	011b	REFHI	REFHI	REFHI	REFHI	100b	FB [#]	FB [#]	FB [#]	FB [#]	101b	ASC10	ASD11	ASC12	ASD13	110b	ASD11	ASC10	ASD13	ASC12	111b	Port Inputs	Port Inputs	Port Inputs	Port Inputs
	ACB00	ACB01	ACB02	ACB03																																											
000b	ACB01	ACB00	ACB03	ACB02																																											
001b	AGND	AGND	AGND	AGND																																											
010b	REFLO	REFLO	REFLO	REFLO																																											
011b	REFHI	REFHI	REFHI	REFHI																																											
100b	FB [#]	FB [#]	FB [#]	FB [#]																																											
101b	ASC10	ASD11	ASC12	ASD13																																											
110b	ASD11	ASC10	ASD13	ASC12																																											
111b	Port Inputs	Port Inputs	Port Inputs	Port Inputs																																											
[2:0]	PMux[2:0]	正の入力選択用のエンコーディング。利用可能なマルチプレクサ入力是个々の PSoC ブロックによって異なる点に注意してください。 <table border="1"> <thead> <tr> <th></th> <th>ACB00</th> <th>ACB01</th> <th>ACB02</th> <th>ACB03</th> </tr> </thead> <tbody> <tr> <td>000b</td> <td>REFLO</td> <td>ACB02</td> <td>ACB01</td> <td>REFLO</td> </tr> <tr> <td>001b</td> <td>Port Inputs</td> <td>Port Inputs</td> <td>Port Inputs</td> <td>Port Inputs</td> </tr> <tr> <td>010b</td> <td>ACB01</td> <td>ACB00</td> <td>ACB03</td> <td>ACB02</td> </tr> <tr> <td>011b</td> <td>AGND</td> <td>AGND</td> <td>AGND</td> <td>AGND</td> </tr> <tr> <td>100b</td> <td>ASC10</td> <td>ASD11</td> <td>ASC12</td> <td>ASD13</td> </tr> <tr> <td>101b</td> <td>ASD11</td> <td>ASC10</td> <td>ASD13</td> <td>ASC12</td> </tr> <tr> <td>110b</td> <td>ABUS0</td> <td>ABUS1</td> <td>ABUS2</td> <td>ABUS3</td> </tr> <tr> <td>111b</td> <td>FB[#]</td> <td>FB[#]</td> <td>FB[#]</td> <td>FB[#]</td> </tr> </tbody> </table> <p>[#] 対応する CR0 のビット [7:4] および CR3 のビット 0 によって定義されるフィードバック抵抗のタップからのフィードバックポイント。</p>		ACB00	ACB01	ACB02	ACB03	000b	REFLO	ACB02	ACB01	REFLO	001b	Port Inputs	Port Inputs	Port Inputs	Port Inputs	010b	ACB01	ACB00	ACB03	ACB02	011b	AGND	AGND	AGND	AGND	100b	ASC10	ASD11	ASC12	ASD13	101b	ASD11	ASC10	ASD13	ASC12	110b	ABUS0	ABUS1	ABUS2	ABUS3	111b	FB [#]	FB [#]	FB [#]	FB [#]
	ACB00	ACB01	ACB02	ACB03																																											
000b	REFLO	ACB02	ACB01	REFLO																																											
001b	Port Inputs	Port Inputs	Port Inputs	Port Inputs																																											
010b	ACB01	ACB00	ACB03	ACB02																																											
011b	AGND	AGND	AGND	AGND																																											
100b	ASC10	ASD11	ASC12	ASD13																																											
101b	ASD11	ASC10	ASD13	ASC12																																											
110b	ABUS0	ABUS1	ABUS2	ABUS3																																											
111b	FB [#]	FB [#]	FB [#]	FB [#]																																											

13.1.24 ACBxxCR2

Analog Continuous Time Type B Block Control Register 2 (アナログ連続時間タイプ B ブロックコントロールレジスタ 2)

個々のレジスタ名およびアドレス

ACB00CR2 : x,73h

ACB01CR2 : x,77h

ACB02CR2 : x,7Bh

ACB03CR2 : x,7Fh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0	RW : 0	RW : 0	RW : 0	RW : 0		RW : 0	
ビット名	CPhase	CLatch	CompCap	TMUXEN	TestMux[1:0]		PWR[1:0]	

その他の情報は、Continuous Time Block (連続時間ブロック) の章で 267 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明																													
[7]	CPhase	0 比較器コントロールラッチは PHI1 上で透過です。 1 比較器コントロールラッチは PHI2 上で透過です。																													
[6]	CLatch	0 比較器コントロールラッチは常に透過です。 1 比較器コントロールラッチはアクティブです。																													
[5]	CompCap	0 比較器モード 1 オペアンプモード																													
[4]	TMUXEN	マルチプレクサのテスト 0 無効 1 有効																													
[3:2]	TestMux[1:0]	ブロックバイパスモードを選択します。利用可能なマルチプレクサ入力は個々の PSoC ブロックによって異なり、TMUXEN がセットされていない点に注意してください。 <table border="1"> <thead> <tr> <th></th> <th>ACB00</th> <th>ACB01</th> <th>ACB02</th> <th>ACB03</th> </tr> </thead> <tbody> <tr> <td>00b</td> <td>Positive Input to</td> <td>ABUS0</td> <td>ABUS1</td> <td>ABUS2</td> <td>ABUS3</td> </tr> <tr> <td>01b</td> <td>AGND to</td> <td>ABUS0</td> <td>ABUS1</td> <td>ABUS2</td> <td>ABUS3</td> </tr> <tr> <td>10b</td> <td>REFLO to</td> <td>ABUS0</td> <td>ABUS1</td> <td>ABUS2</td> <td>ABUS3</td> </tr> <tr> <td>11b</td> <td>REFHI to</td> <td>ABUS0</td> <td>ABUS1</td> <td>ABUS2</td> <td>ABUS3</td> </tr> </tbody> </table>		ACB00	ACB01	ACB02	ACB03	00b	Positive Input to	ABUS0	ABUS1	ABUS2	ABUS3	01b	AGND to	ABUS0	ABUS1	ABUS2	ABUS3	10b	REFLO to	ABUS0	ABUS1	ABUS2	ABUS3	11b	REFHI to	ABUS0	ABUS1	ABUS2	ABUS3
	ACB00	ACB01	ACB02	ACB03																											
00b	Positive Input to	ABUS0	ABUS1	ABUS2	ABUS3																										
01b	AGND to	ABUS0	ABUS1	ABUS2	ABUS3																										
10b	REFLO to	ABUS0	ABUS1	ABUS2	ABUS3																										
11b	REFHI to	ABUS0	ABUS1	ABUS2	ABUS3																										
[1:0]	PWR[1:0]	4 つのパワーレベルの 1 つを選択するためのエンコーディング。High Bias モードはこれらの各設定で電力を 2 倍にします。詳細は、106 ページの ARF_CR レジスタのビット 6 を参照してください。 00b Off 01b Low 10b Medium 11b High																													

13.1.25 ASCxxCR0

Analog Switch Cap Type C Block Control Register 0 (アナログスイッチキャパシタ
タイプ C ブロックコントロールレジスタ 0)

個々のレジスタ名およびアドレス

ASC10CR0 : x,80h

ASC12CR0 : x,88h

ASC21CR0 : x,94h

ASC23CR0 : x,9Ch

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 00	RW : 00	RW : 00					RW : 00
ビット名	FCap	ClockPhase	ASign					ACap[4:0]

その他の情報は、Switched Capacitor Block (スイッチドキャパシタブロック) の章で [261 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	FCap	F Capacitor 値の選択ビット。 0 16 キャパシタユニット 1 32 キャパシタユニット
[6]	ClockPhase	クロック内部をブロックに反転するクロック相の選択。 0 内部 PHI1 = 外部 PHI1 1 内部 PHI1 = 外部 PHI2 0 立ち下がり PHI2 によってトリガされたキャプチャポイントイベント。立ち上がり PHI1 によってトリガされた出力ポイントイベント。 1 立ち下がり PHI1 によってトリガされたキャプチャポイントイベント。立ち上がり PHI2 によってトリガされた出力ポイントイベント。
[5]	ASign	0 内部 PHI1 上でサンプリングされた入力。内部 PHI2 上でサンプリングされたリファレンス入力。正の利得。 1 内部 PHI2 上でサンプリングされた入力。内部 PHI1 上でサンプリングされたリファレンス入力。負の利得。
[4:0]	ACap[4:0]	キャパシタ ACap 用の 32 の可能なキャパシタサイズのバイナリエンコーディング。

13.1.26 ASCxxCR1

Analog Switch Cap Type C Block Control Register 1 (アナログスイッチキャパシタ
タイプ C ブロックコントロールレジスタ 1)

個々のレジスタ名およびアドレス

ASC10CR1 : x,81h

ASC12CR1 : x,89h

ASC21CR1 : x,95h

ASC23CR1 : x,9Dh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0			RW : 00				
ビット名	ACMux[2:0]			BCap[4:0]				

その他の情報は、Switched Capacitor Block (スイッチドキャパシタブロック) の章で [261 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明																																																																																										
[7:5]	ACMux[2:0]	A および C 入力を選択するためのエンコーディング。(利用可能なマルチプレクサ入力は個々の PSoC ブロックによって異なる点に注意してください。)																																																																																										
		<table border="0" style="width: 100%; text-align: center;"> <tr> <td></td> <td colspan="2">ACS10</td> <td colspan="2">ASC21</td> <td colspan="2">ASC12</td> <td colspan="2">ASC23</td> </tr> <tr> <td></td> <td>A 入力</td> <td>C 入力</td> <td>A 入力</td> <td>C 入力</td> <td>A 入力</td> <td>C 入力</td> <td>A 入力</td> <td>C 入力</td> </tr> <tr> <td>000b</td> <td>ACB00</td> <td>ACB00</td> <td>ASD11</td> <td>ASD11</td> <td>ACB02</td> <td>ACB02</td> <td>ASD13</td> <td>ASD13</td> </tr> <tr> <td>001b</td> <td>ASD11</td> <td>ACB00</td> <td>ASD20</td> <td>ASD11</td> <td>ASD13</td> <td>ACB02</td> <td>ASD22</td> <td>ASD13</td> </tr> <tr> <td>010b</td> <td>REFHI</td> <td>ACB00</td> <td>REFHI</td> <td>ASD11</td> <td>REFHI</td> <td>ACB02</td> <td>REFHI</td> <td>ASD13</td> </tr> <tr> <td>011b</td> <td>ASD20</td> <td>ACB00</td> <td>Vtemp</td> <td>ASD11</td> <td>ASD22</td> <td>ACB02</td> <td>ABUS3</td> <td>ASD13</td> </tr> <tr> <td>100b</td> <td>ACB01</td> <td>ASD20</td> <td>ASC10</td> <td>ASD11</td> <td>ACB03</td> <td>ASD22</td> <td>ASC12</td> <td>ASD13</td> </tr> <tr> <td>101b</td> <td>ACB00</td> <td>ASD20</td> <td>ASD20</td> <td>ASD11</td> <td>ACB02</td> <td>ASD22</td> <td>ASD22</td> <td>ASD13</td> </tr> <tr> <td>110b</td> <td>ASD11</td> <td>ASD20</td> <td>ABUS1</td> <td>ASD11</td> <td>ASD13</td> <td>ASD22</td> <td>ABUS3</td> <td>ASD13</td> </tr> <tr> <td>111b</td> <td>P2[1]</td> <td>ASD20</td> <td>ASD22</td> <td>ASD11</td> <td>ASD11</td> <td>ASD22</td> <td>P2[2]</td> <td>ASD13</td> </tr> </table>		ACS10		ASC21		ASC12		ASC23			A 入力	C 入力	000b	ACB00	ACB00	ASD11	ASD11	ACB02	ACB02	ASD13	ASD13	001b	ASD11	ACB00	ASD20	ASD11	ASD13	ACB02	ASD22	ASD13	010b	REFHI	ACB00	REFHI	ASD11	REFHI	ACB02	REFHI	ASD13	011b	ASD20	ACB00	Vtemp	ASD11	ASD22	ACB02	ABUS3	ASD13	100b	ACB01	ASD20	ASC10	ASD11	ACB03	ASD22	ASC12	ASD13	101b	ACB00	ASD20	ASD20	ASD11	ACB02	ASD22	ASD22	ASD13	110b	ASD11	ASD20	ABUS1	ASD11	ASD13	ASD22	ABUS3	ASD13	111b	P2[1]	ASD20	ASD22	ASD11	ASD11	ASD22	P2[2]	ASD13						
	ACS10		ASC21		ASC12		ASC23																																																																																					
	A 入力	C 入力	A 入力	C 入力	A 入力	C 入力	A 入力	C 入力																																																																																				
000b	ACB00	ACB00	ASD11	ASD11	ACB02	ACB02	ASD13	ASD13																																																																																				
001b	ASD11	ACB00	ASD20	ASD11	ASD13	ACB02	ASD22	ASD13																																																																																				
010b	REFHI	ACB00	REFHI	ASD11	REFHI	ACB02	REFHI	ASD13																																																																																				
011b	ASD20	ACB00	Vtemp	ASD11	ASD22	ACB02	ABUS3	ASD13																																																																																				
100b	ACB01	ASD20	ASC10	ASD11	ACB03	ASD22	ASC12	ASD13																																																																																				
101b	ACB00	ASD20	ASD20	ASD11	ACB02	ASD22	ASD22	ASD13																																																																																				
110b	ASD11	ASD20	ABUS1	ASD11	ASD13	ASD22	ABUS3	ASD13																																																																																				
111b	P2[1]	ASD20	ASD22	ASD11	ASD11	ASD22	P2[2]	ASD13																																																																																				
[4:0]	BCap[4:0]	キャパシタ BCap 用の 32 の可能なキャパシタサイズのバイナリエンコーディング。																																																																																										

13.1.27 ASCxxCR2

Analog Switch Cap Type C Block Control Register 2 (アナログスイッチキャパシタ
タイプ C ブロックコントロールレジスタ 2)

個々のレジスタ名およびアドレス

ASC10CR2 : x,82h

ASC12CR2 : x,8Ah

ASC21CR2 : x,96h

ASC23CR2 : x,9Eh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0	RW : 0	RW : 0					RW : 00
ビット名	AnalogBus	CompBus	AutoZero					CCap[4:0]

その他の情報は、Switched Capacitor Block (スイッチドキャパシタブロック) の章で [261 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	AnalogBus	アナログバスへの出力を有効にします。 0 アナログカラムバスへの出力を無効にします。 1 アナログカラムバスへの出力を有効にします。
[6]	CompBus	比較器バスへの出力を有効にします。 0 比較器バスへの出力を無効にします。 1 比較器バスへの出力を有効にします。
[5]	AutoZero	ゲートスイッチ制御用のビット。 0 ショートスイッチはアクティブではありません。入力キャパシタ分岐はオペアンプ入力にショートされました。 1 ショートスイッチは内部 PHI1 で有効です。入力キャパシタ分岐は内部 PHI1 ではアナロググラウンドに、内部 PHI2 ではオペアンプ入力にショートされました。
[4:0]	CCap[4:0]	キャパシタ CCap 用の 32 の可能なキャパシタサイズのバイナリエンコーディング。

13.1.28 ASCxxCR3

Analog Switch Cap Type C Block Control Register 3 (アナログスイッチキャパシタ
タイプ C ブロックコントロールレジスタ 3)

個々のレジスタ名およびアドレス

ASC10CR3 : x,83h

ASC12CR3 : x,8Bh

ASC21CR3 : x,97h

ASC23CR3 : x,9Fh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0		RW : 0	RW : 0	RW : 0		RW : 0	
ビット名	ArefMux[1:0]		FSW1	FSW0	BMuxSC[1:0]		PWR[1:0]	

その他の情報は、Switched Capacitor Block (スイッチドキャパシタブロック) の章で 261 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:6]	ARefMux[1:0]	リファレンス入力を選択するためのエンコーディング。 00b アナロググラウンドが選択されました。 01b REFHI 入力を選択されました。(High リファレンス。) 10b REFLO 入力を選択されました。(Low リファレンス。) 11b リファレンス選択は比較器によって駆動されました。(出力比較器ノードが High にセットされた場合、入力は REFHI にセットされます。Low にセットされた場合、入力は REFLO にセットされます。)
[5]	FSW1	ゲートスイッチ制御用のビット。 0 スイッチは無効です。 1 FSW1 ビットが '1' にセットされた場合、スイッチの状態は AutoZero ビットによって決定されます。AutoZero ビットが '0' の場合、スイッチは常に有効です。AutoZero ビットが '1' の場合、スイッチは内部 PHI2 が High の場合にのみ有効です。
[4]	FSW0	ゲートスイッチ制御用のビット。 0 スイッチは無効です。 1 スイッチは PHI1 が High の場合に有効です。
[3:2]	BMuxSC[1:0]	B 入力を選択するためのエンコーディング。利用可能なマルチプレクサ入力は個々の PSoC ブロックによって異なる点に注意してください。 ASC10 ASC21 ASC12 ASC23 00b ACB00 ASD11 ACB02 ASD13 01b ASD11 ASD20 ASD13 ASD22 10b P2[3] ASD22 ASD11 P2[0] 11b ASD20 TrefGND ASD22 ABUS3
[1:0]	PWR[1:0]	4 つのパワーレベルの 1 つを選択するためのエンコーディング。 00b Off 01b Low 10b Medium 11b High

13.1.29 ASDxxCR0

Analog Switch Cap Type D Block Control Register 0 (アナログスイッチキャパシタ
タイプ D ブロックコントロールレジスタ 0)

個々のレジスタ名およびアドレス

ASD11CR0 : x,84h

ASD13CR0 : x,8Ch

ASD20CR0 : x,90h

ASD22CR0 : x,98h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0	RW : 0	RW : 0					RW : 00
ビット名	FCap	ClockPhase	ASign					ACap[4:0]

その他の情報は、Switched Capacitor Block (スイッチドキャパシタブロック) の章で [261 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	FCap	F Capacitor 値の選択ビット。 0 16 キャパシタユニット 1 32 キャパシタユニット
[6]	ClockPhase	クロック内部をブロックに反転するクロック相の選択。 0 内部 PHI1 = 外部 PHI1 1 内部 PHI1 = 外部 PHI2 0 立ち下がり PHI2 によってトリガされたキャプチャポイントイベント。立ち上がり PHI1 によってトリガされた出力ポイントイベント。 1 立ち下がり PHI1 によってトリガされたキャプチャポイントイベント。立ち上がり PHI2 によってトリガされた出力ポイントイベント。
[5]	ASign	0 内部 PHI1 上でサンプリングされた入力。内部 PHI2 上でサンプリングされたリファレンス入力。正の利得。 1 内部 PHI2 上でサンプリングされた入力。内部 PHI1 上でサンプリングされたリファレンス入力。負の利得。
[4:0]	ACap[4:0]	キャパシタ ACap 用の 32 の可能なキャパシタサイズのバイナリエンコーディング。

13.1.30 ASDxxCR1

Analog Switch Cap Type D Block Control Register 1 (アナログスイッチキャパシタ
タイプ D ブロックコントロールレジスタ 1)

個々のレジスタ名およびアドレス

ASD11CR1 : x,85h

ASD13CR1 : x,8Dh

ASD20CR1 : x,91h

ASD22CR1 : x,99h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0			RW : 00				
ビット名	AMux[2:0]			BCap[4:0]				

その他の情報は、Switched Capacitor Block (スイッチドキャパシタブロック) の章で [261 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明																																													
[7:5]	AMux[2:0]	A および C 入力を選択するためのエンコーディング。(利用可能なマルチプレクサ入力は個々の PSoC ブロックによって異なる点に注意してください。)																																													
		<table border="1"> <thead> <tr> <th></th> <th>ASD20</th> <th>ASD11</th> <th>ASD22</th> <th>ASD13</th> </tr> </thead> <tbody> <tr> <td>000b</td> <td>ASC10</td> <td>ACB01</td> <td>ASC12</td> <td>ACB03</td> </tr> <tr> <td>001b</td> <td>P2[1]</td> <td>ASC12</td> <td>ASC21</td> <td>P2[2]</td> </tr> <tr> <td>010b</td> <td>ASC21</td> <td>ASC10</td> <td>ASC23</td> <td>ASC12</td> </tr> <tr> <td>011b</td> <td>ABUS0</td> <td>ASC21</td> <td>ABUS2</td> <td>ASC23</td> </tr> <tr> <td>100b</td> <td>REFHI</td> <td>REFHI</td> <td>REFHI</td> <td>REFHI</td> </tr> <tr> <td>101b</td> <td>ASD11</td> <td>ACB00</td> <td>ASD13</td> <td>ACB02</td> </tr> <tr> <td>110b</td> <td>予約</td> <td>予約</td> <td>予約</td> <td>予約</td> </tr> <tr> <td>111b</td> <td>予約</td> <td>予約</td> <td>予約</td> <td>予約</td> </tr> </tbody> </table>		ASD20	ASD11	ASD22	ASD13	000b	ASC10	ACB01	ASC12	ACB03	001b	P2[1]	ASC12	ASC21	P2[2]	010b	ASC21	ASC10	ASC23	ASC12	011b	ABUS0	ASC21	ABUS2	ASC23	100b	REFHI	REFHI	REFHI	REFHI	101b	ASD11	ACB00	ASD13	ACB02	110b	予約	予約	予約	予約	111b	予約	予約	予約	予約
	ASD20	ASD11	ASD22	ASD13																																											
000b	ASC10	ACB01	ASC12	ACB03																																											
001b	P2[1]	ASC12	ASC21	P2[2]																																											
010b	ASC21	ASC10	ASC23	ASC12																																											
011b	ABUS0	ASC21	ABUS2	ASC23																																											
100b	REFHI	REFHI	REFHI	REFHI																																											
101b	ASD11	ACB00	ASD13	ACB02																																											
110b	予約	予約	予約	予約																																											
111b	予約	予約	予約	予約																																											
[4:0]	BCap[4:0]	キャパシタ BCap 用の 32 の可能なキャパシタサイズのバイナリエンコーディング。																																													

13.1.31 ASDxxCR2

Analog Switch Cap Type D Block Control Register 2 (アナログスイッチキャパシタ
タイプ D ブロックコントロールレジスタ 2)

個々のレジスタ名およびアドレス

ASD11CR2 : x,86h

ASD13CR2 : x,8Eh

ASD20CR2 : x,92h

ASD22CR2 : x,9Ah

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0	RW : 0	RW : 0					RW : 00
ビット名	AnalogBus	CompBus	AutoZero					CCap[4:0]

その他の情報は、Switched Capacitor Block (スイッチドキャパシタブロック) の章で [261 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	AnalogBus	アナログバスへの出力を有効にします。 0 アナログカラムバスへの出力を無効にします。 1 アナログカラムバスへの出力を有効にします。
[6]	CompBus	比較器バスへの出力を有効にします。 0 比較器バスへの出力を無効にします。 1 比較器バスへの出力を有効にします。
[5]	AutoZero	ゲートスイッチ制御用のビット。 0 ショートスイッチはアクティブではありません。入力キャパシタ分岐はオペアンプ入力にショートされました。 1 ショートスイッチは内部 PHI1 で有効です。入力キャパシタ分岐は内部 PHI1 ではアナロググラウンドに、内部 PHI2 ではオペアンプ入力にショートされました。
[4:0]	CCap[4:0]	キャパシタ CCap 用の 32 の可能なキャパシタサイズのバイナリエンコーディング。

13.1.32 ASDxxCR3

Analog Switch Cap Type D Block Control Register 3 (アナログスイッチキャパシタ
タイプ D ブロックコントロールレジスタ 3)

個々のレジスタ名およびアドレス

ASD11CR3 : x,87h

ASD13CR3 : x,8Fh

ASD20CR3 : x,93h

ASD22CR3 : x,9Bh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0	RW : 0	RW : 0	RW : 0	RW : 0	RW : 0	RW : 0	RW : 0
ビット名	ARefMux[1:0]	FSW1	FSW0	BSW	BMuxSD			PWR[1:0]

その他の情報は、Switched Capacitor Block (スイッチドキャパシタブロック) の章で [261 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明															
[7:6]	ARefMux[1:0]	リファレンス入力を選択するためのエンコーディング。 00b アナロググラウンドが選択されました。 01b REFHI 入力を選択されました。(High リファレンス。) 10b REFLO 入力を選択されました。(Low リファレンス。) 11b リファレンス選択は比較器によって駆動されました。(出力比較器ノードが High にセットされた場合、入力は REFHI にセットされます。Low にセットされた場合、入力は REFLO にセットされます。)															
[5]	FSW1	ゲートスイッチ制御用のビット。 0 スイッチは無効です。 1 FSW1 ビットが '1' にセットされた場合、スイッチの状態は AutoZero ビットによって決定されます。AutoZero ビットが '0' の場合、スイッチは常に有効です。AutoZero ビットが '1' の場合、スイッチは内部 PHI2 が High の場合にのみ有効です。															
[4]	FSW0	ゲートスイッチ制御用のビット。 0 スイッチは無効です。 1 スイッチは PHI1 が High の場合に有効です。															
[3]	BSW	分岐中の切り替えを有効にします。 0 B 分岐は連続時間パスです。 1 B 分岐は内部 PHI2 サンプリングで切り替えられます。															
[2]	BMuxSD	B 入力を選択するためのエンコーディング。(利用可能なマルチプレクサ入力は個々の PSoC ブロックによって異なる点に注意してください。) <table border="1"> <thead> <tr> <th></th> <th>ASD20</th> <th>ASD11</th> <th>ASD22</th> <th>ASD13</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>ASD11</td> <td>ACB00</td> <td>ASD13</td> <td>ACB02</td> </tr> <tr> <td>1</td> <td>ASC10</td> <td>ACB01</td> <td>ASC12</td> <td>ACB03</td> </tr> </tbody> </table>		ASD20	ASD11	ASD22	ASD13	0	ASD11	ACB00	ASD13	ACB02	1	ASC10	ACB01	ASC12	ACB03
	ASD20	ASD11	ASD22	ASD13													
0	ASD11	ACB00	ASD13	ACB02													
1	ASC10	ACB01	ASC12	ACB03													
[1:0]	PWR[1:0]	4 つのパワーレベルの 1 つを選択するためのエンコーディング。 00b Off 01b 10 μ A, typical 10b 50 μ A, typical 11b 200 μ A, typical															

13.1.33 RDIxRI

Row Digital Interconnect Row Input Register (ロウデジタル相互接続ロウ入力レジスタ)

個々のレジスタ名およびアドレス

RDI0RI : x,B0h

RDI1RI : x,B8h

RDI2RI : x,C0h

RDI3RI : x,C8h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0							
ビット名	RI3[2:0]		RI2[2:0]		RI1[2:0]		RI0[2:0]	

その他の情報は、Row Digital Interconnect (ロウデジタル相互接続) の章で [204 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:6]	RI3[2:0]	ロウ入力 3 のソースを選択します。 00b GIE[3] 01b GIE[7] 10b GIO[3] 11b GIO[7]
[5:4]	RI2[2:0]	ロウ入力 2 のソースを選択します。 00b GIE[2] 01b GIE[6] 10b GIO[2] 11b GIO[6]
[3:2]	RI1[2:0]	ロウ入力 1 のソースを選択します。 00b GIE[1] 01b GIE[5] 10b GIO[1] 11b GIO[5]
[1:0]	RI0[2:0]	ロウ入力 0 のソースを選択します。 00b GIE[0] 01b GIE[4] 10b GIO[0] 11b GIO[4]

13.1.34 RDIxSYN

Row Digital Interconnect Synchronization Register (ロウデジタル相互接続同期レジスタ)

個々のレジスタ名およびアドレス

RDI0SYN : x,B1h

RDI1SYN : x,B9h

RDI2SYN : x,C1h

RDI3SYN : x,C9h

	7	6	5	4	3	2	1	0
アクセス: POR					RW : 0	RW : 0	RW : 0	RW : 0
ビット名					RI3SYN	RI2SYN	RI1SYN	RI0SYN

その他の情報は、Row Digital Interconnect (ロウデジタル相互接続) の章で [204 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:4]	予約	
[3]	RI3SYN	0 ロウ入力 3 は SYSCLK システムクロックに同期されます。 1 ロウ入力 3 は同期しないで渡されます。
[2]	RI2SYN	0 ロウ入力 2 は SYSCLK システムクロックに同期されます。 1 ロウ入力 2 は同期しないで渡されます。
[1]	RI1SYN	0 ロウ入力 1 は SYSCLK システムクロックに同期されます。 1 ロウ入力 1 は同期しないで渡されます。
[0]	RI0SYN	0 ロウ入力 0 は SYSCLK システムクロックに同期されます。 1 ロウ入力 0 は同期しないで渡されます。

13.1.35 RDIxIS

Row Digital Interconnect Input Select Register (ロウデジタル相互接続入力選択レジスタ)

個々のレジスタ名およびアドレス

RDI0IS : x,B2h

RDI1IS : x,BAh

RDI2IS : x,C2h

RDI3IS : x,CAh

	7	6	5	4	3	2	1	0
アクセス: POR			RW : 0	RW : 0	RW : 0	RW : 0	RW : 0	RW : 0
ビット名			BCSEL[1:0]	IS3	IS2	IS1	IS0	

その他の情報は、Row Digital Interconnect (ロウデジタル相互接続) の章で [204 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:6]	予約	
[5:4]	BCSEL[1:0]	BCSELL の値がロウ番号と等しい場合、入力選択マルチプレクサからロウブロードキャストネットを駆動するトリステートバッファは無効になるため、ロウのブロックの 1 つはローカルのロウブロードキャストネットを駆動します。 00b ロウ 0 がロウブロードキャストネットを駆動します。 01b ロウ 1 がロウブロードキャストネットを駆動します。 10b 予約 11b 予約
[3]	IS3	0 LUT 3 の 'A' 入力は RO[3] です。 1 LUT 3 の 'A' 入力は RI[3] です。
[2]	IS2	0 LUT 2 の 'A' 入力は RO[2] です。 1 LUT 2 の 'A' 入力は RI[2] です。
[1]	IS1	0 LUT 1 の 'A' 入力は RO[1] です。 1 LUT 1 の 'A' 入力は RI[1] です。
[0]	IS0	0 LUT 0 の 'A' 入力は RO[0] です。 1 LUT 0 の 'A' 入力は RI[0] です。

13.1.36 RDIxLT0

Row Digital Interconnect Logic Table Register 0 (ロウデジタル相互接続論理テーブルレジスタ 0)

個々のレジスタ名およびアドレス

RDI0LT0 : x,B3h

RDI1LT0 : x,BBh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0				RW : 0			
ビット名	LUT1[3:0]				LUT0[3:0]			

その他の情報は、Row Digital Interconnect (ロウデジタル相互接続) の章で [204 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:4]	LUT1[3:0]	LUT 1 の論理関数を選択します。 関数 0h FALSE 1h A AND B 2h A AND \bar{B} 3h A 4h \bar{A} AND B 5h B 6h A XOR B 7h A OR B 8h A NOR B 9h A XNOR B Ah \bar{B} Bh A OR \bar{B} Ch \bar{A} Dh \bar{A} OR B Eh A NAND B Fh TRUE
[3:0]	LUT0[3:0]	LUT 0 の論理関数を選択します。 関数 0h FALSE 1h A AND B 2h A AND \bar{B} 3h A 4h \bar{A} AND B 5h B 6h A XOR B 7h A OR B 8h A NOR B 9h A XNOR B Ah \bar{B} Bh A OR \bar{B} Ch \bar{A} Dh \bar{A} OR B Eh A NAND B Fh TRUE

13.1.37 RDIxLT1

Row Digital Interconnect Logic Table Register 1 (ロウデジタル相互接続論理テーブルレジスタ 1)

個々のレジスタ名およびアドレス

RDI0LT1 : x,B4h

RDI1LT1 : x,BCh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0				RW : 0			
ビット名	LUT3[3:0]				LUT2[3:0]			

その他の情報は、Row Digital Interconnect (ロウデジタル相互接続) の章で [204 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:4]	LUT3[3:0]	LUT 3 の論理関数を選択します。 関数 0h FALSE 1h A AND B 2h A AND \bar{B} 3h A 4h \bar{A} AND B 5h B 6h A XOR B 7h A OR B 8h A NOR B 9h A XNOR B Ah \bar{B} Bh A OR \bar{B} Ch \bar{A} Dh \bar{A} OR B Eh A NAND B Fh TRUE
[3:0]	LUT2[3:0]	LUT 2 の論理関数を選択します。 関数 0h FALSE 1h A AND B 2h A AND \bar{B} 3h A 4h \bar{A} AND B 5h B 6h A XOR B 7h A OR B 8h A NOR B 9h A XNOR B Ah \bar{B} Bh A OR \bar{B} Ch \bar{A} Dh \bar{A} OR B Eh A NAND B Fh TRUE

13.1.38 RDIxRO0

Row Digital Interconnect Row Output Register 0 (ロウデジタル相互接続ロウ出力レジスタ 0)

個々のレジスタ名およびアドレス

RDI0RO0 : x,B5h

RDI1RO0 : x,BDh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0							
ビット名	GOO5EN	GOO1EN	GOE5EN	GOE1EN	GOO4EN	GOO0EN	GOE4EN	GOE0EN

その他の情報は、Row Digital Interconnect (ロウデジタル相互接続) の章で [204 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	GOO5EN	0 グローバル出力への LUT 出力を無効にします。 1 GOO[5] への LUT 出力を有効にします。
[6]	GOO1EN	0 グローバル出力への LUT 出力を無効にします。 1 GOO[1] への LUT 出力を有効にします。
[5]	GOE5EN	0 グローバル出力への LUT 出力を無効にします。 1 GOE[5] への LUT 出力を有効にします。
[4]	GOE1EN	0 グローバル出力への LUT 出力を無効にします。 1 GOE[1] への LUT 出力を有効にします。
[3]	GOO4EN	0 グローバル出力への LUT 出力を無効にします。 1 GOO[4] への LUT 出力を有効にします。
[2]	GOO0EN	0 グローバル出力への LUT 出力を無効にします。 1 GOO[0] への LUT 出力を有効にします。
[1]	GOE4EN	0 グローバル出力への LUT 出力を無効にします。 1 GOE[4] への LUT 出力を有効にします。
[0]	GOE0EN	0 グローバル出力への LUT 出力を無効にします。 1 GOE[0] への LUT 出力を有効にします。

13.1.39 RDIxRO1

Row Digital Interconnect Row Output Register 1 (ロウデジタル相互接続ロウ出力レジスタ 1)

個々のレジスタ名およびアドレス

RDI0RO1 : x,B6h RDI1RO1 : x,BEh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0							
ビット名	GOO7EN	GOO3EN	GOE7EN	GOE3EN	GOO6EN	GOO2EN	GOE6EN	GOE2EN

その他の情報は、Row Digital Interconnect (ロウデジタル相互接続) の章で [204 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	GOO7EN	0 グローバル出力への LUT 出力を無効にします。 1 GOO[7] への LUT 出力を有効にします。
[6]	GOO3EN	0 グローバル出力への LUT 出力を無効にします。 1 GOO[3] への LUT 出力を有効にします。
[5]	GOE7EN	0 グローバル出力への LUT 出力を無効にします。 1 GOE[7] への LUT 出力を有効にします。
[4]	GOE3EN	0 グローバル出力への LUT 出力を無効にします。 1 GOE[3] への LUT 出力を有効にします。
[3]	GOO6EN	0 グローバル出力への LUT 出力を無効にします。 1 GOO[6] への LUT 出力を有効にします。
[2]	GOO2EN	0 グローバル出力への LUT 出力を無効にします。 1 GOO[2] への LUT 出力を有効にします。
[1]	GOE6EN	0 グローバル出力への LUT 出力を無効にします。 1 GOE[6] への LUT 出力を有効にします。
[0]	GOE2EN	0 グローバル出力への LUT 出力を無効にします。 1 GOE[2] への LUT 出力を有効にします。

13.1.40 I2C_CFG

I2C Configuration Register (I2C 設定レジスタ)

個々のレジスタ名およびアドレス

I2C_CFG: 0,D6h

	7	6	5	4	3	2	1	0
アクセス: POR		RW : 0	RW : 0	RW : 0	RW : 0		RW : 0	RW : 0
ビット名		PSelect	Bus Error IE	Stop IE	Clock Rate		Enable Master	Enable Slave

その他の情報は、I²C の章で [289 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	予約	
[6]	PSelect	I ² C ピン選択 0 P1[5] および P1[7] 1 P1[0] および P1[1] ノート: P1[0] および P1[1] を選択する副作用については I ² C の章を参照してください。
[5]	Bus Error IE	バスエラー割り込みイネーブル 0 無効 1 有効。割り込みはバスエラーの検出時に生成されます。
[4]	Stop IE	ストップ割り込みイネーブル 0 無効 1 有効。割り込みはストップ条件の検出時に生成されます。
[3:2]	Clock Rate	00b 100K Standard Mode 01b 400K Fast Mode 10b 50K Standard Mode 11b 予約
[1]	Enable Master	0 無効 1 有効
[0]	Enable Slave	0 無効 1 有効

13.1.41 I2C_SCR

I2C Status and Control Register (I2C ステータスおよびコントロールレジスタ)

個々のレジスタ名およびアドレス

I2C_SCR: 0,D7h

	7	6	5	4	3	2	1	0
アクセス: POR	RC:0	RC:0	RC:0	RW:0	RC:0	RW:0	RC:0	RC:0
ビット名	Bus Error	Lost Arb	Stop Status	ACK	Address	Transmit	LRB	Byte Complete

このレジスタ中のビットは I2C_CFG 中のイネーブルビットの 1 つがセットされるまでリセット状態で保持されます。その他の情報は、I²C の章で 289 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	Bus Error	0 このステータスビットは、ビット位置に '0' を書き込むことによりファームウェアによってクリアされなければなりません。ハードウェアによってクリアされることはありません。 1 位置の違うスタートまたはストップ条件が検出されました。
[6]	Lost Arb	0 このビットはアービトレーション機能が失われると直ちにセットされます。しかし、割り込みは発生させません。このステータスは次の Byte Complete 割り込みの後にチェックされます。マスターモードで動作している場合、スタートが検出されるかスタートまたはリスタート生成ビット (I2C_MSCR レジスタ) への書き込みが行われた場合、ビットはクリアされます。 1 アービトレーション機能が失われました
[5]	Stop Status	0 このステータスビットは、ビット位置に '0' を書き込むことによりファームウェアによってクリアされなければなりません。ハードウェアによってクリアされることはありません。 1 ストップ条件が検出されました。
[4]	ACK	肯定応答。このビットは、Byte Complete イベント時にハードウェアによって自動的にクリアされません。 0 最後の受信バイトを否定応答します。 1 最後の受信バイトを肯定応答します。
[3]	Address	0 このステータスビットは、ビット位置に '0' を書き込むことによりファームウェアによってクリアされなければなりません。 1 受信バイトはスレーブアドレスです。
[2]	Transmit	このビットは、バイト転送の向きを定義するためファームウェアによってセットされます。マスターモードで動作している場合、スタートが検出されるかスタートまたはリスタート生成ビットへの書き込みが行われた場合、ビットはクリアされます。 0 受信モード 1 送信モード
[1]	LRB	最後の受信ビット。レシーバからの肯定応答ビットである、送信シーケンスの 9 番目のビットの値。マスターモードで動作している場合、スタートが検出されるかスタートまたはリスタート生成ビットへの書き込みが行われた場合、ビットはクリアされます。 0 最後の送信バイトはレシーバによって肯定応答されました。 1 最後の送信バイトはレシーバによって否定応答されました。
[0]	Byte Complete	送信/受信モード: 0 最後にファームウェアによってクリアされてから完了した送信/受信はありません。マスターモードで動作している場合、スタートが検出されるかスタートまたはリスタート生成ビットへの書き込みが行われた場合、ビットはクリアされます。 送信モード: 1 データの 8 ビットが送信され、ACK または NACK が受信されました。 受信モード: 1 データの 8 ビットが受信されました。

13.1.42 I2C_DR

I2C Data Register (I2C データレジスタ)

個々のレジスタ名およびアドレス

I2C_DR: 0,D8h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 00							
ビット名	Data[7:0]							

このレジスタは受信データの場合は読み取り専用で送信データの場合は書き込み専用です。その他の情報は、I²C の章で 289 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:0]	Data	受信したデータを読み取るか送信するデータを書き込みます。

13.1.43 I2C_MSCR

I2C Master Status and Control Register (I2C マスターステータスおよびコントロールレジスタ)

個々のレジスタ名およびアドレス

I2C_MSCR: 0,D9h

	7	6	5	4	3	2	1	0
アクセス: POR					R: 0	R: 0	RW: 0	RW: 0
ビット名					Bus Busy	Master Mode	Restart Gen	Start Gen

このレジスタ中のビットは I2C_CFG 中のイネーブルビットの 1 つがセットされるまでリセット状態で保持されます。その他の情報は、I²C の章で 289 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:4]	予約	
[3]	Bus Busy	このビットは次のようにセットされます: 0 (バスマスターから) ストップ条件が検出された場合。 1 (バスマスターから) スタート条件が検出された場合。
[2]	Master Mode	このビットは、デバイスがマスターとして動作する場合にハードウェアによってセット/クリアされま す。 0 このデバイスによって生成されたストップ条件が検出されました。 1 このデバイスによって生成されたスタート条件が検出されました。
[1]	Restart Gen	このビットは、リスタートの生成が完了したときにハードウェアによってクリアされます。 0 リスタート生成が完了しました。 1 リスタート条件を生成します。
[0]	Start Gen	このビットは、スタートの生成が完了したときにハードウェアによってクリアされます。 0 スタート生成が完了しました。 1 バスがビジーでない場合、スタート条件を生成してバイト (アドレス) を I2C バスに送 ります。

13.1.44 INT_CLR0

Interrupt Clear Register 0 (割り込みクリアレジスタ 0)

個々のレジスタ名およびアドレス

INT_CLR0: 0,DAh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0	RW : 0	RW : 0	RW : 0	RW : 0	RW : 0	RW : 0	RW : 0
ビット名	VC3	Sleep	GPIO	Analog 3	Analog 2	Analog 1	Analog 0	V Monitor

このレジスタが読み取られた場合、対応する発行された割り込みを持つすべてのビット位置に '1' が返されます。このレジスタ中のビットに 0 が書き込まれ、ENSWINT がセットされていない場合、発行された割り込みは対応するビット位置でクリアされます。発行された割り込みがない場合、何も影響はありません。このレジスタ中のビットに 1 が書き込まれ、ENSWINT がセットされている場合、割り込みは割り込みコントローラに発行されています。ENSWINT ビットの詳細は、138 ページの INT_MSK3 レジスタを参照してください。その他の情報は、Interrupt Controller (割り込みコントローラ) の章で 57 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	VC3	Read 0 変数クロック 3 用に発行された割り込みはありません。 Read 1 変数クロック 3 用に発行された割り込みがあります。 Write 0 AND ENSWINT = 0 発行された割り込みが存在する場合、クリアします。 Write 1 AND ENSWINT = 0 何も効果はありません。 Write 0 AND ENSWINT = 1 何も効果はありません。 Write 1 AND ENSWINT = 1 変数クロック 3 用の割り込みを発行します。
[6]	Sleep	Read 0 スリープタイマ用に発行された割り込みはありません。 Read 1 スリープタイマ用に発行された割り込みがあります。 Write 0 AND ENSWINT = 0 発行された割り込みが存在する場合、クリアします。 Write 1 AND ENSWINT = 0 何も効果はありません。 Write 0 AND ENSWINT = 1 何も効果はありません。 Write 1 AND ENSWINT = 1 スリープタイマ用の割り込みを発行します。
[5]	GPIO	Read 0 GPIO (ピン) 用に発行された割り込みはありません。 Read 1 GPIO (ピン) 用に発行された割り込みがあります。 Write 0 AND ENSWINT = 0 発行された割り込みが存在する場合、クリアします。 Write 1 AND ENSWINT = 0 何も効果はありません。 Write 0 AND ENSWINT = 1 何も効果はありません。 Write 1 AND ENSWINT = 1 GPIO (ピン) 用の割り込みを発行します。
[4:1]	Analog 3, Analog 2, Analog 1, Analog 0	Read 0 アナログカラム用に発行された割り込みはありません。 Read 1 アナログカラム用に発行された割り込みがあります。 Write 0 AND ENSWINT = 0 発行された割り込みが存在する場合、クリアします。 Write 1 AND ENSWINT = 0 何も効果はありません。 Write 0 AND ENSWINT = 1 何も効果はありません。 Write 1 AND ENSWINT = 1 アナログカラム用の割り込みを発行します。

(次のページに続く)

13.1.44 INT_CLR0 (続き)

[0]	V Monitor	Read 0	供給電圧モニタ用に発行された割り込みはありません。
		Read 1	供給電圧モニタ用に発行された割り込みがあります。
		Write 0 AND ENSWINT = 0	発行された割り込みが存在する場合、クリアします。
		Write 1 AND ENSWINT = 0	何も効果はありません。
		Write 0 AND ENSWINT = 1	何も効果はありません。
		Write 1 AND ENSWINT = 1	供給電圧モニタ用の割り込みを発行します。

13.1.45 INT_CLR1

Interrupt Clear Register 1 (割り込みクリアレジスタ 1)

個々のレジスタ名およびアドレス

INT_CLR1: 0,DBh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0							
ビット名	DCB13	DCB12	DBB11	DBB10	DCB03	DCB02	DBB01	DBB00

このレジスタが読み取られた場合、対応する発行された割り込みを持つすべてのビット位置に '1' が返されます。このレジスタ中のビットに 0 が書き込まれ、ENSWINT がセットされていない場合、発行された割り込みは対応するビット位置でクリアされます。発行された割り込みがない場合、何も影響はありません。このレジスタ中のビットに 1 が書き込まれ、ENSWINT がセットされている場合、割り込みは割り込みコントローラに発行されています。ENSWINT ビットの詳細は、138 ページの INT_MSK3 レジスタを参照してください。その他の情報は、Interrupt Controller (割り込みコントローラ) の章で 57 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	DCB13	デジタル通信ブロックタイプ B、ロウ 1、位置 3。 Read 0 発行された割り込みはありません。 Read 1 発行された割り込みがあります。 Write 0 AND ENSWINT = 0 発行された割り込みが存在する場合、クリアします。 Write 1 AND ENSWINT = 0 何も効果はありません。 Write 0 AND ENSWINT = 1 何も効果はありません。 Write 1 AND ENSWINT = 1 割り込みを発行します。
[6]	DCB12	デジタル通信ブロックタイプ B、ロウ 1、位置 2。 Read 0 発行された割り込みはありません。 Read 1 発行された割り込みがあります。 Write 0 AND ENSWINT = 0 発行された割り込みが存在する場合、クリアします。 Write 1 AND ENSWINT = 0 何も効果はありません。 Write 0 AND ENSWINT = 1 何も効果はありません。 Write 1 AND ENSWINT = 1 割り込みを発行します。
[5]	DBB11	デジタル基本ブロックタイプ B、ロウ 1、位置 1。 Read 0 発行された割り込みはありません。 Read 1 発行された割り込みがあります。 Write 0 AND ENSWINT = 0 発行された割り込みが存在する場合、クリアします。 Write 1 AND ENSWINT = 0 何も効果はありません。 Write 0 AND ENSWINT = 1 何も効果はありません。 Write 1 AND ENSWINT = 1 割り込みを発行します。
[4]	DBB10	デジタル基本ブロックタイプ B、ロウ 1、位置 0。 Read 0 発行された割り込みはありません。 Read 1 発行された割り込みがあります。 Write 0 AND ENSWINT = 0 発行された割り込みが存在する場合、クリアします。 Write 1 AND ENSWINT = 0 何も効果はありません。 Write 0 AND ENSWINT = 1 何も効果はありません。 Write 1 AND ENSWINT = 1 割り込みを発行します。

(次のページに続く)

13.1.45 INT_CLR1 (続き)

- [3] **DCB03** デジタル通信ブロックタイプ B、ロウ 0、位置 3。
 Read 0 発行された割り込みはありません。
 Read 1 発行された割り込みがあります。
 Write 0 AND ENSWINT = 0 発行された割り込みが存在する場合、クリアします。
 Write 1 AND ENSWINT = 0 何も効果はありません。
 Write 0 AND ENSWINT = 1 何も効果はありません。
 Write 1 AND ENSWINT = 1 割り込みを発行します。
- [2] **DCB02** デジタル通信ブロックタイプ B、ロウ 0、位置 2。
 Read 0 発行された割り込みはありません。
 Read 1 発行された割り込みがあります。
 Write 0 AND ENSWINT = 0 発行された割り込みが存在する場合、クリアします。
 Write 1 AND ENSWINT = 0 何も効果はありません。
 Write 0 AND ENSWINT = 1 何も効果はありません。
 Write 1 AND ENSWINT = 1 割り込みを発行します。
- [1] **DBB01** デジタル基本ブロックタイプ B、ロウ 0、位置 1。
 Read 0 発行された割り込みはありません。
 Read 1 発行された割り込みがあります。
 Write 0 AND ENSWINT = 0 発行された割り込みが存在する場合、クリアします。
 Write 1 AND ENSWINT = 0 何も効果はありません。
 Write 0 AND ENSWINT = 1 何も効果はありません。
 Write 1 AND ENSWINT = 1 割り込みを発行します。
- [0] **DBB00** デジタル基本ブロックタイプ B、ロウ 0、位置 0。
 Read 0 発行された割り込みはありません。
 Read 1 発行された割り込みがあります。
 Write 0 AND ENSWINT = 0 発行された割り込みが存在する場合、クリアします。
 Write 1 AND ENSWINT = 0 何も効果はありません。
 Write 0 AND ENSWINT = 1 何も効果はありません。
 Write 1 AND ENSWINT = 1 割り込みを発行します。

13.1.46 INT_CLR3

Interrupt Clear Register 3 (割り込みクリアレジスタ 3)

個々のレジスタ名およびアドレス

INT_CLR3: 0,DDh

	7	6	5	4	3	2	1	0
アクセス: POR								RW: 0
ビット名								I2C

このレジスタが読み取られた場合、対応する発行された割り込みを持つすべてのビット位置に '1' が返されます。このレジスタ中のビットに 0 が書き込まれ、ENSWINT がセットされていない場合、発行された割り込みは対応するビット位置でクリアされます。発行された割り込みがない場合、何も影響はありません。このレジスタ中のビットに 1 が書き込まれ、ENSWINT がセットされている場合、割り込みは割り込みコントローラに発行されています。その他の情報は、Interrupt Controller (割り込みコントローラ) の章で 57 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:1]	予約	
[0]	I2C	Read 0 I2C 用に発行された割り込みはありません。 Read 1 I2C 用に発行された割り込みがあります。 Write 0 AND ENSWINT = 0 発行された割り込みが存在する場合、クリアします。 Write 1 AND ENSWINT = 0 何も効果はありません。 Write 0 AND ENSWINT = 1 何も効果はありません。 Write 1 AND ENSWINT = 1 I2C 用の割り込みを発行します。

13.1.47 INT_MSK3

Interrupt Mask Register 3 (割り込みマスクレジスタ 3)

個々のレジスタ名およびアドレス

INT_MSK3: 0,DEh

	7	6	5	4	3	2	1	0
アクセス: POR	RW: 0							RW: 0
ビット名	ENSWINT							I2C

割り込みがマスクされていない場合、マスクビットは '0' になる点に注意してください。割り込みは割り込みコントローラ中でそのまま発行されます。したがって、マスクビットのクリアは発行された割り込みが保留割り込みになることを防ぐだけです。その他の情報は、Interrupt Controller (割り込みコントローラ) の章で [57 ページの "Register Definitions \(レジスタ定義\)"](#) を参照してください。

ビット	名前	説明
[7]	ENSWINT	0 ソフトウェア割り込みを無効にします。 1 ソフトウェア割り込みを有効にします。
[6:1]	予約	
[0]	I2C	0 I2C 割り込みをマスクします。 1 I2C 割り込みをマスクしません。

13.1.48 INT_MSK0

Interrupt Mask Register 0 (割り込みマスクレジスタ 0)

個々のレジスタ名およびアドレス

INT_MSK0: 0,E0h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0	RW : 0	RW : 0	RW : 0	RW : 0	RW : 0	RW : 0	RW : 0
ビット名	VC3	Sleep	GPIO	Analog 3	Analog 2	Analog 1	Analog 0	V Monitor

割り込みがマスクされていない場合、マスクビットは '0' になる点に注意してください。割り込みは割り込みコントローラ中でそのまま発行されます。したがって、マスクビットのクリアは発行された割り込みが保留割り込みになることを防ぐだけです。その他の情報は、Interrupt Controller (割り込みコントローラ) の章で 57 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	VC3	0 VC3 割り込みをマスクします。 1 VC3 割り込みをマスクしません。
[6]	Sleep	0 スリープ割り込みをマスクします。 1 スリープ割り込みをマスクしません。
[5]	GPIO	0 GPIO 割り込みをマスクします。 1 GPIO 割り込みをマスクしません。
[4]	Analog 3	0 アナログ割り込み、カラム 3 をマスクします。 1 アナログ割り込みをマスクしません。
[3]	Analog 2	0 アナログ割り込み、カラム 2 をマスクします。 1 アナログ割り込みをマスクしません。
[2]	Analog 1	0 アナログ割り込み、カラム 1 をマスクします。 1 アナログ割り込みをマスクしません。
[1]	Analog 0	0 アナログ割り込み、カラム 0 をマスクします。 1 アナログ割り込みをマスクしません。
[0]	V Monitor	0 電圧モニタ割り込みをマスクします。 1 電圧モニタ割り込みをマスクしません。

13.1.49 INT_MSK1

Interrupt Mask Register 1 (割り込みマスクレジスタ 1)

個々のレジスタ名およびアドレス

INT_MSK1: 0,E1h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0							
ビット名	DCB13	DCB12	DBB11	DBB10	DCB03	DCB02	DBB01	DBB00

割り込みがマスクされていない場合、マスクビットは '0' になる点に注意してください。割り込みは割り込みコントローラ中でそのまま発行されます。したがって、マスクビットのクリアは発行された割り込みが保留割り込みになることを防ぐだけです。その他の情報は、Interrupt Controller (割り込みコントローラ) の章で [57 ページの "Register Definitions \(レジスタ定義\)"](#) を参照してください。

ビット	名前	説明
[7]	DCB13	0 デジタル通信ブロック、ロウ 1、位置 3 割り込みをマスクします。 1 デジタル通信ブロック、ロウ 1、位置 3 割り込みをマスクしません。
[6]	DCB12	0 デジタル通信ブロック、ロウ 1、位置 2 割り込みをマスクします。 1 デジタル通信ブロック、ロウ 1、位置 2 割り込みをマスクしません。
[5]	DBB11	0 デジタル基本ブロック、ロウ 1、位置 1 割り込みをマスクします。 1 デジタル基本ブロック、ロウ 1、位置 1 割り込みをマスクしません。
[4]	DBB10	0 デジタル基本ブロック、ロウ 1、位置 0 割り込みをマスクします。 1 デジタル基本ブロック、ロウ 1、位置 0 割り込みをマスクしません。
[3]	DCB03	0 デジタル通信ブロック、ロウ 0、位置 3 割り込みをマスクします。 1 デジタル通信ブロック、ロウ 0、位置 3 割り込みをマスクしません。
[2]	DCB02	0 デジタル通信ブロック、ロウ 0、位置 2 割り込みをマスクします。 1 デジタル通信ブロック、ロウ 0、位置 2 割り込みをマスクしません。
[1]	DBB01	0 デジタル基本ブロック、ロウ 0、位置 1 割り込みをマスクします。 1 デジタル基本ブロック、ロウ 0、位置 1 割り込みをマスクしません。
[0]	DBB00	0 デジタル基本ブロック、ロウ 0、位置 0 割り込みをマスクします。 1 デジタル基本ブロック、ロウ 0、位置 0 割り込みをマスクしません。

13.1.50 INT_VC

Interrupt Vector Clear Register (割り込みベクトルクリアレジスタ)

個々のレジスタ名およびアドレス

INT_VC: 0,E2h

	7	6	5	4	3	2	1	0
アクセス: POR	RC : 00							
ビット名	Pending Interrupt[7:0]							

その他の情報は、Interrupt Controller (割り込みコントローラ) の章で [57 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:0]	Pending Interrupt[7:0]	読み取り 最も優先順位の高い保留割り込みのベクトルを返します。 書き込み 保留および発行された割り込みをすべてクリアします。

13.1.51 RES_WDT

Reset Watchdog Timer Register (リセットウォッチドッグタイマレジスタ)

個々のレジスタ名およびアドレス

RES_WDT: 0,E3h

	7	6	5	4	3	2	1	0
アクセス: POR	W : 00							
ビット名	WDSL_Clear[7:0]							

その他の情報は、Sleep and Watchdog (スリープおよびウォッチドッグ) の章で [79 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:0]	WDSL_Clear[7:0]	任意の値を書き込むと、ウォッチドッグタイマがクリアされます。38h を書き込むと、ウォッチドッグタイマとスリープタイマの両方がクリアされます。

13.1.52 DEC_DH

Decimator Data High Register (デシメータデータハイレジスタ)

個々のレジスタ名およびアドレス

DEC_DH: 0,E4h

	7	6	5	4	3	2	1	0
アクセス: POR	RC : XX							
ビット名	Data High Byte[7:0]							

ハードウェアリセットが発生すると、デシメータの内部状態はリセットされますが、出力データレジスタ (DEC_DH および DEC_DL) はリセットされません。その他の情報は、Decimator (デシメータ) の章で [283 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:0]	Data High Byte[7:0]	読み取り デシメータの上位バイトを返します。 書き込み 16 ビット累算器の値をクリアします。DEC_DH または DEC_DL レジスタのいずれかが、累算器をクリアするために書き込まれます (両方を書き込む必要はありません)。

13.1.53 DEC_DL

Decimator Data Low Register (デシメータデータロウレジスタ)

個々のレジスタ名およびアドレス

DEC_DL: 0,E5h

	7	6	5	4	3	2	1	0
アクセス: POR	RC : XX							
ビット名	Data Low Byte[7:0]							

ハードウェアリセットが発生すると、デシメータの内部状態はリセットされますが、出力データレジスタ (DEC_DH および DEC_DL) はリセットされません。その他の情報は、Decimator (デシメータ) の章で [283 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:0]	Data Low Byte[7:0]	読み取り デシメータの下位バイトを返します。 書き込み 16 ビット累算器の値をクリアします。DEC_DH または DEC_DL レジスタのいずれかが、累算器をクリアするために書き込まれます (両方を書き込む必要はありません)。

13.1.54 DEC_CR0

Decimator Control Register 0 (デシメータコントロールレジスタ 0)

個々のレジスタ名およびアドレス

DEC_CR0: 0,E6h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0			RW : 0		RW : 0		RW : 0
ビット名	IGEN[3:0]			ICLKS0		DCOL[1:0]		DCLKS0

その他の情報は、Decimator (デシメータ) の章で 283 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:4]	IGEN[3:0]	<p>インクリメンタルゲートイネーブル。比較器の出力がインクリメンタルゲート機能とゲートされるカラムを選択します。</p> <p>1h アナログカラム 0 2h アナログカラム 1 4h アナログカラム 2 8h アナログカラム 3</p>
[3]	ICLKS0	<p>インクリメンタルゲートソース。DEC_CR1 中の ICLKS1 に加えて、インクリメンタルゲート機能を制御するため、チップリソースに応じて可能なデジタルブロックの 1 つを選択します。</p> <p>ICLKS1 (DEC_CR1 レジスタを参照)、ICLKS0</p> <p>000b デジタルブロック 02 001b デジタルブロック 12 010b デジタルブロック 01 011b デジタルブロック 11 100b デジタルブロック 00 101b デジタルブロック 10 110b デジタルブロック 03 111b デジタルブロック 13</p>
[2:1]	DCOL[1:0]	<p>デシメータカラムソース。デシメータのデータソースとしてアナログ比較器カラムを選択します。</p> <p>00b アナログカラム 0 01b アナログカラム 1 10b アナログカラム 2 11b アナログカラム 3</p>
[0]	DCLKS0	<p>デシメータラッチの選択。DEC_CR1 中の DCLKS1 に加えて、デシメータ出力ラッチを制御するため、チップリソースに応じて可能なデジタルブロックの 1 つを選択します。</p> <p>DCLKS1 (DEC_CR1 レジスタを参照)、DCLKS0</p> <p>000b デジタルブロック 02 001b デジタルブロック 12 010b デジタルブロック 01 011b デジタルブロック 11 100b デジタルブロック 00 101b デジタルブロック 10 110b デジタルブロック 03 111b デジタルブロック 13</p>

13.1.55 DEC_CR1

Decimator Control Register 1 (デシメータコントロールレジスタ 1)

個々のレジスタ名およびアドレス

DEC_CR1: 0,E7h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0	RW : 0			RW : 0			RW : 0
ビット名	ECNT	IDEC			ICLKS1			DCLKS1

その他の情報は、Decimator (デシメータ) の章で 283 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	ECNT	0 インクリメンタル ADC 演算用のカウンタとしてデシメータを無効にします。デルタシグマ変調用に設定します。 1 インクリメンタル ADC 演算用のカウンタとしてデシメータを有効にします。
[6]	IDEC	デジタルブロックラッチ制御を反転します ({DCLKS[1:0], DCLKS0} によって選択)。 0 非反転 1 反転
[5:4]	予約	
[3]	ICLKS1	インクリメンタルゲートソース。DEC_CR0 中の ICLKS0 に加えて、インクリメンタルゲート機能を制御するため、チップリソースに応じて可能なデジタルブロックの 1 つを選択します。 ICLKS1、ICLKS0 (DEC_CR0 レジスタを参照) 000b デジタルブロック 02 001b デジタルブロック 12 010b デジタルブロック 01 011b デジタルブロック 11 100b デジタルブロック 00 101b デジタルブロック 10 110b デジタルブロック 03 111b デジタルブロック 13
[2:1]	予約	
[0]	DCLKS1	デシメータラッチの選択。DEC_CR0 中の DCLKS0 に加えて、デシメータ出力ラッチを制御するため、チップリソースに応じて可能なデジタルブロックの 1 つを選択します。 DCLKS1、DCLKS0 (DEC_CR0 レジスタを参照) 000b デジタルブロック 02 001b デジタルブロック 12 010b デジタルブロック 01 011b デジタルブロック 11 100b デジタルブロック 00 101b デジタルブロック 10 110b デジタルブロック 03 111b デジタルブロック 13

13.1.56 MUL_X

Multiply Input X Register (乗算入力 X レジスタ)

個々のレジスタ名およびアドレス

MUL_X: 0,E8h

	7	6	5	4	3	2	1	0
アクセス: POR	W : 00							
ビット名	Data[7:0]							

その他の情報は、Multiply Accumulate (MAC) (乗算器および累算器) の章で [280 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:0]	Data[7:0]	MAC 8 ビット乗算器用の X 被乗数。

13.1.57 MUL_Y

Multiply Input Y Register (乗算入力 Y レジスタ)

個々のレジスタ名およびアドレス

MUL_Y: 0,E9h

	7	6	5	4	3	2	1	0
アクセス: POR	W : 00							
ビット名	Data[7:0]							

その他の情報は、Multiply Accumulate (MAC) (乗算器および累算器) の章で [280 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:0]	Data[7:0]	MAC 8 ビット乗算器用の Y 被乗数。

13.1.58 MUL_DH

Multiply Result High Byte Register (乗算結果上位バイトレジスタ)

個々のレジスタ名およびアドレス

MUL_DH: 0,EAh

	7	6	5	4	3	2	1	0
アクセス: POR	R: 00							
ビット名	Data[7:0]							

その他の情報は、Multiply Accumulate (MAC) (乗算器および累算器) の章で [280 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:0]	Data[7:0]	MAC 乗算器 16 ビットの上位バイト。

13.1.59 MUL_DL

Multiply Result Low Byte Register (乗算結果下位バイトレジスタ)

個々のレジスタ名およびアドレス

MUL_DL: 0,EBh

	7	6	5	4	3	2	1	0
アクセス: POR	R: 00							
ビット名	Data[7:0]							

その他の情報は、Multiply Accumulate (MAC) (乗算器および累算器) の章で [280 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:0]	Data[7:0]	MAC 乗算器 16 ビットの下位バイト。

13.1.60 MAC_X/ACC_DR1

Accumulator Data Register 1 (累算器データレジスタ 1)

個々のレジスタ名およびアドレス

MAC_X/ACC_DR1: 0,ECh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 00							
ビット名	Data[7:0]							

その他の情報は、Multiply Accumulate (MAC) (乗算器および累算器) の章で 280 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:0]	Data[7:0]	読み取り MAC 累算器合計の下位バイト。32 ビットの累算値の 2 番目のバイトを返します。このバイトは、累算値の最下位バイトの次のバイトです。 書き込み MAC 16 ビット乗算器および 32 ビット累算器用の X 被乗数。

13.1.61 MAC_Y/ACC_DR0

Accumulator Data Register 0 (累算器データレジスタ 0)

個々のレジスタ名およびアドレス

MAC_Y/ACC_DR0: 0,EDh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 00							
ビット名	Data[7:0]							

その他の情報は、Multiply Accumulate (MAC) (乗算器および累算器) の章で [280 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:0]	Data[7:0]	読み取り 32 ビットの累算値の最初のバイトを返します。このバイトは、累算値の最下位バイトです。 書き込み MAC 16 ビット乗算器および 32 ビット累算器用の Y 被乗数。

13.1.62 MAC_CL0/ACC_DR3

Accumulator Data Register 3 (累算器データレジスタ 3)

個々のレジスタ名およびアドレス

MAC_CL0/ACC_DR3: 0,EEh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 00							
ビット名	Data[7:0]							

その他の情報は、Multiply Accumulate (MAC) (乗算器および累算器) の章で 280 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:0]	Data[7:0]	読み取り 32 ビットの累算値の 4 番目のバイトを返します。このバイトは、累算値の最上位バイトです。 書き込み このアドレスに値を書き込むと、累算器の 4 つのバイトすべてがクリアされます。

13.1.63 MAC_CL1/ACC_DR2

Accumulator Data Register 2 (累算器データレジスタ 2)

個々のレジスタ名およびアドレス

MAC_CL1/ACC_DR2: 0,EFh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 00							
ビット名	Data[7:0]							

その他の情報は、Multiply Accumulate (MAC) (乗算器および累算器) の章で 280 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:0]	Data[7:0]	読み取り 32 ビットの累算値の 3 番目のバイトを返します。このバイトは、累算値の最上位バイトの次のバイトです。 書き込み このアドレスに値を書き込むと、累算器の 4 つのバイトすべてがクリアされます。

13.1.64 CPU_F

M8C Flags Register (M8C フラグレジスタ)

個々のレジスタ名およびアドレス

CPU_F: x,F7h

	7	6	5	4	3	2	1	0
アクセス: POR				RL: 0		RL: 0	RL: 0	RL: 0
ビット名				XOI		Carry	Zero	GIE

AND、OR、および XOR フラグ命令を使用してこのレジスタを修正することができます。その他の情報は、CPU Core (M8C) (CPU コア) の章で 47 ページの "Register Definitions (レジスタ定義)" および Interrupt Controller (割り込みコントローラ) の章で 57 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:5]	予約	
[4]	XOI	0 通常レジスタアドレス空間 1 拡張レジスタアドレス空間。設定に使用されます。
[3]	予約	
[2]	Carry	前の論理/算術演算で桁上げがあったかどうかを示すために M8C CPU コアによってセットされます。 0 桁上げなし 1 桁上げあり
[1]	Zero	前の論理/算術演算でゼロになったかどうかを示すために M8C CPU コアによってセットされます。 0 ゼロ以外 1 ゼロ
[0]	GIE	0 M8C は割り込みを処理しません。 1 割り込み処理は有効です。

13.1.65 CPU_SCR1

System Status and Control Register 1 (システムステータスおよびコントロールレジスタ 1)

個々のレジスタ名およびアドレス

CPU_SCR1: x,FEh

	7	6	5	4	3	2	1	0
アクセス: POR					R: 0	RW: 0		RW: 0
ビット名					ECO EXW	ECO EX		IRAMDIS

その他の情報は、Supervisory ROM (SROM) (監視 ROM) の章で 53 ページの "Register Definitions (レジスタ定義)" または 32 kHz Crystal Oscillator (32 kHz 水晶発振器) の章で 72 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:4]	予約	
[3]	ECO EXW	ECO Exists Written (読み取り専用) 1 ECO Exists Written ビットが '1' または '0' で書き込まれ、ロックされています。 0 ECO Exists Written ビットはユーザモードで書き込まれていません。
[2]	ECO EX	ECO Exists (書き込み一回、読み取り) 1 ECO 操作は存在します (OSC_CR[7] をセット/リセットして有効/無効)。 0 ECO 操作は存在しません。32 kHz クロックソースは ILO から演算するためにロックされます。
[1]	予約	
[0]	IRAMDIS	0 SRAM は、POR、XRES、および WDR の後に 00h に初期化されます。 1 アドレス 03h -D7h は WDR によって修正されません。

13.1.66 CPU_SCR0

System Status and Control Register 0 (システムステータスおよびコントロールレジスタ 0)

個々のレジスタ名およびアドレス

CPU_SCR0: x,FFh

	7	6	5	4	3	2	1	0
アクセス: POR	R:0		RC:0	RC:1	RW:0			RW:0
ビット名	GIES		WDRS	PORS	Sleep			STOP

その他の情報は、Sleep and Watchdog (スリープおよびウォッチドッグ) の章で [79 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	GIES	グローバル入カインェブルステータス。 155 ページ の CPU_F レジスタのグローバル入カインェブルフラグビットを参照することを推奨します。このビットは GIES では読み取り専用です。現在ではフラグレジスタはアドレス x,F7h (読み取り専用) で読み取り可能なので、このビットは使用されていません。
[6]	予約	
[5]	WDRS	ウォッチドッグリセットステータス。このビットはユーザコードでセットすることはできません、0 を書き込んでクリアすることはできます。 0 ウォッチドッグリセットは発生していません。 1 ウォッチドッグリセットが発生しました。
[4]	PORS	パワーオンリセットステータス。このビットはユーザコードでセットすることはできません、0 を書き込んでクリアすることはできます。 0 パワーオンリセットは発生していません。ウォッチドッグタイマは有効です。 1 外部リセットまたはパワーオンリセットの後にセットされます。
[3]	Sleep	CPU スリープ状態を有効にするためユーザによってセットされます。CPU は任意の割り込みが保留になるまでスリープモードのままです。 0 通常モード 1 スリープモード
[2:1]	予約	
[0]	STOP	0 M8C はコードを実行することができます。 1 M8C は停止しています。POR、XRES、または WDR によってのみクリアすることができます。

13.2 Bank 1 Registers (バンク 1 レジスタ)

以下のレジスタはすべてバンク 1 にあり、オフセット順にリストされています。

13.2.1 PRTxDM0

Port Drive Mode Bit Register 0 (ポート駆動モードビットレジスタ 0)

個々のレジスタ名およびアドレス

PRT0DM0 : 1,00h PRT1DM0 : 1,04h PRT2DM0 : 1,08h PRT3DM0 : 1,0Ch
 PRT4DM0 : 1,10h PRT5DM0 : 1,14h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 00							
ビット名	Drive Mode 0[7:0]							

レジスタ PRTxDM0 には、各ポートピンで利用可能な駆動モードが 8 つあります。これらのモードの 1 つを選択するには 3 つのモードビットが必要で、これらの 3 つのビットは 3 つの異なるレジスタ (PRTxDM0、159 ページの PRTxDM1 および 93 ページの PRTxDM2) に含まれています。影響を受けるポートピンのビット位置 (例: Port 0 の Pin[2]) は、そのピンの駆動モードを制御する 3 つの Drive Mode レジスタビットのそれぞれのビット位置と同じです (例: PRT0DM0 の Bit[2]、PRT0DM1 の bit[2] および PRT0DM2 の bit[2])。3 つのレジスタの 3 つのビットは、グループとして扱われます。これらは、DM2、DM1、および DM0 として、または DM[2:0] として参照されます。

すべての駆動モードは下記のサブテーブルに示されています ([210] は、与えられたビット位置でビットの組み合わせを (順に) 参照します)。しかし、このレジスタは駆動モードの最下位ビットのみを制御します。CY8C27643 には 4 ビット幅のポート 5 があります。このレジスタの上位 4 ビットは読み取られたときに最後のデータバスを返します。返されたデータは、この情報を使用する前にマスクすべきです。その他の情報は、General Purpose IO (GPIO) (汎用 IO) の章で 62 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明	
[7:0]	Drive Mode 0[7:0]	GPIO ポートの各 8 つのポートピンの駆動モードのビット 0。	
[210]	ピン出力 High	ピン出力 Low	
000b	Strong	Resistive	ノート
001b	Strong	Strong	
010b	Hi-z	Hi-z	デジタル入力有効。
011b	Resistive	Strong	
100b	Slow + strong	Hi-z	
101b	Slow + strong	Slow + strong	
110b	Hi-z	Hi-z	デジタル入力無効 (ゼロ電力)。リセット状態。
111b	Hi-z	Slow + strong	I ² C 互換モード。
ノート: 上記テーブル中の太字の数字は、このレジスタで使用されている数字を示します。			

13.2.2 PRTxDM1

Port Drive Mode Bit Register 1 (ポート駆動モードビットレジスタ 1)

個々のレジスタ名およびアドレス

PRT0DM1 : 1,01h PRT1DM1 : 1,05h PRT2DM1 : 1,09h PRT3DM1 : 1,0Dh
 PRT4DM1 : 1,11h PRT5DM1 : 1,15h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : FF							
ビット名	Drive Mode 1[7:0]							

レジスタ PRTxDM1 には、各ポートピンで利用可能な駆動モードが 8 つあります。これらのモードの 1 つを選択するには 3 つのモードビットが必要で、これらの 3 つのビットは 3 つの異なるレジスタ (158 ページの PRTxDM0、PRTxDM1、および 93 ページの PRTxDM2) に含まれています。影響を受けるポートピンのビット位置 (例: Port 0 の Pin[2]) は、そのピンの駆動モードを制御する 3 つの Drive Mode レジスタビットのそれぞれのビット位置と同じです (例: PRT0DM0 の Bit[2]、PRT0DM1 の bit[2] および PRT0DM2 の bit[2])。3 つのレジスタの 3 つのビットは、グループとして扱われます。これらは、DM2、DM1、および DM0 として、または DM[2:0] として参照されます。

すべての駆動モードは下記のサブテーブルに示されています ([210] は、与えられたビット位置でビットの組み合わせを (順に) 参照します)。しかし、このレジスタは駆動モードの中央ビットのみを制御します。CY8C27643 には 4 ビット幅のポート 5 があります。このレジスタの上位 4 ビットは読み取られたときに最後のデータバスを返します。返されたデータは、この情報を使用する前にマスクすべきです。その他の情報は、General Purpose IO (GPIO) (汎用 IO) の章で 62 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明	
[7:0]	Drive Mode 1[7:0]	GPIO ポートの各 8 つのポートピンの駆動モードのビット 1。	
[210]	ピン出力 High	ピン出力 Low	
000b	Strong	Resistive	ノート
001b	Strong	Strong	
010b	Hi-z	Hi-z	デジタル入力有効。
011b	Resistive	Strong	
100b	Slow + strong	Hi-z	
101b	Slow + strong	Slow + strong	
110b	Hi-z	Hi-z	デジタル入力無効 (ゼロ電力)。リセット状態。
111b	Hi-z	Slow + strong	I ² C 互換モード。
ノート: 上記テーブル中の太字の数字は、このレジスタで使用されている数字を示します。			

13.2.3 PRTxIC0

Port Interrupt Control Register 0 (ポート割り込みコントロールレジスタ 0)

個々のレジスタ名およびアドレス

PRT0IC0 : 1,02h PRT1IC0 : 1,06h PRT2IC0 : 1,0Ah PRT3IC0 : 1,0Eh
 PRT4IC0 : 1,12h PRT5IC0 : 1,16h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 00							
ビット名	Interrupt Control 0[7:0]							

レジスタ PRTxIC0 には、各ポートピンで利用可能な割り込みモードが 4 つあります。これらのモードの 1 つを選択するには 2 つのモードビットが必要で、これらの 2 つのビットは 2 つの異なるレジスタ (PRTxIC0 および 161 ページの PRTxIC1) に含まれています。影響を受けるポートピンのビット位置 (例: Port 0 の Pin[2]) は、そのピンの割り込みモードを制御する 3 つの Interrupt Control レジスタビットのそれぞれのビット位置と同じです (例: PRT0IC0 の Bit[2] および PRT0IC1 の bit[2])。2 つのレジスタの 2 つのビットは、グループとして扱われます。下記のサブテーブルで、"[0]" は与えられたビット位置で、ビットの組み合わせ (PRTxIC1 から 1 ビットおよび PRTxIC0 から 1 ビット) を (順に) 参照します。

その他の情報は、General Purpose IO (GPIO) (汎用 IO) の章で 62 ページの "Register Definitions (レジスタ定義)" を参照してください。CY8C27643 には 4 ビット幅のポート 5 がある点に注意してください。このレジスタの上位 4 ビットは読み取られたときに最後のデータバスを返します。返されたデータは、この情報を使用する前にマスクすべきです。

ビット	名前	説明
[7:0]	Interrupt Control 0[7:0]	<p>[10] 割り込みタイプ</p> <p>00b 無効</p> <p>01b Low</p> <p>10b High</p> <p>11b 最後の読み取りから変更</p> <p>ノート: 上記テーブル中の太字の数字は、このレジスタで使用されている数字を示します。</p>

13.2.4 PRTxIC1

Port Interrupt Control Register 1 (ポート割り込みコントロールレジスタ 1)

個々のレジスタ名およびアドレス

PRT0IC1 : 1,03h PRT1IC1 : 1,07h PRT2IC1 : 1,0Bh PRT3IC1 : 1,0Fh
 PRT4IC1 : 1,13h PRT5IC1 : 1,17h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 00							
ビット名	Interrupt Control 1[7:0]							

レジスタ PRTxIC1 には、各ポートピンで利用可能な割り込みモードが 4 つあります。これらのモードの 1 つを選択するには 2 つのモードビットが必要で、これらの 2 つのビットは 2 つの異なるレジスタ (160 ページの PRTxIC0 および PRTxIC1) に含まれています。影響を受けるポートピンのビット位置 (例: Port 0 の Pin[2]) は、そのピンの割り込みモードを制御する 3 つの Interrupt Control レジスタビットのそれぞれのビット位置と同じです (例: PRT0IC0 の Bit[2] および PRT0IC1 の bit[2])。2 つのレジスタの 2 つのビットは、グループとして扱われます。下記のサブテーブルで、"[1]" は与えられたビット位置で、ビットの組み合わせ (PRTxIC1 から 1 ビットおよび PRTxIC0 から 1 ビット) を (順に) 参照します。

その他の情報は、General Purpose IO (GPIO) (汎用 IO) の章で 62 ページの "Register Definitions (レジスタ定義)" を参照してください。CY8C27643 には 4 ビット幅のポート 5 がある点に注意してください。このレジスタの上位 4 ビットは読み取られたときに最後のデータバスを返します。返されたデータは、この情報を使用する前にマスクすべきです。

ビット	名前	説明
[7:0]	Interrupt Control 0[7:0]	[10] 割り込みタイプ 00b 無効 01b Low 10b High 11b 最後の読み取りから変更 ノート: 上記テーブル中の太字の数字は、このレジスタで使用されている数字を示します。

13.2.5 DxBxxFN

Digital Basic/Communications Type B Block Function Register (デジタル基本/通信
タイプ B ブロック機能レジスタ)

個々のレジスタ名およびアドレス

DBB00FN : 1,20h DBB01FN : 1,24h DCB02FN : 1,28h DCB03FN : 1,2Ch
 DBB10FN : 1,30h DBB11FN : 1,34h DCB12FN : 1,38h DCB13FN : 1,3Ch

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0	RW : 0	RW : 0	RW : 0		RW : 0		
ビット名	Data Invert	BCEN	End/Signal	Mode[1:0]		Function[2:0]		

設定レジスタ (DxBxxFN、DxBxxIN、および DxBxxOU) を変更する前に、CR0 または DxBxxCR0 レジスタのビット 0 を '0' に設定して対応するデジタルブロックを無効にします。DxBxxFN レジスタの値はブロックが有効な間には変更すべきではありません。すべての設定が変更された後、DxBxxCR0 レジスタのビット 0 を '1' に設定してブロックを有効にします。

その他の情報は、Digital Blocks (デジタルブロック) の章で 216 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	Data Invert	0 データ入力は反転されていません。 1 データ入力は反転されています。
[6]	BCEN	プライマリ機能出力を有効にしてブロードキャストネットを駆動します。 0 無効 1 有効
[5]	End/Single	0 ブロックが連鎖機能の最後でないか、機能が連鎖可能ではありません。 1 ブロックが連鎖機能の最後、または連鎖可能な機能の独立ブロックです。
[4:3]	Mode[1:0]	(機能に依存)
	Timer または Counter:	Mode[0] は割り込みタイプを示します。 0 ターミナルカウントで割り込み 1 比較が真の場合に割り込み Mode[1] は比較タイプを示します。 0 以下で比較 1 未満で比較
	CRCPRS:	Mode[1:0] は比較タイプとしてエンコードされます。 00b 等値で比較 01b 以下で比較 10b 予約 11b 未満で比較
	Dead Band:	Mode[1:0] は KILL タイプとしてエンコードされます。 00b 同期再起動 KILL モード 01b 無効 KILL モード 10b 非同期 KILL モード 11b 予約

(次のページに続く)

13.2.5 DxBxxFN (続き)

UART:	Mode[0]	は向きを示します。
	0	レシーバ
	1	トランスミッタ
	Mode[1]	は割り込みタイプを示します。
	0	TX Reg Empty で割り込み
	1	TX Complete で割り込み
SPI:	Mode[0]	はタイプを示します。
	0	マスター
	1	スレーブ
	Mode[1]	は割り込みタイプを示します。
	0	TX Reg Empty で割り込み
	1	SPI Complete で割り込み
[2:0]	Function[2:0]	
	000b	Timer (連鎖可能)
	001b	Counter (連鎖可能)
	010b	CRCPRS (連鎖可能)
	011b	予約
	100b	Dead Band
	101b	UART (DCBxx ブロックのみ)
	110b	SPI (DCBxx ブロックのみ)
	111b	予約

13.2.6 DxBxxIN

Digital Basic/Communications Type B Block Input Register (デジタル基本/通信タイプ B ブロック入力レジスタ)

個々のレジスタ名およびアドレス

DBB00IN : 1,21h DBB01IN : 1,25h DCB02IN : 1,29h DCB03IN : 1,2Dh
 DBB10IN : 1,31h DBB11IN : 1,35h DCB12IN : 1,39h DCB13IN : 1,3Dh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0				RW : 0			
ビット名	Data Input[3:0]				Clock Input[3:0]			

設定レジスタ (DxBxxFN、DxBxxIN、および DxBxxOU) を変更する前に、CR0 または DxBxxCR0 レジスタのビット 0 を '0' に設定して対応するデジタルブロックを無効にします。このレジスタの値はブロックが有効な間は変更すべきではありません。すべての設定が変更された後、CR0 レジスタのビット 0 を '1' に設定してブロックを有効にします。

その他の情報は、Digital Blocks (デジタルブロック) の章で 216 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明	
[7:4]	Data Input[3:0]	0h	Low (0)
		1h	High (1)
		2h	ロウブロードキャストネット
		3h	前のブロックへの連鎖機能
		4h	アナログカラム比較器 0
		5h	アナログカラム比較器 1
		6h	アナログカラム比較器 2
		7h	アナログカラム比較器 3
		8h	ロウ出力 0
		9h	ロウ出力 1
		Ah	ロウ出力 2
		Bh	ロウ出力 3
		Ch	ロウ入力 0
		Dh	ロウ入力 1
		Eh	ロウ入力 2
		Fh	ロウ入力 3
[3:0]	Clock Input[3:0]	0h	クロック無効 (low)
		1h	VC3
		2h	ロウブロードキャストネット
		3h	前のブロックプライマリ出力 (DBB00 の場合 low)
		4h	SYSCLKX2
		5h	VC1
		6h	VC2
		7h	CLK32K
		8h	ロウ出力 0
		9h	ロウ出力 1
		Ah	ロウ出力 2
		Bh	ロウ出力 3
		Ch	ロウ入力 0
		Dh	ロウ入力 1
		Eh	ロウ入力 2
		Fh	ロウ入力 3

13.2.7 DxBxxOU

Digital Basic/Communications Type B Block Output Register (デジタル基本/通信タイプ B ブロック出力レジスタ)

個々のレジスタ名およびアドレス

DBB00OU : 1,22h DBB01OU : 1,26h DCB02OU : 1,2Ah DCB03OU : 1,2Eh
 DBB10OU : 1,32h DBB11OU : 1,36h DCB12OU : 1,3Ah DCB13OU : 1,3Eh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0		RW : 0	RW : 0		RW : 0	RW : 0	
ビット名	AUXCLK		AUXEN	AUX IO Select[1:0]		OUTEN	Output Select[1:0]	

設定レジスタ (DxBxxFN、DxBxxIN、および DxBxxOU) を変更する前に、CR0 または DxBxxCR0 レジスタのビット 0 を '0' に設定して対応するデジタルブロックを無効にします。このレジスタの値はブロックが有効な間に変更すべきではありません。すべての設定が変更された後、DxBxxCR0 レジスタのビット 0 を '1' に設定してブロックを有効にします。

その他の情報は、Digital Blocks (デジタルブロック) の章で 216 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:6]	AUXCLK	00b 同期なし 01b SYSCLK に同期 10b SYSCLKX2 に同期 11b SYSCLK 16 から 1 クロックマルチプレクサ出力 16 から 1 クロックマルチプレクサの出力を SYSCLK に同期 16 から 1 クロックマルチプレクサの出力を SYSCLKX2 に同期 SYSCLK からブロッククロック入力に直接出力
[5]	AUXEN	Aux IO Enable (機能に依存) SPI スレーブを除くすべての機能: 補助出力ドライバを有効にします 0 無効 1 有効 SPI スレーブ: Slave Select 入力 Aux IO Enable, Aux IO Select[1:0] (機能に依存、SPIS のみ) SS_input のソース 000b AUXDATA[0] (ロウ入力 0) 001b AUXDATA[1] (ロウ入力 1) 010b AUXDATA[2] (ロウ入力 2) 011b AUXDATA[3] (ロウ入力 3) 100b Force SS_active 101b 予約 110b 予約 111b 予約
[4:3]	AUX IO Select[1:0]	SPI スレーブを除くすべての機能: 補助機能出力のロウ出力選択 (機能に依存) 00b ロウ出力 0 01b ロウ出力 1 10b ロウ出力 2 11b ロウ出力 3
[2]	OUTEN	プライマリ機能出力ドライバを有効にします 0 無効。 1 有効。

(次のページに続く)

13.2.7 DxBxxOU (続き)

[1:0]	Output Select[1:0]	プライマリ機能出力のロウ出力選択
	00b	ロウ出力 0
	01b	ロウ出力 1
	10b	ロウ出力 2
	11b	ロウ出力 3

13.2.8 CLK_CR0

Analog Column Clock Control Register 0 (アナログカラムクロックコントロールレジスタ 0)

個々のレジスタ名およびアドレス

CLK_CR0: 1,60h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0							
ビット名	Acolumn3[1:0]		Acolumn2[1:0]		Acolumn1[1:0]		Acolumn0[1:0]	

各カラムには、カラムのクロック入力ソースを選択する 2 つのビットがあります。カラムのクロック周波数は選択された入力クロック周波数を 4 で割った値になります。その他の情報は、Analog Interface (アナログインターフェイス) の章で 246 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:6]	Acolumn3[1:0]	カラム 3 のクロックを選択します。 00b 変数クロック 1 (VC1) 01b 変数クロック 2 (VC2) 10b アナログクロック 0 (ACLK0) 11b アナログクロック 1 (ACLK1)
[5:4]	Acolumn2[1:0]	カラム 2 のクロックを選択します。 00b 変数クロック 1 (VC1) 01b 変数クロック 2 (VC2) 10b アナログクロック 0 (ACLK0) 11b アナログクロック 1 (ACLK1)
[3:2]	Acolumn1[1:0]	カラム 1 のクロックを選択します。 00b 変数クロック 1 (VC1) 01b 変数クロック 2 (VC2) 10b アナログクロック 0 (ACLK0) 11b アナログクロック 1 (ACLK1)
[1:0]	Acolumn0[1:0]	カラム 0 のクロックを選択します。 00b 変数クロック 1 (VC1) 01b 変数クロック 2 (VC2) 10b アナログクロック 0 (ACLK0) 11b アナログクロック 1 (ACLK1)

13.2.9 CLK_CR1

Analog Clock Source Control Register 1 (アナログクロックソースコントロールレジスタ 1)

個々のレジスタ名およびアドレス

CLK_CR1: 1,61h

	7	6	5	4	3	2	1	0
アクセス: POR		RW : 0		RW : 0			RW : 0	
ビット名		SHDIS		ACLK1[2:0]			ACLK0[2:0]	

その他の情報は、Analog Interface (アナログインターフェイス) の章で 246 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	予約	
[6]	SHDIS	サンプルおよび保持無効。 0 有効 1 無効
[5:3]	ACLK1[2:0]	アナログクロック 1 のクロックソースを選択します。 000b デジタル PSoC ブロック 00 001b デジタル PSoC ブロック 01 010b デジタル PSoC ブロック 02 011b デジタル PSoC ブロック 03 100b デジタル PSoC ブロック 10 101b デジタル PSoC ブロック 11 110b デジタル PSoC ブロック 12 111b デジタル PSoC ブロック 13
[2:0]	ACLK0[2:0]	アナログクロック 0 のクロックソースを選択します。 000b デジタル PSoC ブロック 00 001b デジタル PSoC ブロック 01 010b デジタル PSoC ブロック 02 011b デジタル PSoC ブロック 03 100b デジタル PSoC ブロック 10 101b デジタル PSoC ブロック 11 110b デジタル PSoC ブロック 12 111b デジタル PSoC ブロック 13

13.2.10 ABF_CR0

Analog Output Buffer Control Register 0 (アナログ出力バッファコントロールレジスタ 0)

個々のレジスタ名およびアドレス

ABF_CR0: 1,62h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0	RW : 0	RW : 0					
ビット名	ACol1Mux	ACol2Mux	ABUF1EN0	ABUF2EN0	ABUF0EN0	ABUF3EN0	Bypass	PWR

その他の情報は、Analog Output Drivers (アナログ出力ドライバ) の章で 66 ページの "Register Definitions (レジスタ定義)" または Analog Input Configuration (アナログ入力設定) の章で 255 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	ACol1Mux	0 カラム 1 入力をカラム 1 入力マルチプレクサの出力に設定します。 1 カラム 1 入力をカラム 0 入力マルチプレクサの出力に設定します。
[6]	ACol2Mux	0 カラム 2 入力をカラム 2 入力マルチプレクサの出力に設定します。 1 カラム 2 入力をカラム 3 入力マルチプレクサの出力に設定します。
[5]	ABUF1EN0	アナログカラム 1 (ピン P0[5]) 用のアナログ出力バッファを有効にします。 0 アナログ出力バッファを無効にします。 1 アナログ出力バッファを有効にします。
[4]	ABUF2EN0	アナログカラム 2 (ピン P0[4]) 用のアナログ出力バッファを有効にします。 0 アナログ出力バッファを無効にします。 1 アナログ出力バッファを有効にします。
[3]	ABUF0EN0	アナログカラム 0 (ピン P0[3]) 用のアナログ出力バッファを有効にします。(Helium: not column 0, it is AGND) 0 アナログ出力バッファを無効にします。 1 アナログ出力バッファを有効にします。
[2]	ABUF3EN0	アナログカラム 3 (ピン P0[2]) 用のアナログ出力バッファを有効にします。 0 アナログ出力バッファを無効にします。 1 アナログ出力バッファを有効にします。
[1]	Bypass	4 つの増幅器すべての正の入力を直接出力に接続します。バイパスモードでは増幅器を無効にする必要があります。
[0]	PWR	すべての出力バッファの電力レベルを決定します。 0 低出力電力 1 高出力電力

13.2.11 AMD_CR0

Analog Modulation Control Register 0 (アナログ変調コントロールレジスタ 0)

個々のレジスタ名およびアドレス

AMD_CR0: 1,63h

	7	6	5	4	3	2	1	0
アクセス: POR			RW : 0				RW : 0	
ビット名			AMOD2[2:0]				AMOD0[2:0]	

その他の情報は、Analog Interface (アナログインターフェイス) の章で 246 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	予約	
[6:4]	AMOD2[2:0]	カラム 2 のアナログ変調制御信号の選択。 000b ゼロ (オフ) 001b グローバル出カバス、偶数バスビット 1 (GOE[1]) 010b グローバル出カバス、偶数バスビット 0 (GOE[0]) 011b ロウ 0 ブロードキャストバス 100b アナログカラム比較器 0 101b アナログカラム比較器 1 110b アナログカラム比較器 2 111b アナログカラム比較器 3
[3]	予約	
[2:0]	AMOD0[2:0]	カラム 0 のアナログ変調制御信号の選択。 000b ゼロ (オフ) 001b グローバル出カバス、偶数バスビット 1 (GOE[1]) 010b グローバル出カバス、偶数バスビット 0 (GOE[0]) 011b ロウ 0 ブロードキャストバス 100b アナログカラム比較器 0 101b アナログカラム比較器 1 110b アナログカラム比較器 2 111b アナログカラム比較器 3

13.2.12 AMD_CR1

Analog Modulation Control Register 1 (アナログ変調コントロールレジスタ 1)

個々のレジスタ名およびアドレス

AMD_CR1: 1,66h

	7	6	5	4	3	2	1	0
アクセス: POR			RW : 0				RW : 0	
ビット名			AMOD3[2:0]				AMOD1[2:0]	

その他の情報は、Analog Interface (アナログインターフェイス) の章で 246 ページの "Register Definitions (レジスタ定義)" を参照してください。このレジスタは CY8C27xxx および Hydra 専用です。

ビット	名前	説明
[7]	予約	
[6:4]	AMOD3[2:0]	カラム 3 のアナログ変調制御信号の選択。 000b ゼロ (オフ) 001b グローバル出カバス、偶数バスビット 1 (GOE[1]) 010b グローバル出カバス、偶数バスビット 0 (GOE[0]) 011b ロウ 0 ブロードキャストバス 100b アナログカラム比較器 0 101b アナログカラム比較器 1 110b アナログカラム比較器 2 111b アナログカラム比較器 3
[3]	予約	
[2:0]	AMOD1[2:0]	カラム 1 のアナログ変調制御信号の選択。 000b ゼロ (オフ) 001b グローバル出カバス、偶数バスビット 1 (GOE[1]) 010b グローバル出カバス、偶数バスビット 0 (GOE[0]) 011b ロウ 0 ブロードキャストバス 100b アナログカラム比較器 0 101b アナログカラム比較器 1 110b アナログカラム比較器 2 111b アナログカラム比較器 3

13.2.13 ALT_CR0

Analog LUT Control Register 0 (アナログ LUT コントロールレジスタ 0)

個々のレジスタ名およびアドレス

ALT_CR0: 1,67h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0				RW : 0			
ビット名	LUT1[3:0]				LUT0[3:0]			

その他の情報は、Analog Interface (アナログインターフェイス) の章で [246 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:4]	LUT1[3:0]	比較器バス 1 の出力用に 16 の論理関数の 1 つを選択します。 0h FALSE 1h A AND B 2h A AND \bar{B} 3h A 4h \bar{A} AND B 5h B 6h A XOR B 7h A OR B 8h A NOR B 9h A XNOR B Ah \bar{B} Bh A OR \bar{B} Ch \bar{A} Dh \bar{A} OR B Eh A NAND B Fh TRUE
[3:0]	LUT0[3:0]	比較器バス 0 の出力用に 16 の論理関数の 1 つを選択します。 0h FALSE 1h A AND B 2h A AND \bar{B} 3h A 4h \bar{A} AND B 5h B 6h A XOR B 7h A OR B 8h A NOR B 9h A XNOR B Ah \bar{B} Bh A OR \bar{B} Ch \bar{A} Dh \bar{A} OR B Eh A NAND B Fh TRUE

13.2.14 ALT_CR1

Analog LUT Control Register 1 (アナログ LUT コントロールレジスタ 1)

個々のレジスタ名およびアドレス

ALT_CR1: 1,68h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0				RW : 0			
ビット名	LUT3[3:0]				LUT2[3:0]			

その他の情報は、Analog Interface (アナログインターフェイス) の章で 246 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:4]	LUT3[3:0]	比較器バス 3 の出力用に 16 の論理関数の 1 つを選択します。 0h FALSE 1h A AND B 2h A AND \bar{B} 3h A 4h \bar{A} AND B 5h B 6h A XOR B 7h A OR B 8h A NOR B 9h A XNOR B Ah \bar{B} Bh A OR \bar{B} Ch \bar{A} Dh \bar{A} OR B Eh A NAND B Fh TRUE
[3:0]	LUT0[3:0]	比較器バス 2 の出力用に 16 の論理関数の 1 つを選択します。 0h FALSE 1h A AND B 2h A AND \bar{B} 3h A 4h \bar{A} AND B 5h B 6h A XOR B 7h A OR B 8h A NOR B 9h A XNOR B Ah \bar{B} Bh A OR \bar{B} Ch \bar{A} Dh \bar{A} OR B Eh A NAND B Fh TRUE

13.2.15 CLK_CR2

Analog Clock Source Control Register 2 (アナログクロックソースコントロールレジスタ 2)

個々のレジスタ名およびアドレス

CLK_CR2: 1,69h

	7	6	5	4	3	2	1	0
アクセス: POR					RW : 0			RW : 0
ビット名					ACLK1R			ACLK0R

その他の情報は、Analog Interface (アナログインターフェイス) の章で [246 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:4]	予約	
[3]	ACLK1R	アナログクロック 1 選択範囲 0 デジタル PSoC ブロックをロウ 0 および 1 (00-13) から選択します。 1 予約
[2:1]	予約	
[0]	ACLK0R	アナログクロック 0 選択範囲 0 デジタル PSoC ブロックをロウ 0 および 1 (00-13) から選択します。 1 予約

13.2.16 GDI_O_IN

Global Digital Interconnect Odd Inputs Register (グローバルデジタル相互接続奇数入力レジスタ)

個々のレジスタ名およびアドレス

GDI_O_IN: 1,D0h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0							
ビット名	GIONOUT7	GIONOUT6	GIONOUT5	GIONOUT4	GIONOUT3	GIONOUT2	GIONOUT1	GIONOUT0

その他の情報は、Global Digital Interconnect (GDI) (グローバルデジタル相互接続) の章で [197 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明	
[7]	GIONOUT7	0	GIO[7] は GOO[7] を駆動しません。
		1	GIO[7] はその値を GOO[7] に駆動します。
[6]	GIONOUT6	0	GIO[6] は GOO[6] を駆動しません。
		1	GIO[6] はその値を GOO[6] に駆動します。
[5]	GIONOUT5	0	GIO[5] は GOO[5] を駆動しません。
		1	GIO[5] はその値を GOO[5] に駆動します。
[4]	GIONOUT4	0	GIO[4] は GOO[4] を駆動しません。
		1	GIO[4] はその値を GOO[4] に駆動します。
[3]	GIONOUT3	0	GIO[3] は GOO[3] を駆動しません。
		1	GIO[3] はその値を GOO[3] に駆動します。
[2]	GIONOUT2	0	GIO[2] は GOO[2] を駆動しません。
		1	GIO[2] はその値を GOO[2] に駆動します。
[1]	GIONOUT1	0	GIO[1] は GOO[1] を駆動しません。
		1	GIO[1] はその値を GOO[1] に駆動します。
[0]	GIONOUT0	0	GIO[0] は GOO[0] を駆動しません。
		1	GIO[0] はその値を GOO[0] に駆動します。

13.2.17 GDI_E_IN

Global Digital Interconnect Even Inputs Register (グローバルデジタル相互接続偶数入力レジスタ)

個々のレジスタ名およびアドレス

GDI_E_IN: 1,D1h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0							
ビット名	GIENOUT7	GIENOUT6	GIENOUT5	GIENOUT4	GIENOUT3	GIENOUT2	GIENOUT1	GIENOUT0

その他の情報は、Global Digital Interconnect (GDI) (グローバルデジタル相互接続) の章で [197 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明	
[7]	GIENOUT7	0	GIE[7] は GOE[7] を駆動しません。
		1	GIE[7] はその値を GOE[7] に駆動します。
[6]	GIENOUT6	0	GIE[6] は GOE[6] を駆動しません。
		1	GIE[6] はその値を GOE[6] に駆動します。
[5]	GIENOUT5	0	GIE[5] は GOE[5] を駆動しません。
		1	GIE[5] はその値を GOE[5] に駆動します。
[4]	GIENOUT4	0	GIE[4] は GOE[4] を駆動しません。
		1	GIE[4] はその値を GOE[4] に駆動します。
[3]	GIENOUT3	0	GIE[3] は GOE[3] を駆動しません。
		1	GIE[3] はその値を GOE[3] に駆動します。
[2]	GIENOUT2	0	GIE[2] は GOE[2] を駆動しません。
		1	GIE[2] はその値を GOE[2] に駆動します。
[1]	GIENOUT1	0	GIE[1] は GOE[1] を駆動しません。
		1	GIE[1] はその値を GOE[1] に駆動します。
[0]	GIENOUT0	0	GIE[0] は GOE[0] を駆動しません。
		1	GIE[0] はその値を GOE[0] に駆動します。

13.2.18 GDI_O_OU

Global Digital Interconnect Odd Outputs Register (グローバルデジタル相互接続奇数出力レジスタ)

個々のレジスタ名およびアドレス

GDI_O_OU: 1,D2h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0							
ビット名	GOOUTIN7	GOOUTIN6	GOOUTIN5	GOOUTIN4	GOOUTIN3	GOOUTIN2	GOOUTIN1	GOOUTIN0

その他の情報は、Global Digital Interconnect (GDI) (グローバルデジタル相互接続) の章で [197 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	GOOUTIN7	0 GOO[7] は GIO[7] を駆動しません。 1 GOO[7] はその値を GIO[7] に駆動します。
[6]	GOOUTIN6	0 GOO[6] は GIO[6] を駆動しません。 1 GOO[6] はその値を GIO[6] に駆動します。
[5]	GOOUTIN5	0 GOO[5] は GIO[5] を駆動しません。 1 GOO[5] はその値を GIO[5] に駆動します。
[4]	GOOUTIN4	0 GOO[4] は GIO[4] を駆動しません。 1 GOO[4] はその値を GIO[4] に駆動します。
[3]	GOOUTIN3	0 GOO[3] は GIO[3] を駆動しません。 1 GOO[3] はその値を GIO[3] に駆動します。
[2]	GOOUTIN2	0 GOO[2] は GIO[2] を駆動しません。 1 GOO[2] はその値を GIO[2] に駆動します。
[1]	GOOUTIN1	0 GOO[1] は GIO[1] を駆動しません。 1 GOO[1] はその値を GIO[1] に駆動します。
[0]	GOOUTIN0	0 GOO[0] は GIO[0] を駆動しません。 1 GOO[0] はその値を GIO[0] に駆動します。

13.2.19 GDI_E_OU

Global Digital Interconnect Even Outputs Register (グローバルデジタル相互接続偶数出力レジスタ)

個々のレジスタ名およびアドレス

GDI_E_OU: 1,D3h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0							
ビット名	GOEUTIN7	GOEUTIN6	GOEUTIN5	GOEUTIN4	GOEUTIN3	GOEUTIN2	GOEUTIN1	GOEUTIN0

その他の情報は、Global Digital Interconnect (GDI) (グローバルデジタル相互接続) の章で [197 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明	
[7]	GOEUTIN7	0	GOE[7] は GIE[7] を駆動しません。
		1	GOE[7] はその値を GIE[7] に駆動します。
[6]	GOEUTIN6	0	GOE[6] は GIE[6] を駆動しません。
		1	GOE[6] はその値を GIE[6] に駆動します。
[5]	GOEUTIN5	0	GOE[5] は GIE[5] を駆動しません。
		1	GOE[5] はその値を GIE[5] に駆動します。
[4]	GOEUTIN4	0	GOE[4] は GIE[4] を駆動しません。
		1	GOE[4] はその値を GIE[4] に駆動します。
[3]	GOEUTIN3	0	GOE[3] は GIE[3] を駆動しません。
		1	GOE[3] はその値を GIE[3] に駆動します。
[2]	GOEUTIN2	0	GOE[2] は GIE[2] を駆動しません。
		1	GOE[2] はその値を GIE[2] に駆動します。
[1]	GOEUTIN1	0	GOE[1] は GIE[1] を駆動しません。
		1	GOE[1] はその値を GIE[1] に駆動します。
[0]	GOEUTIN0	0	GOE[0] は GIE[0] を駆動しません。
		1	GOE[0] はその値を GIE[0] に駆動します。

13.2.20 OSC_CR4

Oscillator Control Register 4 (発振器コントロールレジスタ 4)

個々のレジスタ名およびアドレス

OSC_CR4: 1,DEh

	7	6	5	4	3	2	1	0
アクセス: POR							RW : 0	
ビット名							VC3 Input Select[1:0]	

その他の情報は、Digital Clocks (デジタルクロック) の章で [276 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:2]	予約	
[1:0]	VC3 Input Select[1:0]	VC3 クロックディバイダのクロックソースを選択します。 00b SYSCLK 01b VC1 10b VC2 11b SYSCLKX2

13.2.21 OSC_CR3

Oscillator Control Register 3 (発振器コントロールレジスタ 3)

個々のレジスタ名およびアドレス

OSC_CR3: 1,DFh

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 00							
ビット名	VC3 Divider[7:0]							

VC3 クロックディバイダの出力周波数は、入力周波数をこのレジスタの値に 1 を加えた数で割った値になります。例えば、レジスタの値が 07h の場合、VC3 クロックディバイダからの出力周波数は入力周波数の 1/8 になります。その他の情報は、Digital Clocks (デジタルクロック) の章で 276 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:0]	VC3 Divider[7:0]	OSC_CR4 レジスタのリファレンス。 00h 入力クロック 01h 入力クロック / 2 02h 入力クロック / 3 03h 入力クロック / 4 ... FCh 入力クロック / 253 FDh 入力クロック / 254 FEh 入力クロック / 255 FFh 入力クロック / 256

13.2.22 OSC_CR0

Oscillator Control Register 0 (発振器コントロールレジスタ 0)

個々のレジスタ名およびアドレス

OSC_CR0: 1,E0h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0	RW : 0	RW : 0	RW : 0		RW : 0		
ビット名	32k Select	PLL Mode	No Buzz	Sleep[1:0]		CPU Speed[2:0]		

その他の情報は、Digital Clocks (デジタルクロック) の章で 276 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明	
[7]	32k Select	0	内部低精度 32 kHz 発振器
		1	外部水晶子発振器
[6]	PLL Mode	0	無効
		1	有効。内部主発振器は外部水晶発振器の周波数にロックされます。
[5]	No Buzz	0	パワーダウン中にバンドギャップを保証なしで動作させます。
		1	バンドギャップはスリープ中でも電源が供給されます。
[4:3]	Sleep[1:0]	スリープ間隔	
		00b	1.95 ms (512 Hz)
		01b	15.6 ms (64 Hz)
		10b	125 ms (8 Hz)
		11b	1 s (1 Hz)
[2:0]	CPU Speed[2:0]	内部主発振器	
		000b	3 MHz
		001b	6 MHz
		010b	12 MHz
		011b	24 MHz
		100b	1.5 MHz
		101b	750 kHz
		110b	187.5 kHz
		111b	93.7 kHz
		外部クロック	
			EXTCLK / 8
			EXTCLK / 4
			EXTCLK / 2
			EXTCLK / 1
			EXTCLK / 16
			EXTCLK / 32
			EXTCLK / 128
			EXTCLK / 256

13.2.23 OSC_CR1

Oscillator Control Register 1 (発振器コントロールレジスタ 1)

個々のレジスタ名およびアドレス

OSC_CR1: 1,E1h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0				RW : 0			
ビット名	VC1 Divider[3:0]				VC2 Divider[3:0]			

その他の情報は、Digital Clocks (デジタルクロック) の章で 276 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明																																																			
[7:4]	VC1 Divider[3:0]	<table border="0"> <tr> <td></td> <td>内部主発振器</td> <td>外部クロック</td> </tr> <tr> <td>0h</td> <td>24 MHz</td> <td>EXTCLK / 1</td> </tr> <tr> <td>1h</td> <td>12 MHz</td> <td>EXTCLK / 2</td> </tr> <tr> <td>2h</td> <td>8 MHz</td> <td>EXTCLK / 3</td> </tr> <tr> <td>3h</td> <td>6 MHz</td> <td>EXTCLK / 4</td> </tr> <tr> <td>4h</td> <td>4.8 MHz</td> <td>EXTCLK / 5</td> </tr> <tr> <td>5h</td> <td>4 MHz</td> <td>EXTCLK / 6</td> </tr> <tr> <td>6h</td> <td>3.43 MHz</td> <td>EXTCLK / 7</td> </tr> <tr> <td>7h</td> <td>3 MHz</td> <td>EXTCLK / 8</td> </tr> <tr> <td>8h</td> <td>2.67 MHz</td> <td>EXTCLK / 9</td> </tr> <tr> <td>9h</td> <td>2.40 MHz</td> <td>EXTCLK / 10</td> </tr> <tr> <td>Ah</td> <td>2.18 MHz</td> <td>EXTCLK / 11</td> </tr> <tr> <td>Bh</td> <td>2.00 MHz</td> <td>EXTCLK / 12</td> </tr> <tr> <td>Ch</td> <td>1.85 MHz</td> <td>EXTCLK / 13</td> </tr> <tr> <td>Dh</td> <td>1.71 MHz</td> <td>EXTCLK / 14</td> </tr> <tr> <td>Eh</td> <td>1.6 MHz</td> <td>EXTCLK / 15</td> </tr> <tr> <td>Fh</td> <td>1.5 MHz</td> <td>EXTCLK / 16</td> </tr> </table>		内部主発振器	外部クロック	0h	24 MHz	EXTCLK / 1	1h	12 MHz	EXTCLK / 2	2h	8 MHz	EXTCLK / 3	3h	6 MHz	EXTCLK / 4	4h	4.8 MHz	EXTCLK / 5	5h	4 MHz	EXTCLK / 6	6h	3.43 MHz	EXTCLK / 7	7h	3 MHz	EXTCLK / 8	8h	2.67 MHz	EXTCLK / 9	9h	2.40 MHz	EXTCLK / 10	Ah	2.18 MHz	EXTCLK / 11	Bh	2.00 MHz	EXTCLK / 12	Ch	1.85 MHz	EXTCLK / 13	Dh	1.71 MHz	EXTCLK / 14	Eh	1.6 MHz	EXTCLK / 15	Fh	1.5 MHz	EXTCLK / 16
	内部主発振器	外部クロック																																																			
0h	24 MHz	EXTCLK / 1																																																			
1h	12 MHz	EXTCLK / 2																																																			
2h	8 MHz	EXTCLK / 3																																																			
3h	6 MHz	EXTCLK / 4																																																			
4h	4.8 MHz	EXTCLK / 5																																																			
5h	4 MHz	EXTCLK / 6																																																			
6h	3.43 MHz	EXTCLK / 7																																																			
7h	3 MHz	EXTCLK / 8																																																			
8h	2.67 MHz	EXTCLK / 9																																																			
9h	2.40 MHz	EXTCLK / 10																																																			
Ah	2.18 MHz	EXTCLK / 11																																																			
Bh	2.00 MHz	EXTCLK / 12																																																			
Ch	1.85 MHz	EXTCLK / 13																																																			
Dh	1.71 MHz	EXTCLK / 14																																																			
Eh	1.6 MHz	EXTCLK / 15																																																			
Fh	1.5 MHz	EXTCLK / 16																																																			
[3:0]	VC2 Divider[3:0]	<table border="0"> <tr> <td></td> <td>内部主発振器</td> <td>外部クロック</td> </tr> <tr> <td>0h</td> <td>$(24 / (\text{OSC_CR1}[7:4]+1)) / 1$</td> <td>$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 1$</td> </tr> <tr> <td>1h</td> <td>$(24 / (\text{OSC_CR1}[7:4]+1)) / 2$</td> <td>$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 2$</td> </tr> <tr> <td>2h</td> <td>$(24 / (\text{OSC_CR1}[7:4]+1)) / 3$</td> <td>$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 3$</td> </tr> <tr> <td>3h</td> <td>$(24 / (\text{OSC_CR1}[7:4]+1)) / 4$</td> <td>$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 4$</td> </tr> <tr> <td>4h</td> <td>$(24 / (\text{OSC_CR1}[7:4]+1)) / 5$</td> <td>$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 5$</td> </tr> <tr> <td>5h</td> <td>$(24 / (\text{OSC_CR1}[7:4]+1)) / 6$</td> <td>$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 6$</td> </tr> <tr> <td>6h</td> <td>$(24 / (\text{OSC_CR1}[7:4]+1)) / 7$</td> <td>$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 7$</td> </tr> <tr> <td>7h</td> <td>$(24 / (\text{OSC_CR1}[7:4]+1)) / 8$</td> <td>$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 8$</td> </tr> <tr> <td>8h</td> <td>$(24 / (\text{OSC_CR1}[7:4]+1)) / 9$</td> <td>$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 9$</td> </tr> <tr> <td>9h</td> <td>$(24 / (\text{OSC_CR1}[7:4]+1)) / 10$</td> <td>$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 10$</td> </tr> <tr> <td>Ah</td> <td>$(24 / (\text{OSC_CR1}[7:4]+1)) / 11$</td> <td>$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 11$</td> </tr> <tr> <td>Bh</td> <td>$(24 / (\text{OSC_CR1}[7:4]+1)) / 12$</td> <td>$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 12$</td> </tr> <tr> <td>Ch</td> <td>$(24 / (\text{OSC_CR1}[7:4]+1)) / 13$</td> <td>$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 13$</td> </tr> <tr> <td>Dh</td> <td>$(24 / (\text{OSC_CR1}[7:4]+1)) / 14$</td> <td>$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 14$</td> </tr> <tr> <td>Eh</td> <td>$(24 / (\text{OSC_CR1}[7:4]+1)) / 15$</td> <td>$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 15$</td> </tr> <tr> <td>Fh</td> <td>$(24 / (\text{OSC_CR1}[7:4]+1)) / 16$</td> <td>$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 16$</td> </tr> </table>		内部主発振器	外部クロック	0h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 1$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 1$	1h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 2$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 2$	2h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 3$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 3$	3h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 4$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 4$	4h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 5$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 5$	5h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 6$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 6$	6h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 7$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 7$	7h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 8$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 8$	8h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 9$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 9$	9h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 10$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 10$	Ah	$(24 / (\text{OSC_CR1}[7:4]+1)) / 11$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 11$	Bh	$(24 / (\text{OSC_CR1}[7:4]+1)) / 12$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 12$	Ch	$(24 / (\text{OSC_CR1}[7:4]+1)) / 13$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 13$	Dh	$(24 / (\text{OSC_CR1}[7:4]+1)) / 14$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 14$	Eh	$(24 / (\text{OSC_CR1}[7:4]+1)) / 15$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 15$	Fh	$(24 / (\text{OSC_CR1}[7:4]+1)) / 16$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 16$
	内部主発振器	外部クロック																																																			
0h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 1$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 1$																																																			
1h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 2$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 2$																																																			
2h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 3$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 3$																																																			
3h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 4$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 4$																																																			
4h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 5$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 5$																																																			
5h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 6$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 6$																																																			
6h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 7$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 7$																																																			
7h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 8$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 8$																																																			
8h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 9$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 9$																																																			
9h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 10$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 10$																																																			
Ah	$(24 / (\text{OSC_CR1}[7:4]+1)) / 11$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 11$																																																			
Bh	$(24 / (\text{OSC_CR1}[7:4]+1)) / 12$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 12$																																																			
Ch	$(24 / (\text{OSC_CR1}[7:4]+1)) / 13$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 13$																																																			
Dh	$(24 / (\text{OSC_CR1}[7:4]+1)) / 14$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 14$																																																			
Eh	$(24 / (\text{OSC_CR1}[7:4]+1)) / 15$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 15$																																																			
Fh	$(24 / (\text{OSC_CR1}[7:4]+1)) / 16$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 16$																																																			

13.2.24 OSC_CR2

Oscillator Control Register 2 (発振器コントロールレジスタ 2)

個々のレジスタ名およびアドレス

OSC_CR2: 1,E2h

	7	6	5	4	3	2	1	0
アクセス: POR	RW: 0					RW: 0	RW: 0	RW: 0
ビット名	PLLGAIN					EXTCLKEN	IMODIS	SYSCCLKX2DIS

OCD モード (OCDM=1) では、ビット [1:0] には何も効果がない点に注意してください。その他の情報は、Digital Clocks (デジタルクロック) の章で 276 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	PLLGAIN	PLL の利得。 0 推奨値、通常利得。 1 PLL が様々な水晶入力を許容しやすくなるように利得を減少します。
[6:3]	予約	
[2]	EXTCLKEN	外部クロックモードイネーブル。 0 無効。内部主発振器で動作します。 1 有効。ポート P1[4] で供給されたクロックで動作します。
[1]	IMODIS	内部発振器無効。P1[4] で外部クロックを使用する場合に電力を節約するためにセットすることができます。 0 有効。内部発振器有効。 1 無効 (SYSCCLKX2DIS が 1 の場合)。
[0]	SYSCCLKX2DIS	48 MHz クロックソース無効。 0 有効。有効な場合、システムクロックネットが使用されます。 1 電力節約のために無効。

13.2.25 VLT_CR

Voltage Monitor Control Register (電圧モニタコントロールレジスタ)

個々のレジスタ名およびアドレス

VLT_CR: 1,E3h

	7	6	5	4	3	2	1	0
アクセス: POR	RW : 0			RW : 0	RW : 0			RW : 0
ビット名	SMP			PORLEV[1:0]	LVDTBEN			VM[2:0]

その他の情報は、POR and LVD (POR および LVD) の章で 301 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	SMP	スイッチモードポンプ (SMP) 無効。 0 SMP 有効。 1 SMP 無効。
[6]	予約	
[5:4]	PORLEV[1:0]	POR レベルを設定します。 00b 3V 動作用 POR レベル 01b 4.5V 動作用 POR レベル 10b 4.75V 動作用 POR レベル 11b 予約
[3]	LVDTBEN	LVD 比較器出力による CPU 速度レジスタのリセットを有効にします。 0 CPU 速度のスロットルバックを無効にします。 1 CPU 速度のスロットルバックを有効にします。
[2:0]	VM[2:0]	322 ページの "DC POR and LVD Specifications (直流 POR および LVD 仕様)" によって LVD およびポンプレベルをセットします。 000b 3.0V 以上の動作用の代表的な LVD 設定 (スイッチモードポンプなし)。 001b 010b 3.3V 動作用の代表的なポンプ設定。 011b 100b 101b 4.75V 以上の動作用の代表的な LVD 設定 (スイッチモードポンプなし)。 110b 111b 5V 動作用の代表的なポンプ設定。

13.2.26 VLT_CMP

Voltage Monitor Comparators Register (電圧モニタ比較器レジスタ)

個々のレジスタ名およびアドレス

VLT_CMP: 1,E4h

	7	6	5	4	3	2	1	0
アクセス: POR						R:0	R:0	R:0
ビット名						PUMP	LVD	PPOR

その他の情報は、POR and LVD (POR および LVD) の章で 301 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:3]	予約	
[2]	PUMP	ポンプ比較器の状態を読み取ります。 0 Vdd はトリップポイント以上です。 1 Vdd はトリップポイント以下です。
[1]	LVD	LVD 比較器の状態を読み取ります。 0 Vdd は LVD トリップポイント以上です。 1 Vdd は LVD トリップポイント以下です。
[0]	PPOR	精度 POR 比較器の状態を読み取ります (PPOR リセットが無効で、VLT_CR レジスタの PORLEV[1:0] が 11b にセットされている場合にのみ有用です)。 0 Vdd は PPOR トリップ電圧以上です。 1 Vdd は PPOR トリップ電圧以下です。

13.2.27 IMO_TR

Internal Main Oscillator Trim Register (内部主発振器トリムレジスタ)

個々のレジスタ名およびアドレス

IMO_TR: 1,E8h

	7	6	5	4	3	2	1	0
アクセス: POR	W : 00							
ビット名	Trim[7:0]							

その他の情報は、Internal Main Oscillator (IMO) (内部主発振器) の章で [67 ページ](#)の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:0]	Trim[7:0]	このレジスタの値は内部主発振器をトリムするために使用されます。値はデバイス特有で、ブート中の最良値にセットされます。このレジスタの値は変更すべきではありません。 00h 最低周波数設定 01h ... 7Fh 80h デザインの中心設定 81h ... FEh FFh 最高周波数設定

13.2.28 ILO_TR

Internal Low Speed Oscillator Trim Register (内部低速発振器トリムレジスタ)

個々のレジスタ名およびアドレス

ILO_TR: 1,E9h

	7	6	5	4	3	2	1	0
アクセス: POR			W : 0			W : 00		
ビット名			Bias Trim[1:0]			Freq Trim[3:0]		

ユーザがこのレジスタの値を変更しないことを強く推奨します。トリムビットは工場でセットされ、変更すべきではありません。

その他の情報は、Internal Low Speed Oscillator (ILO) (内部低速発振器) の章で 69 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:6]	予約	
[5:4]	Bias Trim[1:0]	このレジスタの値は内部低速発振器をトリムするために使用されます。値はデバイス特有で、ブート中の最良値にセットされます。 このレジスタの値は変更すべきではありません。 00b 中バイアス 01b 最大バイアス (推奨) 10b 最小バイアス 11b 予約
[3:0]	Freq Trim[3:0]	このレジスタの値は内部低速発振器をトリムするために使用されます。値はデバイス特有で、ブート中の最良値にセットされます。 このレジスタの値は変更すべきではありません。

13.2.29 BDG_TR

Bandgap Trim Register (バンドギャップトリムレジスタ)

個々のレジスタ名およびアドレス

BDG_TR: 1,EAh

	7	6	5	4	3	2	1	0
アクセス: POR		W : 0	W : 1			W : 8		
ビット名		AGNDBYP	TC[1:0]			V[3:0]		

その他の情報は、Internal Voltage Reference (内部電圧リファレンス) の章で 303 ページの "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7]	予約	
[6]	AGNDBYP	セットされた場合、AGND 上の外部バイパスキャパシタが Port 2[4] に接続されます。 0 無効 1 有効
[5:4]	TC[1:0]	これらのビットの値は温度係数をトリムするために使用されます。値はデバイス特有で、ブート中の最良値にセットされます。このレジスタの値は変更すべきではありません。
[3:0]	V[3:0]	これらのビットの値はバンドギャップリファレンスをトリムするために使用されます。値はデバイス特有で、ブート中の最良値にセットされます。このレジスタの値は変更すべきではありません。

13.2.30 ECO_TR

External Crystal Oscillator Trim Register (外部水晶発振器トリムレジスタ)

個々のレジスタ名およびアドレス

ECO_TR: 1,EBh

	7	6	5	4	3	2	1	0
アクセス: POR	W: 0							
ビット名	PSSDC[1:0]							

このレジスタの値は外部水晶発振器をトリムするために使用されます。値はデバイス特有で、ブート中の最良値にセットされます。このレジスタの値は変更すべきではありません。その他の情報は、32 kHz Crystal Oscillator (ECO) (32 kHz 水晶発振器) の章で [72 ページ](#) の "Register Definitions (レジスタ定義)" を参照してください。

ビット	名前	説明
[7:6]	PSSDC[1:0]	スリープデューティサイクル。PORLVD、バンドギャップリファレンス、および PS ポンプの "オン" 時間と "オフ" 時間の比率を (32 kHz クロック期間の数で) 制御します。 00b 1 / 128 01b 1 / 512 10b 1 / 32 11b 1 / 8
[5:0]	予約	

SECTION D DIGITAL SYSTEM (デジタルシステム)

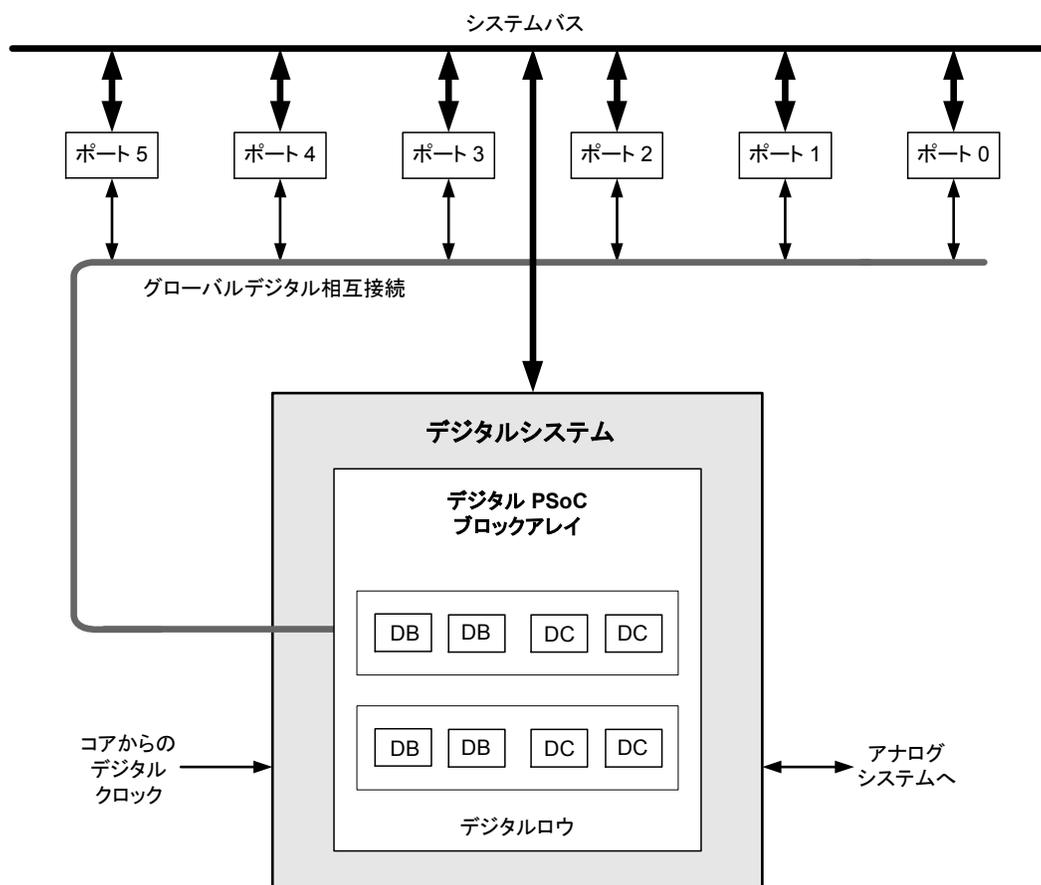


Digital System (デジタルシステム) セクションでは、PSoC デバイスのデジタルコンポーネントおよびそれらのコンポーネントに関連するレジスタについて説明します。このセクションには、次の章があります:

- Global Digital Interconnect (GDI) (グローバルデジタル相互接続)、195 ページ
- Row Digital Interconnect (RDI) (ロウデジタル相互接続)、201 ページ
- Array Digital Interconnect (ADI) (アレイデジタル相互接続)、199 ページ
- Digital Blocks (デジタルブロック)、207 ページ

Top-Level Digital Architecture (トップレベルデジタルアーキテクチャ)

下記の図は、PSoC のデジタルシステムのトップレベルアーキテクチャの説明です。図の各コンポーネントは、このセクションで詳細に説明されています。



PSoC デジタルシステムブロックダイアグラム

Digital Register Summary (デジタルレジスタサマリ)

下記の表は、デジタルシステム中のすべての PSoC レジスタの一覧です。

デジタルレジスタのサマリ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
GLOBAL DIGITAL INTERCONNECT (GDI) REGISTERS (グローバルデジタル相互接続レジスタ)										
1,D0h	GDI_O_IN	GIONOUT7	GIONOUT6	GIONOUT5	GIONOUT4	GIONOUT3	GIONOUT2	GIONOUT1	GIONOUT0	RW : 00
1,D1h	GDI_E_IN	GIENOUT7	GIENOUT6	GIENOUT5	GIENOUT4	GIENOUT3	GIENOUT2	GIENOUT1	GIENOUT0	RW : 00
1,D2h	GDI_O_OU	GOOUTIN7	GOOUTIN6	GOOUTIN5	GOOUTIN4	GOOUTIN3	GOOUTIN2	GOOUTIN1	GOOUTIN0	RW : 00
1,D3h	GDI_E_OU	GOEUTIN7	GOEUTIN6	GOEUTIN5	GOEUTIN4	GOEUTIN3	GOEUTIN2	GOEUTIN1	GOEUTIN0	RW : 00
DIGITAL ROW REGISTERS (デジタルロウレジスタ)										
x,B0h	RDI0RI	RI3[1:0]		RI2[1:0]		RI1[1:0]		RI0[1:0]		RW : 00
x,B1h	RDI0SYN					RI3SYN	RI2SYN	RI1SYN	RI0SYN	RW : 00
x,B2h	RDI0IS	BCSEL[1:0]				IS3	IS2	IS1	IS0	RW : 00
x,B3h	RDI0LT0	LUT1[3:0]				LUT0[3:0]				RW : 00
x,B4h	RDI0LT1	LUT3[3:0]				LUT2[3:0]				RW : 00
x,B5h	RDI0R00	GOO5EN	GOO1EN	GOE5EN	GOE1EN	GOO4EN	GOO0EN	GOE4EN	GOE0EN	RW : 00
x,B6h	RDI0R01	GOO7EN	GOO3EN	GOE7EN	GOE3EN	GOO6EN	GOO2EN	GOE6EN	GOE2EN	RW : 00
x,B8h	RDI1RI	RI3[1:0]		RI2[1:0]		RI1[1:0]		RI0[1:0]		RW : 00
x,B9h	RDI1SYN					RI3SYN	RI2SYN	RI1SYN	RI0SYN	RW : 00
x,BAh	RDI1IS	BCSEL[1:0]				IS3	IS2	IS1	IS0	RW : 00
x,BBh	RDI1LT0	LUT1[3:0]				LUT0[3:0]				RW : 00
x,BCh	RDI1LT1	LUT3[3:0]				LUT2[3:0]				RW : 00
x,BDh	RDI1R00	GOO5EN	GOO1EN	GOE5EN	GOE1EN	GOO4EN	GOO0EN	GOE4EN	GOE0EN	RW : 00
x,BEh	RDI1R01	GOO7EN	GOO3EN	GOE7EN	GOE3EN	GOO6EN	GOO2EN	GOE6EN	GOE2EN	RW : 00
DIGITAL BLOCK REGISTERS (デジタルブロックレジスタ)										
データおよびコントロールレジスタ										
0,20h	DBB00DR0	Data[7:0]								# : 00
0,21h	DBB00DR1	Data[7:0]								W : 00
0,22h	DBB00DR2	Data[7:0]								# : 00
0,23h	DBB00CR0	選択した機能の機能制御/ステータスビット[6:0]								Enable # : 00
1,20h	DBB00FN	Data Invert	BCEN	End/Single	Mode[1:0]		Function[2:0]			RW : 00
1,21h	DBB00IN	Data Input[3:0]				Clock Input[3:0]				RW : 00
1,22h	DBB00OU	AUXCLK		AUXEN	AUX IO Select[1:0]		OUTEN	Output Select[1:0]		RW : 00
0,24h	DBB01DR0	Data[7:0]								# : 00
0,25h	DBB01DR1	Data[7:0]								W : 00
0,26h	DBB01DR2	Data[7:0]								# : 00
0,27h	DBB01CR0	選択した機能の機能制御/ステータスビット[6:0]								Enable # : 00
1,24h	DBB01FN	Data Invert	BCEN	End/Single	Mode[1:0]		Function[2:0]			RW : 00
1,25h	DBB01IN	Data Input[3:0]				Clock Input[3:0]				RW : 00
1,26h	DBB01OU	AUXCLK		AUXEN	AUX IO Select[1:0]		OUTEN	Output Select[1:0]		RW : 00
0,28h	DCB02DR0	Data[7:0]								# : 00
0,29h	DCB02DR1	Data[7:0]								W : 00
0,2Ah	DCB02DR2	Data[7:0]								# : 00
0,2Bh	DCB02CR0	選択した機能の機能制御/ステータスビット[6:0]								Enable # : 00
1,28h	DCB02FN	Data Invert	BCEN	End/Single	Mode[1:0]		Function[2:0]			RW : 00
1,29h	DCB02IN	Data Input[3:0]				Clock Input[3:0]				RW : 00
1,2Ah	DCB02OU	AUXCLK		AUXEN	AUX IO Select[1:0]		OUTEN	Output Select[1:0]		RW : 00
0,2Ch	DCB03DR0	Data[7:0]								# : 00
0,2Dh	DCB03DR1	Data[7:0]								W : 00
0,2Eh	DCB03DR2	Data[7:0]								# : 00
0,2Fh	DCB03CR0	選択した機能の機能制御/ステータスビット[6:0]								Enable # : 00
1,2Ch	DCB03FN	Data Invert	BCEN	End/Single	Mode[1:0]		Function[2:0]			RW : 00
1,2Dh	DCB03IN	Data Input[3:0]				Clock Input[3:0]				RW : 00
1,2Eh	DCB03OU	AUXCLK		AUXEN	AUX IO Select[1:0]		OUTEN	Output Select[1:0]		RW : 00

デジタルレジスタのサマリ (続き)

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
0,30h	DBB10DR0	Data[7:0]								# : 00
0,31h	DBB10DR1	Data[7:0]								W : 00
0,32h	DBB10DR2	Data[7:0]								# : 00
0,33h	DBB10CR0	選択した機能の機能制御/ステータスビット[6:0]							Enable	# : 00
1,30h	DBB10FN	Data Invert	BCEN	End/Single	Mode[1:0]		Function[2:0]			RW : 00
1,31h	DBB10IN	Data Input[3:0]			Clock Input[3:0]					RW : 00
1,32h	DBB10OU	AUXCLK		AUXEN	AUX IO Select[1:0]		OUTEN	Output Select[1:0]		RW : 00
0,34h	DBB11DR0	Data[7:0]								# : 00
0,35h	DBB11DR1	Data[7:0]								W : 00
0,36h	DBB11DR2	Data[7:0]								# : 00
0,37h	DBB11CR0	選択した機能の機能制御/ステータスビット[6:0]							Enable	# : 00
1,34h	DBB11FN	Data Invert	BCEN	End/Single	Mode[1:0]		Function[2:0]			RW : 00
1,35h	DBB11IN	Data Input[3:0]			Clock Input[3:0]					RW : 00
1,36h	DBB11OU	AUXCLK		AUXEN	AUX IO Select[1:0]		OUTEN	Output Select[1:0]		RW : 00
0,38h	DCB12DR0	Data[7:0]								# : 00
0,39h	DCB12DR1	Data[7:0]								W : 00
0,3Ah	DCB12DR2	Data[7:0]								# : 00
0,3Bh	DCB12CR0	選択した機能の機能制御/ステータスビット[6:0]							Enable	# : 00
1,38h	DCB12FN	Data Invert	BCEN	End/Single	Mode[1:0]		Function[2:0]			RW : 00
1,39h	DCB12IN	Data Input[3:0]			Clock Input[3:0]					RW : 00
1,3Ah	DCB12OU	AUXCLK		AUXEN	AUX IO Select[1:0]		OUTEN	Output Select[1:0]		RW : 00
0,3Ch	DCB13DR0	Data[7:0]								# : 00
0,3Dh	DCB13DR1	Data[7:0]								W : 00
0,3Eh	DCB13DR2	Data[7:0]								# : 00
0,3Fh	DCB13CR0	選択した機能の機能制御/ステータスビット[6:0]							Enable	# : 00
1,3Ch	DCB13FN	Data Invert	BCEN	End/Single	Mode[1:0]		Function[2:0]			RW : 00
1,3Dh	DCB13IN	Data Input[3:0]			Clock Input[3:0]					RW : 00
1,3Eh	DCB13OU	AUXCLK		AUXEN	AUX IO Select[1:0]		OUTEN	Output Select[1:0]		RW : 00
割り込みマスクレジスタ										
0,E1h	INT_MSK1	DCB13	DCB12	DBB11	DBB10	DCB03	DCB02	DBB01	DBB00	RW : 00

凡例

#: アクセスはビット特有です。その他の情報はレジスタ詳細を参照してください。

x: アドレスフィールド中のカンマの前の "x" は、使用されるバンクに関係なくこのレジスタがアクセスされるまたは書き込まれることを示します。

14. Global Digital Interconnect (GDI) (グローバルデジタル相互接続)



本章は、Global Digital Interconnect (GDI) (グローバルデジタル相互接続) およびその関連レジスタについて説明します。GDI は、PSoC Mixed Signal Arrays で利用可能な相互接続設定の最も一般的なレベルです。

表 14-1. GDI レジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
1,D0h	GDI_O_IN	GIONOUT7	GIONOUT6	GIONOUT5	GIONOUT4	GIONOUT3	GIONOUT2	GIONOUT1	GIONOUT0	RW : 00
1,D1h	GDI_E_IN	GIENOUT7	GIENOUT6	GIENOUT5	GIENOUT4	GIENOUT3	GIENOUT2	GIENOUT1	GIENOUT0	RW : 00
1,D2h	GDI_O_OU	GOOUTIN7	GOOUTIN6	GOOUTIN5	GOOUTIN4	GOOUTIN3	GOOUTIN2	GOOUTIN1	GOOUTIN0	RW : 00
1,D3h	GDI_E_OU	GOEUTIN7	GOEUTIN6	GOEUTIN5	GOEUTIN4	GOEUTIN3	GOEUTIN2	GOEUTIN1	GOEUTIN0	RW : 00

GDI は 4 つの 8 ビットバスからなります。バスの 2 つは入力バスで、信号をデバイスピンからチップのコアに渡します。これらのバスは Global Input Odd (グローバル入力奇数) (GIO[7:0]) および Global Input Even (グローバル入力偶数) (GIE[7:0]) と呼ばれます。別の 2 つのバスは信号をチップのコアからデバイスピンに渡す出力バスです。これらのバスは Global Output Odd (グローバル出力奇数) (GOO[7:0]) および Global Output Even (グローバル出力偶数) (GOE[7:0]) と呼ばれます。バス名中の用語「奇数」または「偶数」は、バスが接続するデバイスのポートを示します。「奇数」は、バスが接続するデバイスのポートを示します。名前が奇数が含まれているバスはすべて奇数番号のポートに接続され、名前が偶数が含まれているバスはすべて偶数番号のポートに接続されます。バス名中の用語「奇数」または「偶数」は、ピンではなくポートを指している点に注意してください。

グローバルデジタル相互接続コアおよびポートピンには 2 つの終端があります。終端はソースまたはデスティネーションとして設定されます。例えば、GPIO ピンはグローバル入力を駆動またはグローバル出力から GPIO ピンの出力を受信するように設定されます。現在、グローバルバスに接続されているコア信号には 2 つのタイプがあります。グローバルネットのソースまたはデスティネーションであるデジタルブロックおよびグローバルネットを駆動するだけのシステムクロックです。

PSoC デバイスの場合、最大 5.5 の 8 ビットポートがあります。つまり、偶数のグローバルバスに接続された最大 3 つのポートおよび奇数のグローバルバスに接続された最大 3 つのポートがあります。表 14-2 は、グローバルバスとポート間のマッピングの一覧です。

表 14-2. グローバルバスからポートのマッピング

グローバルバス	ポート
GIO[7:0], GOO[7:0]	P1, P3, P5
GIE[7:0], GOE[7:0]	P0, P2, P4

様々なポートが 1 つのグローバルバスに接続されるため、グローバルバス中の個々のネットおよびポートピンの間で 1 対複数のマッピングがあります。例えば、GIO[1] がデジタル PSoC ブロックへの入力信号を渡すために使用される場合、P1[1]、P3[1]、P5[1] のいずれかが使用されます。出力についても同じです。例えば、GOE[3] がデジタル PSoC ブロックからポートピンに出力信号を渡すために使用される場合、P0[3]、P2[3]、P4[3] のいずれかまたはすべてが使用されます。

14.1 Architectural Description (アーキテクチャ上の説明)

次のブロックダイアグラムの主目的は、グローバルバス (GOE、GOO、GIE、GIO) とピン間の関係を理解することです。すべてのグローバル入力は、図の隅にあるトリステートバッファを使用して、対応するグローバル出力に接続される点に注意してください。また、グローバル出力はこれらのトリステートバッファを使用してグローバル入力とショートされます。図の中央にある長方形は、デジタル PSoC ブロックのアレイを表します。

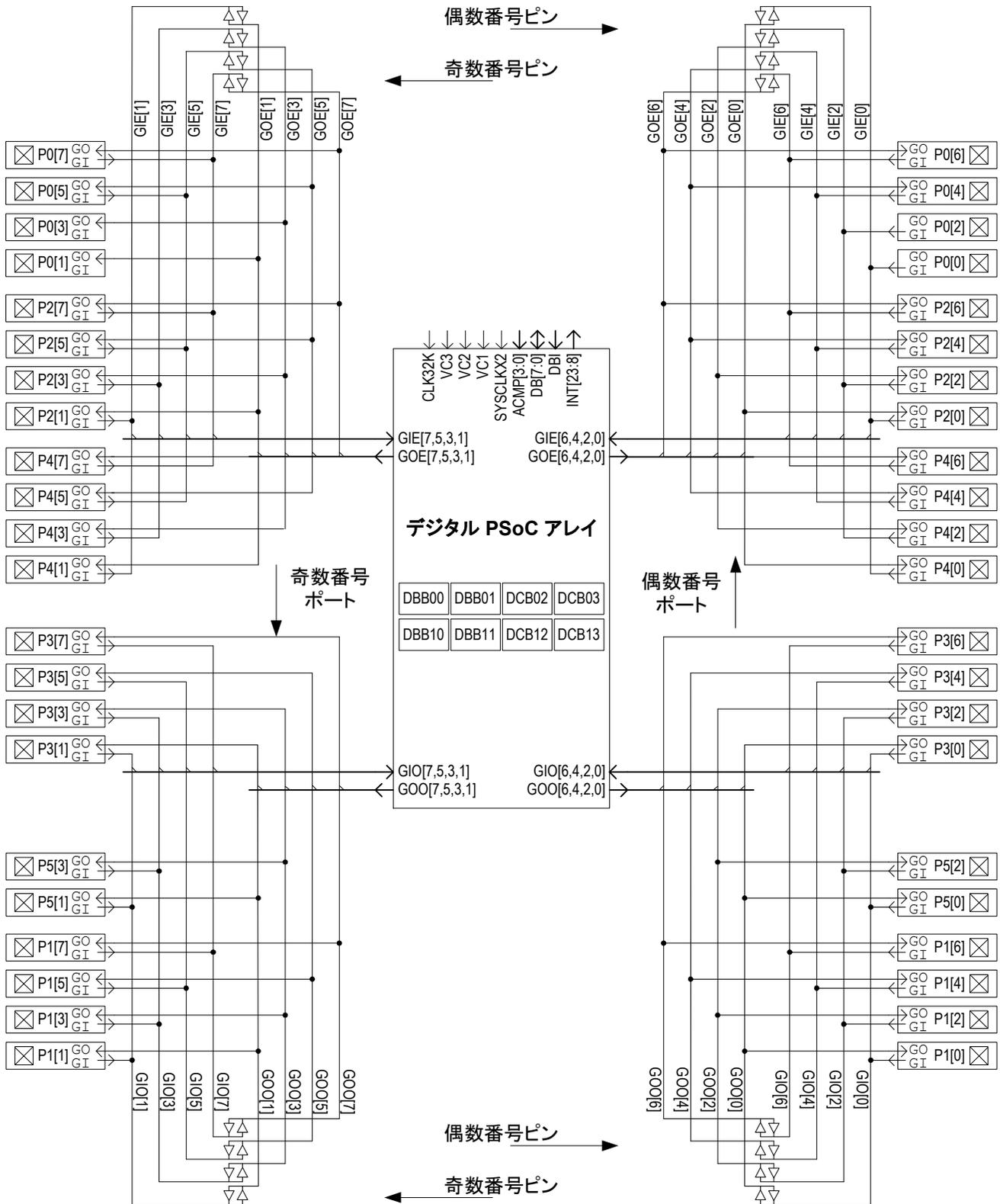


図 14-1. グローバル相互接続ブロックダイアグラム

14.2 Register Definitions (レジスタ定義)

14.2.1 GDI_O_IN および GDI_E_IN レジスタ

PSoC デバイスには設定可能な GDI (グローバルデジタル相互接続) があります。GDI_x_IN レジスタの設定ビットを使用して、グローバル入力ネットはその対応するグローバル出力ネットを駆動するように設定されます。例えば、

$$GIE[7] \rightarrow GOE[7]$$

グローバル入力からグローバル出力への駆動を制御するビットは全部で 16 ビットあります。これらのビットは GDI_O_IN および GDI_E_IN レジスタ中にあります。表 14-3 は、GDI_O_IN または GDI_E_IN レジスタのいずれかにある各ビット位置の意味です。

表 14-3. GDI_x_IN レジスタ

GDI_x_IN[0]	0: Glx[0] と GOx[0] 間の接続はありません 1: Glx[0] が GOx[0] を駆動可能です
GDI_x_IN[1]	0: Glx[1] と GOx[1] 間の接続はありません 1: Glx[1] が GOx[1] を駆動可能です
GDI_x_IN[2]	0: Glx[2] と GOx[2] 間の接続はありません 1: Glx[2] が GOx[2] を駆動可能です
GDI_x_IN[3]	0: Glx[3] と GOx[3] 間の接続はありません 1: Glx[3] が GOx[3] を駆動可能です
GDI_x_IN[4]	0: Glx[4] と GOx[4] 間の接続はありません 1: Glx[4] が GOx[4] を駆動可能です
GDI_x_IN[5]	0: Glx[5] と GOx[5] 間の接続はありません 1: Glx[5] が GOx[5] を駆動可能です
GDI_x_IN[6]	0: Glx[6] と GOx[6] 間の接続はありません 1: Glx[6] が GOx[6] を駆動可能です
GDI_x_IN[7]	0: Glx[7] と GOx[7] 間の接続はありません 1: Glx[7] が GOx[7] を駆動可能です

その他の情報は、175 ページの GDI_O_IN レジスタおよび 176 ページの GDI_E_IN レジスタを参照してください。

14.2.2 GDI_O_OU および GDI_E_OU レジスタ

その他の設定ビットは、グローバル出力からその対応するグローバル入力の駆動を可能にする GDI_x_OU レジスタ中で提示されます。例えば、

$$GOE[7] \rightarrow GIE[7]$$

グローバル出力からグローバル入力への駆動を制御するビットは全部で 16 ビットあります。これらのビットは GDI_O_OU および GDI_E_OU レジスタ中にあります。表 14-4 は、GDI_O_OU または GDI_E_OU レジスタのいずれかにある各ビット位置の意味です。

表 14-4. GDI_x_OU レジスタ

GDI_x_OU[0]	0: Glx[0] と GOx[0] 間の接続はありません 1: GOx[0] が Glx[0] を駆動可能です
GDI_x_OU[1]	0: Glx[1] と GOx[1] 間の接続はありません 1: GOx[1] が Glx[1] を駆動可能です
GDI_x_OU[2]	0: Glx[2] と GOx[2] 間の接続はありません 1: GOx[2] が Glx[2] を駆動可能です
GDI_x_OU[3]	0: Glx[3] と GOx[3] 間の接続はありません 1: GOx[3] が Glx[3] を駆動可能です
GDI_x_OU[4]	0: Glx[4] と GOx[4] 間の接続はありません 1: GOx[4] が Glx[4] を駆動可能です
GDI_x_OU[5]	0: Glx[5] と GOx[5] 間の接続はありません 1: GOx[5] が Glx[5] を駆動可能です
GDI_x_OU[6]	0: Glx[6] と GOx[6] 間の接続はありません 1: GOx[6] が Glx[6] を駆動可能です
GDI_x_OU[7]	0: Glx[7] と GOx[7] 間の接続はありません 1: GOx[7] が Glx[7] を駆動可能です

GDI では、奇数と偶数ネットまたは異なるインデックスのネットを接続することはできません。次に、PSoC デバイス中で不可能な接続の例を示します。

$$GOE[7] \rightarrow GIO[7]$$

$$GOE[0] \rightarrow GIE[7]$$

その他の情報は、177 ページの GDI_O_OU レジスタおよび 178 ページの GDI_E_OU レジスタを参照してください。

15. Array Digital Interconnect (ADI) (アレイデジタル相互接続)



本章は、Array Digital Interconnect (ADI) (アレイデジタル相互接続) について説明します。デジタル PSoC アレイは、201 ページの "Row Digital Interconnect (RDI) (ロウデジタル相互接続)" の章で定義されている、1 から 4 のデジタル PSoC ロウをサポートするようにデザインされたスケラブルなアーキテクチャを使用しています。デジタル PSoC アレイには設定可能な内部接続がないため、関連するレジスタはありません。

15.1 Architectural Description (アーキテクチャ上の説明)

Array Digital Interconnect (ADI) (アレイデジタル相互接続) を図 15-1 に示します。ADI は設定可能ではないため、本

章の情報は読者が構造について理解を深めるために提供されています。

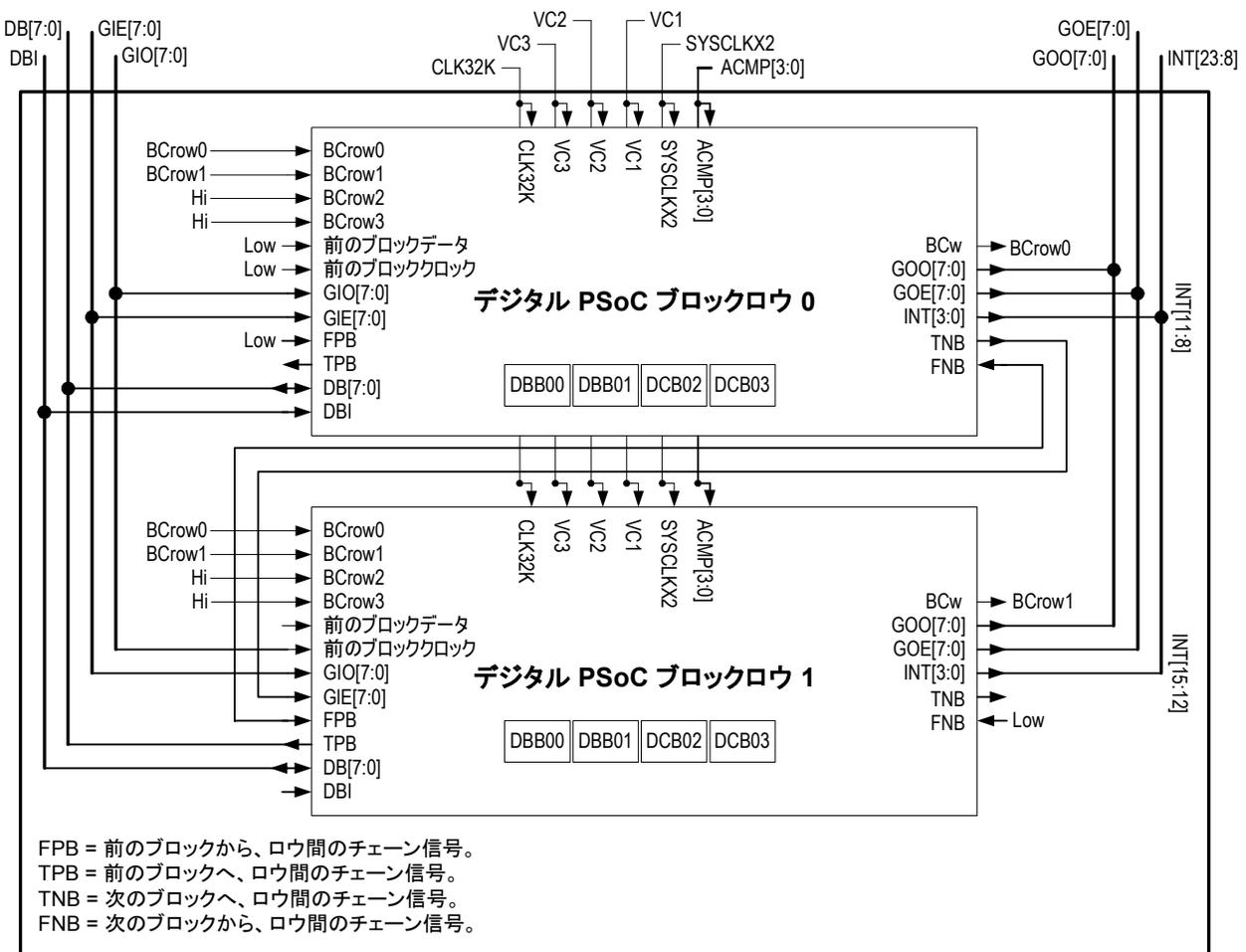


図 15-1. デジタル PSoC ブロックのアレイ構造

PSoC ファミリの異なるメンバはデジタルアレイで様々な数のデジタル PSoC ブロックを持っています。これらのブロックはロウにアレンジされ、ADI は特定のデバイスで利用可能なロウの数に関係なく、GDI (グローバルデジタル相互接続) と RDI (ロウデジタル相互接続) の間の規則的な相互接続アーキテクチャを提供します。ADI およびデジタル PSoC ロウの最も重要な側面は、すべてのデジタル PSoC ロウはグローバル入力および出力に対して同じ接続をしているということです。ロウの位置を固有にする接続は、次のように説明されます。

- レジスタアドレス: それらの中のロウおよびブロックは固有のレジスタアドレスを含む必要があります。
- 割り込み優先順位: 各デジタル PSoC ブロックには、独自の割り込み優先順位およびベクトルがあります。アレイ中のロウの位置は、ロウ内におけるデジタル PSoC ブロックの相対的な優先順位を決定します。より低いロウ番号はより高い割り込み優先順位およびより低い割り込みベクトルアドレスになります。
- ブロードキャスト: 各デジタル PSoC ロウには内部的に 4 つのデジタル PSoC ブロックの 1 つによって駆動、または外部的に駆動される内部的なブロードキャストネットがあります。ブロードキャストネットが外部的に駆動される場合、ソースはアレイ中の他のロウの 1 つになります。したがって、アレイ中のロウの位置によって、そのブロードキャストネットを駆動するための異なるオプションがあります。
- 位置のチェーン: アレイ中のロウは、ロウの数を 4 倍した数と同じ長さのデジタルブロックの文字列を形成します。最初のロウの最初のブロックおよび最後のロウの最後のブロックは接続されないため、アレイは円状にはなりません。アレイ中の最初のロウは、その前のチェーン入力が低く結ばれます。アレイ中に 2 番目のロウがある場合、次のチェーン出力が次のロウに接続されます。アレイ中の最後のロウでは、次の入力が低く結ばれます。

図 15-1 では、デジタル PSoC ブロックロウの詳細なビューが "Digital PSoC Block Row" というボックスで置き換えられています。この図の残りの部分は、同じグローバル、クロック、その他にすべてのロウがどのように接続されているかを示しています。図は、ブロードキャストクロックネット (BCxxxx) がロウの間でどのように接続されているかについても示しています。

16. Row Digital Interconnect (RDI) (ロウデジタル相互接続)



本章は、Row Digital Interconnect (RDI) (ロウデジタル相互接続) およびその関連レジスタについて説明します。本章は、単一デジタル PSoC ブロックロウについて説明します。個々のデジタル PSoC ブロックに関する機能、入力、または出力の説明は行いません。個々の PSoC ブロックに関する情報は、207 ページの "Digital Blocks (デジタルブロック)" の章を参照してください。

表 16-1. デジタル PSoC ロウレジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
x,xxh	RDixRI	RI3[1:0]		RI2[1:0]		RI1[1:0]		RI0[1:0]		RW : 00
x,xxh	RDixSYN					RI3SYN	RI2SYN	RI1SYN	RI0SYN	RW : 00
x,xxh	RDixIS	BCSEL[1:0]			IS3	IS2	IS1	IS0		RW : 00
x,xxh	RDixLT0	LUT1[3:0]				LUT0[3:0]				RW : 00
x,xxh	RDixLT1	LUT3[3:0]				LUT2[3:0]				RW : 00
x,xxh	RDixRO0	GOO5EN	GOO1EN	GOE5EN	GOE1EN	GOO4EN	GOO0EN	GOE4EN	GOE0EN	RW : 00
x,xxh	RDixRO1	GOO7EN	GOO3EN	GOE7EN	GOE3EN	GOO6EN	GOO2EN	GOE6EN	GOE2EN	RW : 00

凡例

x: アドレスフィールド中のカンマの前の "x" は、レジスタが両方のレジスタバンクに存在することを示します。

xx: アドレスフィールド中のカンマの前の "xx" は、複数のレジスタのインスタンスがあることを示します。これらのレジスタの詳細なアドレスリスティングについては、192 ページの "Digital Register Summary (デジタルレジスタサマリ)" を参照してください。

多くの信号がデジタル PSoC ブロックロウを經由して個々のデジタルブロックにまたは個々のデジタルブロックから渡されます。しかし、少数の信号は設定可能な回路を經由してデジタルブロックにまたはデジタルブロックから渡されます。設定可能な回路は、デジタルブロックとグローバルバス間の接続に非常な柔軟性を与えます。次に、表 16-1 にリストされたレジスタ經由で設定可能な信号について説明します。

16.1 Architectural Description (アーキテクチャ上の説明)

図 16-1 では、デジタル PSoC ブロック内部に 4 つのデジタル PSoC ブロックがあります。最初の 2 つのブロックはタイプ基本 (DBB) です。次の 2 つはタイプ通信 (DCB) です。この図は、ロウ内部のデジタルブロック間の接続を示しています。図 16-1 の太線を通り抜ける信号のみが階層の次のレベル (図 16-2) に示されます。

図 16-2 では、図 16-1 で示された 4 つの PSoC ブロックグループの詳細ビューが "4 PSoC Block Grouping" というボックスで置き換えられています。ロウ入力 (RI)、ロウ

出力 (RO)、およびブロードキャストクロックネット (BC) の設定可能な残りの部分が表示されています。階層の次のレベルは、図 16-1 に示されています。

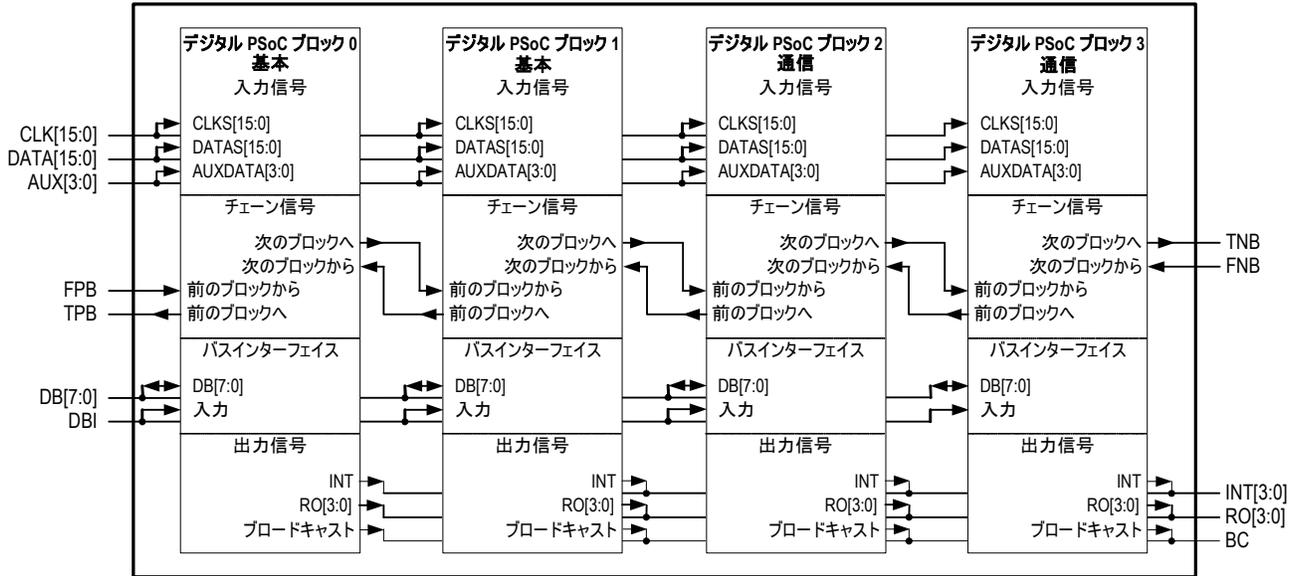


図 16-1. 4 つの PSoC ブロックグループの詳細ビュー

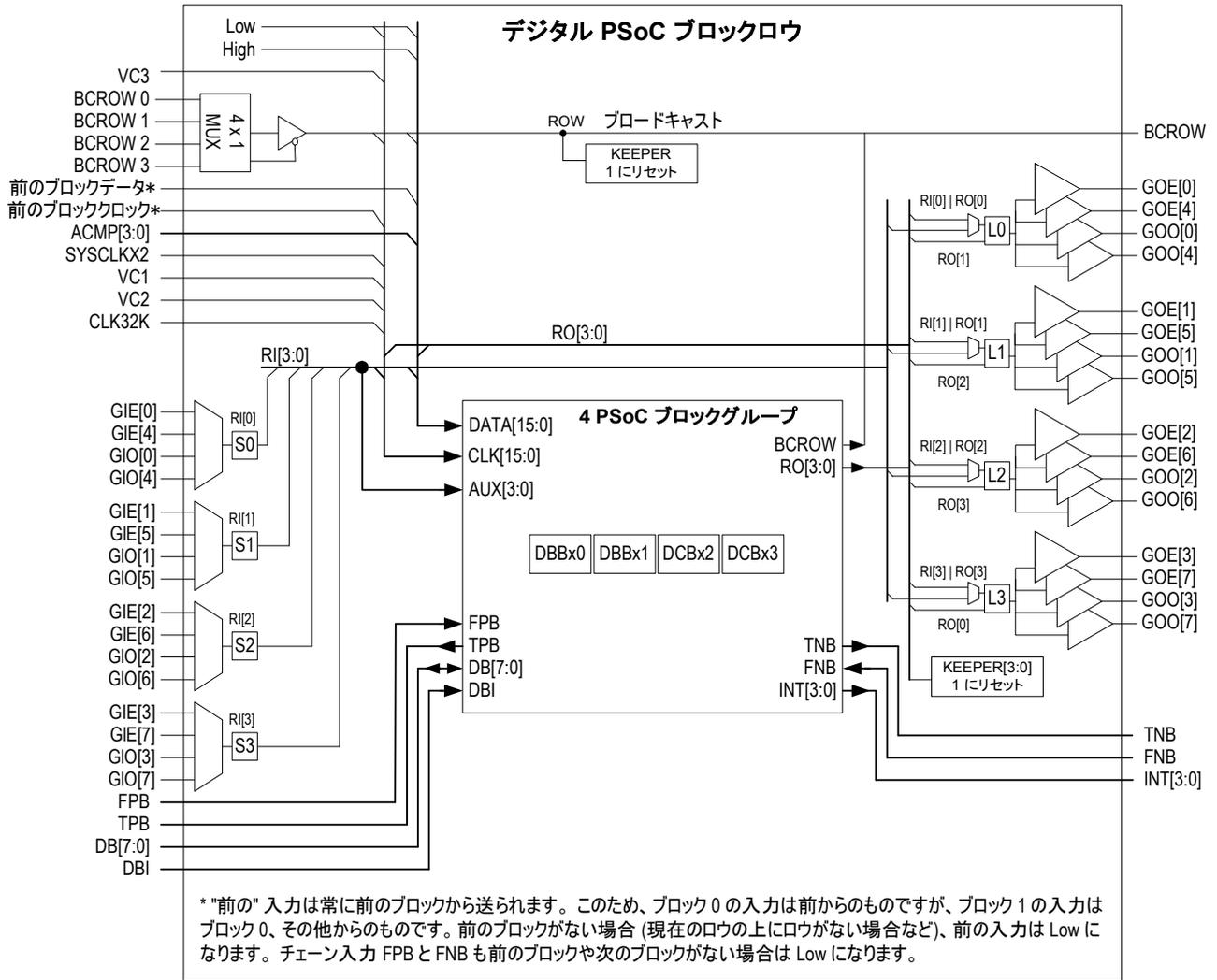


図 16-2. デジタル PSoC ブロックのロウ構造

16.2 Register Definitions (レジスタ定義)

デジタル PSoC ブロックロウへの入力で設定可能なのは、グローバル入力偶数およびグローバル入力奇数の 8 ビットバスのみです。デジタル PSoC ブロックロウからの出力で設定可能なのは、グローバル出力偶数およびグローバル出力奇数の 8 ビットバスのみです。図 16-2 は、グローバル信号とロウ信号の関係を示しています。

図 16-2 の左側でグローバル入力 (GIE[n] および GIO[n]) が 4-1 マルチプレクサへの入力である点に注意してください。これらのマルチプレクサの出力はロウ入力 (RI[x]) です。これらは入力のセットがそれぞれ固有な 4 つの 4-1 マルチプレクサなので、ロウは PSoC デバイス中のすべてのグローバル入力ラインにアクセスします。

アドレスおよびビット名を含むデジタルロウレジスタの一覧については、192 ページの "Digital Register Summary (デジタルレジスタサマリ)" を参照してください。

16.2.1 RDIxRI レジスタ

4 つのマルチプレクサを制御するために使用される選択ビットは、RDIxRI ("x" はロウインデックスのプレースホルダ) レジスタ中にあります。表 16-2 は、各マルチプレクサの 4 つの可能な設定における意味の一覧です。

表 16-2. RDIxRI レジスタ

RI0[1:0]	0h: GIE[0] 1h: GIE[4] 2h: GIO[0] 3h: GIO[4]
RI1[1:0]	0h: GIE[1] 1h: GIE[5] 2h: GIO[1] 3h: GIO[5]
RI2[1:0]	0h: GIE[2] 1h: GIE[6] 2h: GIO[2] 3h: GIO[6]
RI3[1:0]	0h: GIE[3] 1h: GIE[7] 2h: GIO[3] 3h: GIO[7]

RDIxRI および RDIxSYN レジスタの 2 つのレジスタのみ、デジタル PSoC ロウの入力信号に影響します。他のすべてのレジスタは、出力信号の設定に関係します。出力信号に関するオプションはこの後で説明されています。

その他の情報は、122 ページの RDIxRI レジスタを参照してください。

16.2.2 RDIxSYN レジスタ

デフォルトでは、各ロウ入力は SYSCLK (システムクロック) の 2 倍に同期されます。しかし、ユーザは RDIxSYN レジスタ中の適切な RixSYN ビットをセットしてこの同期を無効にすることができます。表 16-3 は、RDIxSYN レジスタの各実装ビットの意味の一覧です。

表 16-3. RDIxSYN レジスタ

RI3SYN	0: ロウ入力 3 は 24 MHz システムクロックと同期します 1: ロウ入力 3 は同期しないで渡されます
RI2SYN	0: ロウ入力 2 は 24 MHz システムクロックと同期します 1: ロウ入力 2 は同期しないで渡されます
RI1SYN	0: ロウ入力 1 は 24 MHz システムクロックと同期します 1: ロウ入力 1 は同期しないで渡されます
RI0SYN	0: ロウ入力 0 は 24 MHz システムクロックと同期します 1: ロウ入力 0 は同期しないで渡されます

RDIxRI および RDIxSYN レジスタの 2 つのレジスタのみ、デジタル PSoC ロウの入力信号に影響します。他のすべてのレジスタは、出力信号の設定に関係します。出力信号に関するオプションはこの後で説明されています。

その他の情報は、123 ページの RDIxSYN レジスタを参照してください。

16.2.3 RDIxIS レジスタ

以前に述べたように、各 LUT には 2 つの入力があり、入力の 1 つは設定可能 (入力 A) で別の入力 (入力 B) はロウ出力に固定されます。設定可能な LUT 入力 (入力 A) は、1 つのロウ出力と 1 つのロウ入力の間を選択します。表 16-4 は、ロウ中の各 LUT 用のオプションの一覧です。IS と付けられたビットは入力選択を意味します。LUT の固定入力は常に RO[LUT 番号 + 1] です。例えば、LUT0 の固定入力は RO[1]、LUT1 の固定入力は RO[2]、...、LUT3 の固定入力は RO[0] です。

表 16-4. RDIxIS レジスタのビット

BCSEL[1:0]	0: ロウ 0 がローカルロウブロードキャストネットを駆動します* 1: ロウ 1 がローカルロウブロードキャストネットを駆動します* 2: ロウ 2 がローカルロウブロードキャストネットを駆動します* 3: ロウ 3 がローカルロウブロードキャストネットを駆動します*
IS3	0: LUT 3 の 'A' 入力は RO[3] です 1: LUT 3 の 'A' 入力は RI[3] です
IS2	0: LUT 2 の 'A' 入力は RO[2] です 1: LUT 2 の 'A' 入力は RI[2] です
IS1	0: LUT 1 の 'A' 入力は RO[1] です 1: LUT 1 の 'A' 入力は RI[1] です
IS0	0: LUT 0 の 'A' 入力は RO[0] です 1: LUT 0 の 'A' 入力は RI[0] です

* BCSELL の値がロウ番号と等しい場合、入力選択マルチプレクサからロウブロードキャストネットを駆動するトリステートバッファは無効になるため、ロウのブロックの 1 つはローカルのロウブロードキャストネットを駆動します。
* ロウがパーツ中不在の場合、選択は Logic 1 の値を供給します。

その他の情報は、124 ページの RDIxIS レジスタを参照してください。

16.2.4 RDIxLTx レジスタ

デジタル PSoC ロウからの出力は入力より少し複雑です。図 16-2 は、デジタル PSoC ロウ中の出力回路を示しています。図の中で "Lx" というブロックに注意してください。このブロックは 2 つの入力ルックアップテーブル (LUT) を表します。LUT は、ユーザが 2 つの入力に適用すべき 16 の論理関数の 1 つを指定できるようにします。論理関数の出力は、グローバル出力偶数およびグローバル出力奇数バスに駆動される値を決定します。表 16-5 は、ルックアップテーブルの 4 つの設定ビットと発生する論理関数の関係の一覧です。ユーザが設定ビットが 2 つの入力論理真値表の出力カラムを表すことを思い出すことができれば適切な設定ビットの設定はより簡単になるでしょう。表 16-5 は、LUT の真値表の出力カラムと LUTx[3:0] 設定ビットの関係について 7 つの例を示しています。

表 16-5. LUT 真値表の例

A	B	AND	OR	A+B	A&B	A	B	True
0	0	0	0	1	0	0	0	1
0	1	0	1	0	0	0	1	1
1	0	0	1	1	1	1	0	1
1	1	1	1	1	0	1	1	1
LUTx[3:0]		1h	7h	Bh	2h	3h	5h	Fh

表 16-6. RDIxLTx レジスタ

LUTx[3:0]	0h: 0000: FALSE
	1h: 0001: A .AND. B
	2h: 0010: A .AND. B̄
	3h: 0011: A
	4h: 0100: Ā .AND. B
	5h: 0101: B
	6h: 0110: A .XOR. B
	7h: 0111: A .OR. B
	8h: 1000: A .NOR. B
	9h: 1001: A .XNOR. B
	Ah: 1010: B̄
	Bh: 1011: A .OR. B̄
	Ch: 1100: Ā
	Dh: 1101: Ā .OR. B
	Eh: 1110: A .NAND. B
	Fh: 1111: TRUE

その他の情報は、125 ページの RDIxLT0 レジスタおよび 126 ページの RDIxLT1 レジスタを参照してください。

16.2.5 RDIxROx レジスタ

デジタル PSoC ロウからの出力の最後の設定ビットは 2 つの RDIxROx レジスタ中にあります。これらのレジスタは 16 ビットを保持し、グローバル出力偶数の 8 つのすべてのラインおよびグローバル出力奇数の 8 つのすべてのラインに接続しているトリステートバッファを個々に有効にすることができます。これは、任意のロウが任意のグローバル出力を駆動できることを意味します。トリステートドライバはグローバル出力ラインを駆動するために使用されることを覚えておいてください。したがって、複数のデジタル PSoC ロウがあるパーツは 1 つのグローバル出力ライン上に複数のドライバを持つことが可能です。パーツがグローバル出力ライン上に複数のドライバを持つように設定されていないことを保証するのはユーザの責任です。

その他の情報は、127 ページの RDIxRO0 レジスタおよび 128 ページの RDIxRO1 レジスタを参照してください。

16.3 Timing Diagram (タイミングダイアグラム)

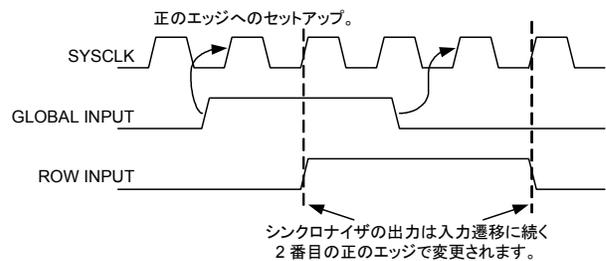


図 16-3. SYSCLK へのオプションロウ入力同期

17. Digital Blocks (デジタルブロック)



本章は、Digital Blocks (デジタルブロック) およびその関連レジスタについて説明します。デジタル PSoC ブロックの設定および使用に関する情報を含んでいます。

表 17-1. デジタル PSoC ブロックレジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス	
データおよびコントロールレジスタ											
0,xxh	DxBxxDR0	Data[7:0]									# : 00
0,xxh	DxBxxDR1	Data[7:0]									W : 00
0,xxh	DxBxxDR2	Data[7:0]									# : 00
0,xxh	DxBxxCR0	選択した機能の機能制御/ステータスビット[6:0]							Enable		# : 00
割り込みマスクレジスタ											
0,E1h	INT_MSK1	DCB13	DCB12	DBB11	DBB10	DCB03	DCB02	DBB01	DBB00	RW : 00	
設定レジスタ											
1,xxh	DxBxxFN	Data Invert	BCEN	End/Single	Mode[1:0]		Function[2:0]			RW : 00	
1,xxh	DxBxxIN	Data Input[3:0]				Clock Input[3:0]				RW : 00	
1,xxh	DxBxxOU	AUXCLK		AUXEN	AUX IO Select[1:0]		OUTEN	Output Select[1:0]		RW : 00	

凡例

#: アクセスはビット特有です。その他の情報はレジスタ詳細を参照してください。

xx: アドレスフィールド中のカンマの前の "xx" は、複数のレジスタのインスタンスがあることを示します。これらのレジスタの詳細なアドレスリストについては、192 ページの "Digital Register Summary (デジタルレジスタサマリ)" を参照してください。

すべてのデジタル PSoC ブロックは、次の 5 つの基本機能の 1 つを実行するように設定されます: タイマ、カウンタ、パルス幅変調器 (PWM)、擬似ランダムシーケンス (PRS)、または巡回冗長検査 (CRC)。これらの機能は個々の PSoC ブロックを設定するか複数の PSoC ブロックを 8 ビット以上になるようにチェーンすることで使用します。デジタル通信 PSoC ブロックには、2 つの追加機能 (マスター/スレーブ SPI 全二重 UART) があります。

各デジタル PSoC ブロックの機能は、他のすべての PSoC ブロックに依存しません。最大 7 つのレジスタがデジタル PSoC ブロックの機能および状態を決定するために使用されます。これらのレジスタは、表 17-1 で説明されています。デジタル PSoC ブロック機能レジスタは名前の最後が FN で終わります。ブロック機能レジスタの個々のビット設定は、表 17-15 にリストされています。入力レジスタは名前の最後が IN で終わり、そのビットの意味は表 17-15 にリストされています。最後に、ブロック出力は、名前の最後が常に OU で終わる出力レジスタによって制御されます。

各デジタル PSoC ブロックには、3 つのデータレジスタ (DR0、DR1、および DR2) および 1 つのコントロールレジスタ (CR0) もあります。これらのレジスタのビットの意味は深く機能に依存しています。詳細は各機能の説明を参照してください。

デジタル PSoC ブロックの機能および状態を制御する 7 つのレジスタに加えて、別の割り込みマスクビットが各デジタル PSoC ブロックで利用可能です。各デジタル PSoC ブロックは固有の割り込みベクトルを持っているため、独自の割り込みサービスルーチンを持つことができます。

17.1 Architectural Description (アーキテクチャ上の説明)

トップレベルで、デジタルブロックの主要なコンポーネントは、データパス、入力マルチプレクサ、出力デマルチプレクサ、CRCPRS トリステートバス、システムバスインターフェイス、設定レジスタ、およびチェーン信号です (図 17-2 を参照)。

17.1.1 入力マルチプレクサ

一般的に、各機能には様々なソースから選択されるクロックおよびデータ入力があります。これらの入力はそれぞれ、16-1 入力マルチプレクサで選択されます。しかし、CLK および DATA 用に存在する特別な場合があります。

さらに、3 つの入力 (クロック、データ、および SS_) が必要な SPI スレーブ機能用に補助入力を供給する 4-1 マルチプレクサがあります (SS_ が Aux IO Enable ビットでアクティブにされた場合を除く)。このマルチプレクサへ

の入力は、GPIO 入力 (ロウ入力) の選択になるように意図されます。

17.1.2 入力クロックの再同期

デジタルブロックは 16 のソースの 1 つからクロックを選択することができます。選択できるソースは、システムクロック (VC1、VC2、VC3、SYSCLK、および SYSCLKX2)、ピン入力、および他のデジタルブロック出力です。クロックスキューを管理してブロック間のインターフェイスがすべての場合にタイミングと合うことを保証するために、すべてのデジタルブロック入力クロックは、すべてのチップクロックのソースクロックである SYSCLK または SYSCLKX2 のいずれかと再同期しなければなりません。SYSCLK または SYSCLKX2 は直接使用されてもかまいません。DxBxOU レジスタの AUXCLK ビットは入力同期を指定するために使用されます。次の規則が入力クロック再同期の使用に適用されます。

1. クロック入力 が SYSCLK から派生する場合 (例えば、分割)、デジタルブロックで SYSCLK に再同期する。ほとんどのチップクロックはこのカテゴリに分類されません。例えば、VC1 および VC2、VC1 および VC2 または SYSCLK によって計測された他のブロックの出力 (AUXCLK の設定 01)。
2. クロック入力 が SYSCLKX2 から派生する場合、SYSCLKX2 に再同期する。例えば、SYSCLKX2 によって計測された VC3、または SYSCLKX2 によって計測された他のデジタルブロック (AUXCLK の設定 10)。
3. SYSCLK を直接選択する (AUXCLK の設定 11)。
4. SYSCLKX2 を直接選択する (DxBxIN レジスタのクロック入力フィールドで SYSCLKX2 を選択)。
5. 同期を回避する。これは非常に稀な選択です。なぜなら、クロックが同期されていない場合、CPU への読み取りおよび書き込みコマンドのセットアップに失敗するからです。しかし、外部ピンで非同期にデジタルクロックを計測することは可能です。例えば、ユーザが割り込みまたは他のテクニックを使用して CPU と同期する場合 (AUXCLK の設定 00)。

次のノートは、ハードウェアでは禁止されませんが、実際には許可されない設定を列挙したものです。これらのノートを要約すると、クロックディバイダ (VC1、VC2、および VC3) は SYSCLK または SYSCLKX2 と同じ出力クロックを生成するような方法では設定されないということです。

ノート 1 VC1 が 1 で分割するように設定された場合、VC1 の入力クロックの選択は許可されません。この設定は SYSCLK と同じクロック周波数を生成します。したがって、DxBxOU の AUXCLK ビットを 11b に設定して SYSCLK を直接使用すべきです。

ノート 2 VC2 と VC1 の両方が 1 で分割するように設定された場合、VC2 の入力クロックの選択は許可されません。この設定は SYSCLK と同じクロック周波数を生成しません。したがって、DxBxOU の AUXCLK ビットを 11b に設定して SYSCLK を直接使用すべきです。

ノート 3 VC3 が SYSCLK のソースクロックと共に 1 で分割するように設定された場合、VC3 の入力クロックの選択は許可されません。この設定は SYSCLK と同じクロック周波数を生成します。SYSCLK と同じ出力周波数になることを回避する 2 つの他の VC3 設定があります。1 つ目は、VC3 が 1 で分割された VC1 のソースクロックと共に 1 で分割するように設定された場合です。2 つ目は、VC3 が 1 で分割された VC2 のソースクロックと共に 1 で分割するように設定され、VC1 も 1 で分割するように設定された場合です。これらの設定はすべて許可されていない SYSCLK と同じ VC3 周波数を発生させません。SYSCLK と同じ周波数が必要な場合、DxBxOU の AUXCLK ビットを 11b に設定して SYSCLK を直接使用すべきです。

ノート 4 VC3 が SYSCLKX2 のソースクロックと共に 1 で分割するように設定された場合、VC3 の入力クロックの選択は許可されません。この設定は SYSCLKX2 と同じクロック周波数を生成します。SYSCLKX2 と同じ周波数が必要な場合、DxBxIN レジスタの Clock Input ビットを 4h に、DxBxOU の AUXCLK ビットを 00b に設定して SYSCLKX2 を直接使用すべきです。

これらの問題はすべて、[図 17-1](#) で示されているように、実際のクロック再同期で処置されています。

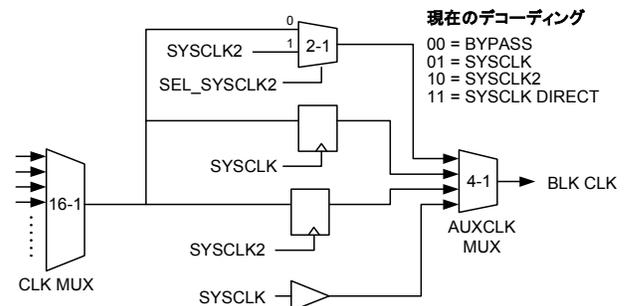


図 17-1. 入力クロック再同期

表 17-2: AUXCLK ビットの選択

コード	説明	使用方法
00	バイパス	この設定は、非同期入力でのみ使用します。また、SYSCLK2 (48M) が選択されている場合にも使用します。
01	SYSCLK (24M) に再同期	この設定は、任意の SYSCLK ベースのクロックで使用します。VC1、VC2、SYSCLK によって駆動された VC3、SYSCLK ベースのソースクロックを持つデジタルブロック、SYSCLK に基づくソースを持つブロードキャストバス、SYSCLK に基づくソースを持つロウ入力およびロウ出力。
10	SYSCLK2 (48M) に再同期	この設定は、任意の SYSCLK2 ベースのクロックで使用します。SYSCLK2 によって駆動された VC3、SYSCLK2 ベースのソースクロックを持つデジタルブロック、SYSCLK2 に基づくソースを持つブロードキャストバス、SYSCLK2 に基づくソースを持つロウ入力およびロウ出力。
11	SYSCLK 直接	この設定は、SYSCLK を直接使用してブロックを計測します。この設定はクロックの再同期と厳密には関係していませんが、SYSCLK はそれ自体を再同期することはできないので、直接スキューに制御された SYSCLK ソースを許可します。

17.1.3 出力デマルチプレクサ

ほとんどの機能には、プライマリ出力と補助出力の 2 つの出力があります。これらの出力はそれぞれ、ロウ出力バスに駆動されます。各デマルチプレクサは、4 つのトリステ

ードライバと一緒に実装されています。4 つのドライバの 1 つを選択する 2 つのビットと選択したドライバを有効にする追加ビットがあります。

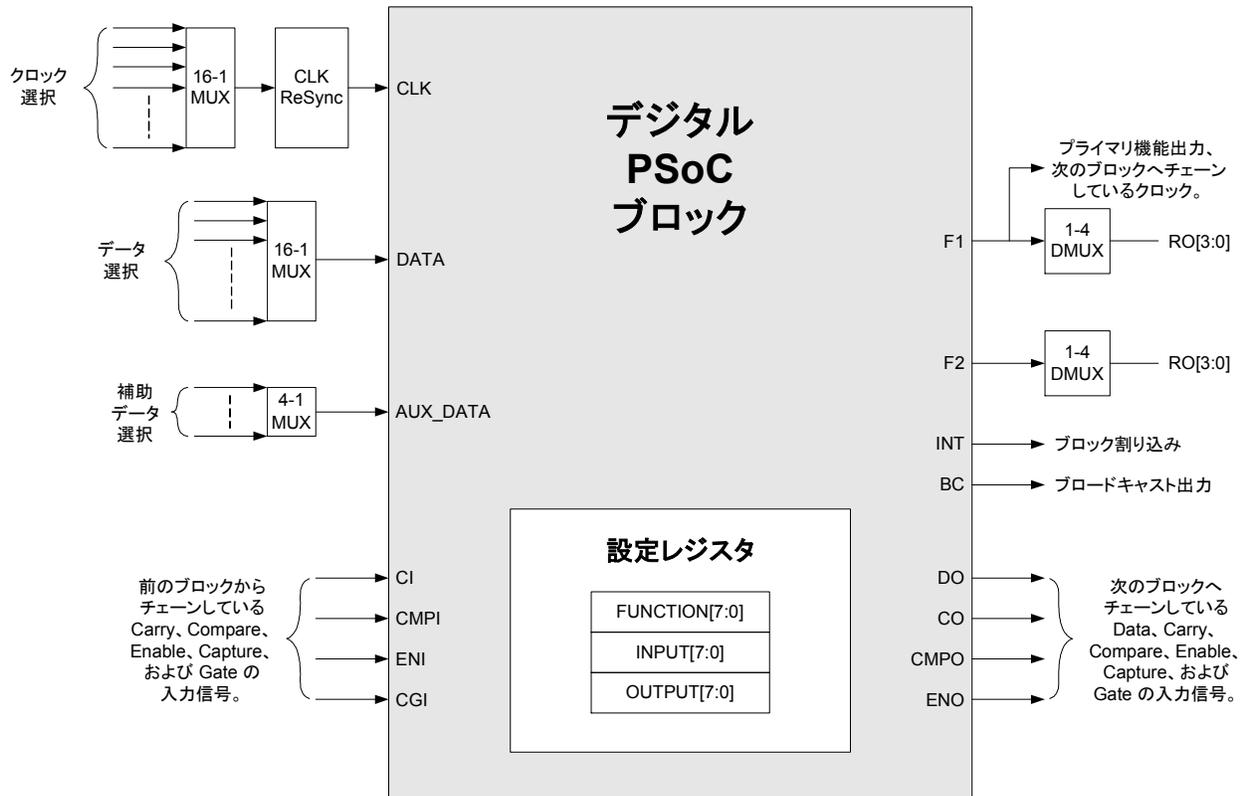


図 17-2. デジタルブロックトップレベルブロックダイアグラム

17.1.4 ブロックチェーン信号

各デジタルブロックは、8 を超えるビット幅で機能を作成するために、チェーンする能力を持っています。Compare、Carry、Enable、Capture および Gate のように、高精度の機能を実装するために、あるブロックから次のブロックに情報を伝える信号があります。機能レジスタで行われた選択は、どの信号が希望する機能に適切かを決定します。8 ビットを超える幅でデジタル機能を実装したユーザーモジュールは、ブロック間の情報の流れが正しいことを保証するために、適切なチェーン信号の選択を自動的に行います。

17.1.5 タイマ機能

タイマは、期間レジスタ、同期ダウンカウンタ、およびキャプチャ/比較レジスタからなり、これらはすべてバイト幅です。タイマが無効で期間値が DR1 に書き込まれた場合、期間値は DR0 にもロードされます。タイマが有効な場合、カウンタは正のターミナルカウント (00h のカウント) に達するまでカウントダウンされます。次のクロックエッジで、期間が再びロードされ、その後のクロックからカウントが続行されます。ターミナルカウント信号は、プライマリ機能出力です。

ハードウェアキャプチャはデータ入力の正のエッジで発生します。このイベントは現在のカウントを DR0 から DR2 に転送します。キャプチャされた値は、その後 DR2 から直接読み取られます。ソフトウェアキャプチャ機能はハードウェアキャプチャと等価です。タイマが有効な状態での DR0 の CPU 読み取りは同じキャプチャメカニズムを引き起こします。ハードウェアおよびソフトウェアキャプチャメカニズムは、キャプチャ回路で OR されます。キャプチャ回路は正のエッジに反応するので、ハードウェアキャプチャ入力が高の間隔中は、ソフトウェアキャプチャはマスクされ発生しません。

タイマは、DR0 と DR2 間の比較機能も実装します。比較信号は補助機能出力です。比較機能における制限は、キャプチャおよび比較機能の両方が同じレジスタ (DR2) を使用するという事です。したがって、キャプチャイベントが発生する場合、比較値を上書きします。

機能レジスタの Mode ビット 1 は比較タイプ (DR0 <= DR2 または DR0 < DR2) を設定し、Mode ビット 0 は割り込みタイプ (ターミナルカウントまたは比較) を設定します。

タイマは 8 ビット長で 32 ビットまでチェーンされます。

17.1.5.1 有用性の例外

タイマ機能における有用性の例外を次に示します。

1. キャプチャ操作は 48 MHz ではサポートされません。
2. DR2 はタイマが有効な場合は書き込みできません。

17.1.5.2 ブロック割り込み

タイマブロックには 3 つの割り込みソースがあります。ターミナルカウント (TC) および比較での割り込みは、機能レジスタの Mode ビット 0 で選択されます。キャプチャでの割り込みはコントロールレジスタの Capture Interrupt ビットで選択されます。

- ターミナルカウントでの割り込み: ターミナルカウント (プライマリ出力) の正のエッジがこのブロックの割り込みを生成します。割り込みのタイミングはコントロールレジスタで設定された TC パルス幅に従います。
- 比較での割り込み: 比較 (補助出力) の正のエッジがこのブロックの割り込みを生成します。
- キャプチャでの割り込み: ハードウェアまたはソフトウェアキャプチャがこのブロックの割り込みを生成します。割り込みは、キャプチャ中に DR2 ラッチを閉じる際に発生します。

17.1.6 カウンタ機能

カウンタは、期間レジスタ、同期ダウンカウンタ、および比較レジスタからなります。カウンタ機能は次の点を除いてタイマ機能と同じです:

- データ入力はキャプチャ入力ではなくカウンタゲート (有効) です。カウンタは同期キャプチャを実装しません。カウンタ中の DR0 レジスタは有効な場合は読み取るべきではありません。
- 比較出力はプライマリ出力でターミナルカウントは補助出力 (タイマと逆) です。
- ターミナルカウント出力はフルサイクルのみです。

カウンタが無効で期間値が DR1 に書き込まれた場合、期間値は DR0 にもロードされます。カウンタが有効な場合、カウンタはターミナルカウント (00h のカウント) に達するまでカウントダウンされます。次のクロックエッジで、期間が再びロードされ、その後のクロックからカウントが続行されます。

カウンタは、DR0 と DR2 間の比較機能も実装します。カウンタ信号はプライマリ機能出力です。Mode ビット 1 は比較タイプ (DR0 <= DR2 または DR0 < DR2) を設定し、Mode ビット 0 は割り込みタイプ (ターミナルカウントまたは比較) を設定します。

データ入力はカウンタ操作のゲートとして機能します。カウンタは、データ入力のアサートされた場合 (論理 '1') にのみカウントおよび再ロードされます。データ入力が否定された場合 (論理 '0')、(期間の再ロードを含む) カウンタは停止します。

カウンタは 8 ビット長で 32 ビットまでチェーンされます。

17.1.6.1 有用性の例外

カウンタ機能における有用性の例外を次に示します。

1. ブロックが無効な場合、DR0 は (DR0 のデータを DR2 に転送するための) 読み取りのみです。

17.1.6.2 ブロック割り込み

カウンタブロックには 3 つの割り込みソースがあります。ターミナルカウントおよび比較での割り込みは、機能レジスタの Mode ビット 0 で選択されます。

- ターミナルカウントでの割り込み: ターミナルカウント (補助出力) の正のエッジがこのブロックの割り込みを生成します。割り込みのタイミングはコントロールレジスタで設定された TC パルス幅に従います。
- 比較での割り込み: 比較 (プライマリ出力) の正のエッジがこのブロックの割り込みを生成します。

17.1.7 不感帯機能

不感帯機能は、[図 17-3](#) のように、ブロックのプライマリおよび補助出力の両方の出力信号を生成します。これらの出力はそれぞれ、2 相のうちの 1 相で、この機能によって生成されたクロックはオーバーラップしません。2 つのクロック相は同時に High になることはなく、クロック相の間の期間は不感帯として知られています。不感帯時間の幅は、期間レジスタの値によって決まります。この不感帯機能は入力クロックとして PWM と共に駆動することができます。また、この機能は Bit-Bang インターフェイスを使用してソフトウェアでビットをトグルすることで直接計測することができます。クロックソースが PWM の場合、出力がオーバーラップしないことを保証された 2 つの出力 PWM を作成します。"Kill" 入力のアクティブな信号は両方の出力を直ちに無効にします。

不感帯ユーザモジュールを含む PWM は、1 つまたは 2 つのブロックを 8 または 16 ビットの PWM を作成するために設定し、別のブロックを不感帯機能として設定します。

不感帯は、期間レジスタ、同期ダウンカウンタ、および特別な不感帯回路からなります。DR2 レジスタは DR0 の内容を読み取るためにのみ使用されます。タイマのように、不感帯が無効で期間値が DR1 に書き込まれた場合、期間値は DR0 にもロードされます。

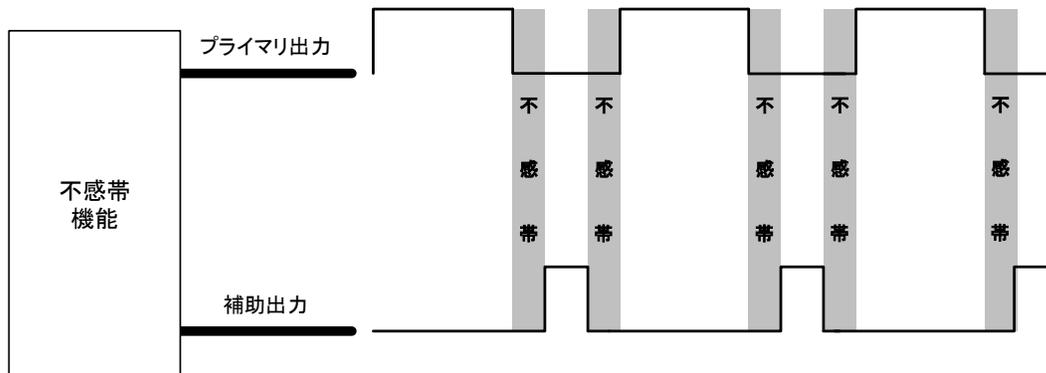


図 17-3. 不感帯機能の概要

不感帯には、PWM リファレンス信号と KILL 信号の 2 つの入力があります。PWM リファレンス信号は 2 つのソースのうち 1 つから送られます。デフォルトでは、前のブロックのプライマリ出力にハードワイヤードされています。この前のブロック出力は、16-1 クロック入力マルチプレクサへの入力として接続されます。不感帯の場合、この信号 (PREVF1) は不感帯リファレンス入力に直接接続されます。このモードが使用される場合、PWM または他の波形ジェネレータは前のデジタルブロックで具体化されていなければなりません。オプションの Bit Bang モードもあります。このモードで、ファームウェアは PWM リファレンスを生成するレジスタビットをトグルするため、不感帯はスタンダードアローンブロックとして使用されます。

KILL 信号はブロックへのデータ入力信号から送られます。Mode [1:0] は、Kill タイプとしてエンコードされます。すべての場合で、出力は直ちに Low にされます。モードビットは次の表のように Kill オプション用にエンコードされません。

表 17-3. 不感帯の Kill オプション

Mode [1:0]	説明
00b	非同期リスタート KILL モード。内部状態はリセットされ、リファレンスエッジは KILL 信号が否定されるまで無視されます。
01b	無効 KILL モード。ブロックは無効です。KILL 信号は否定され、ユーザは操作を再開するためにファームウェア中でブロックを再度有効にしなければなりません。
10b	非同期 KILL モード。出力は KILL 信号がアサートされる間は Low で、最小無効時間は 0.5 から 1.5 クロックサイクルの間です。内部状態は影響されません。
11b	予約

ブロックが最初に有効な場合、両方の出力は Low です。有効な場合、到達する PWM リファレンスの正または負のエッジでカウンタが有効になります。カウンタは期間値からターミナルカウントまでカウントダウンします。ターミナルカウントでカウンタは無効にされて選択された相が High にアサートされます。PWM 入力の反対側のエッジで、High だった出力は否定されて Low になりプロセスは反対側の相で繰り返されます。この結果、2 相のオーバーラップしないクロックの生成は到達する PWM リファレンスの周波数およびパルス幅と一致しますが、期間および入力クロックから派生する不感時間によって分離されます。

到達する PWM リファレンスと出力相の間には決定的な関係があります。リファレンスの正のエッジは '1' にアサートされるプライマリ出力をもたらし、リファレンスの負のエッジは '0' にアサートされる補助出力をもたらします。

アサートされた場合、KILL 信号は出力を直ちに無効にします (論理 '0' にします)。KILL の後に操作を再開するモードとして、3 つのオプションがあります。これらは、次のセクションで詳細に説明されています。

Dead Band 機能はチェーンされない点に注意してください。

17.1.7.1 有用性の例外

不感帯機能における有用性の例外を次に示します。

1. 不感帯の期間値として 00h をプログラムすることはサポートされていません。ブロック出力はこの条件下では未定義です。
2. リファレンス入力の High 時間または Low 時間のいずれかの期間がプログラムされた不感時間未満の場合、関連する出力相は Low で保持されます。
3. ブロックが無効な場合、DR0 は (DR0 のデータを DR2 に転送するための) 読み取りのみです。

17.1.7.2 ブロック割り込み

不感帯には、Phase 1 のプライマリ出力である 1 つの固定割り込みソースがあります。KILL 信号がアサートされると、割り込みは Phase 1 の出力と同じ動作に従います。

17.1.8 CRCPRS 機能

巡回冗長検査/擬似ランダムシーケンス (CRCPRS) 機能は、多項式レジスタ、線形帰還シフトレジスタ (LFSR)、およびシードレジスタからなります。CRCPRS ブロックが無効でシード値が DR2 に書き込まれた場合、シード値は DR0 にもロードされます。CRCPRS が有効で同期クロックおよびデータが入力に適用された場合、CRC は直列データ入力ストリーム上で計算されます。データ入力に '0' にされた場合、ブロックはクロックレートで生成した出力データを持つ PRS ジェネレータとして機能します。CRCPRS 機能の最上位ビット (MSB) はプライマリ出力です。

CRCPRS には、DR0 と DR2 間の比較モードがあります。比較のデフォルトの動作は DR0==DR2 です。PRS 機能が

有効なカウントの 1 つとしてシード値によって循環している場合、比較出力は 1 クロックサイクルで High にアサートされます。これは擬似ランダムシーケンスのエポックと見なされます。モードビットは他の比較タイプを設定するために使用することができます。Mode ビット 0 を '1' に設定すると、比較の動作は Mode ビット 1 に依存して DR0 <= DR2 または DR0 < DR2 になります。比較値は補助出力および割り込みです。

CRCPRS モードはオプションの Pass 機能を提示します。CRO レジスタの Pass Mode ビット (ビット 1) を設定することで、CRCPRS 機能は無視されます。このモードでは、データ入力はプライマリ出力および割り込み出力に透過的に渡されます。同様に、CLK 入力は補助出力に透過的に渡されます。

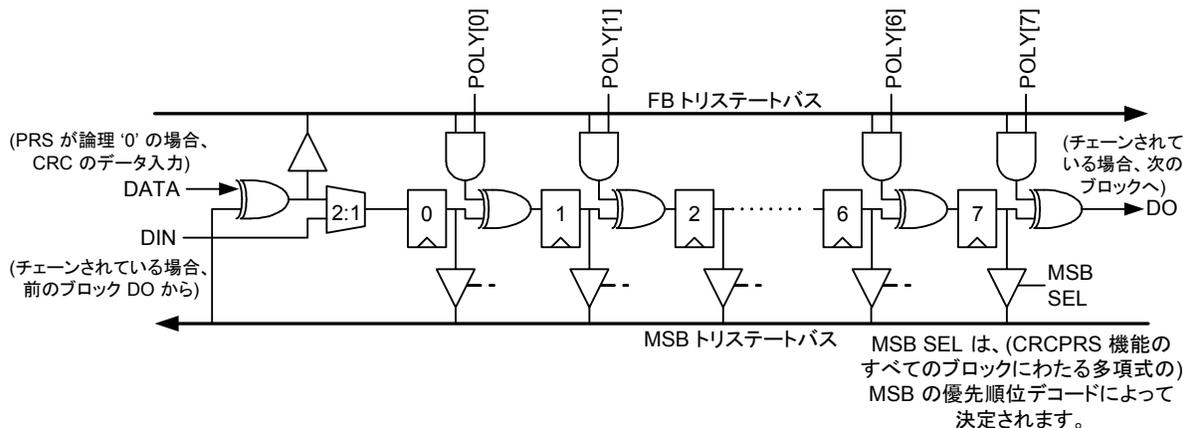


図 17-4. CRCPRS LFSR の構造

LSFR の構造

図 17-4 で示されるように、LSFR (線形帰還シフトレジスタ) の構造は変調シフトレジスタジェネレータとして実装されます。CRC 演算では、チェーンの最下位ブロックは DATA 入力に MSB およびその XOR を入力します。PRS 演算では、DATA 入力は (入力選択で) 論理 '0' にされるので、MSB バスは FB バスに直接接続されます。チェーンブロックの場合、データ入力 (DIN) は前のブロックの LFSR のデータ出力 (DO) から直接到達します。多項式の優先順位デコードから派生する MSB 選択は、MSB バスを駆動するトリステートドライバの 1 つを有効にします。

CRC 多項式の決定

n ビットの演算結果は一般的に n+1 項の多項式によって指定され、最後は X_{16} です:

$$X_0=1 \quad \text{方程式 1}$$

CRC-CCIT 16 ビット多項式は次のようになります:

$$CRC-CCIT = X_{16} + X_{12} + X_5 + 1 \quad \text{方程式 2}$$

CRCPRS ハードウェアは X_0 項の存在を仮定しているので、この多項式は 1000100000010000 または 8810h として 16 ビットで表現することができます。この機能を実行するために、2 つの連続するデジタルブロックに、MS ブロック多項式 (DR1) の値として 88h および LS ブロック多項式の値として 10h が割り当てられます。

PRS 多項式の決定

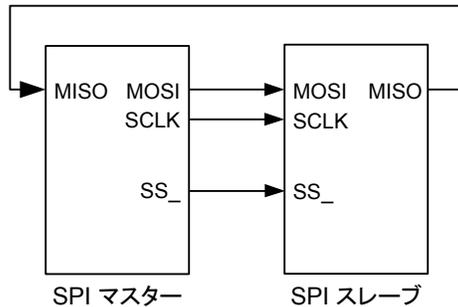
一般的に、PRS (擬似ランダムシーケンス) 多項式はあらかじめ演算されたリファレンステーブルから選択されます。PRS 多項式を指定する方法には、シンプルレジスタ設定とモジュール設定の 2 つの一般的な方法がある点に注意することは重要です。シンプル方法では、シフトレジスタは MSB の簡約 XOR で実装され、帰還レジスタは最下位ビットへの入力として利用されます。モジュール方法では、各レジスタビット間で実装された XOR 操作があり、各タップポイントは供給されたビットの MSB で XOR を有効にします。CRCPRS 機能ではモジュール方法を実装しています。

多項式仕様からモジュール仕様への変換

これらは等価な方法です。しかし、理解すべき変換があります。テーブルがシンプルレジスタ形式で指定された場合、次の例のように MS タップから各タップを引いてモジュール形式に変換することができます。

長さ 127 の 7 ビット PRS を実装する場合、シンプル形式では [7,6,4,2]s のようになります。モジュール形式では、[7,7-2,7-4,7-6]m または [7,5,3,2]m になります。プログラムする多項式の決定は前述の CRC の例に似ています。各タップのバイナリビット (タップ 1 に対応するレジスタのビット 0) をセットします。したがって、コード [7,5,3,2] は 01010110 または 56h に相当します。

CRC および PRS の両方の場合で、ビット長以上の適切なシード値が選択されるべきです。



データは、(クロックの 1 つのエッジで) マスターとスレーブの両方で出力されます。

データは両方のデバイスの入力 (クロックの正のエッジ) で登録されます。

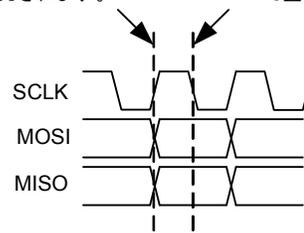


図 17-5. 基本的な SPI 設定

17.1.9 SPI プロトコル機能

デバイスはマスターまたはスレーブです。マスターデバイスはスレーブデバイスにクロックおよびデータを出力し、スレーブデータを入力します。スレーブデバイスはマスターデバイスからクロックおよびデータを入力し、マスターデバイスへの入力用のデータを出力します。マスターとスレーブはどちらも本質的には循環シフトレジスタで、マスターはクロックを生成し、データ転送を開始します。

基本的なデータ転送は、マスターが 8 個のクロックに加えてデータを 8 ビット送るときに発生します。どの転送でも、マスターとスレーブは同時に送信と受信を行います。マスターがデータの送信のみを行う場合、スレーブから受信されたデータは無視されます。マスターがスレーブからのデータを受信するようにするには、マスターはスレーブがデータを送り返すようにクロックを生成するダミーのバイトを送信する必要があります。

17.1.8.1 有用性の例外

CRCPRS 機能における有用性の例外を次に示します。

1. 多項式レジスタはブロックが無効な場合にのみ書き込まれます。

17.1.8.2 ブロック割り込み

CRCPRS には、比較補助出力である 1 つの固定割り込みソースがあります。

17.1.9.1 SPI プロトコルレジスタの定義

SPI プロトコルレジスタの定義は、表 17-4 を参照してください。SS_ 信号の使用は、スレーブデバイスの能力に応じて異なります。

表 17-4. SPI プロトコルレジスタの説明

名前	機能	説明
MOSI	Master Out Slave In	マスターデータ出力。
MISO	Master In Slave Out	スレーブデータ出力。
SCLK	Serial Clock	マスターによって生成されたクロック。
SS_	Slave Select (active low)	この信号は MISO ピンへのマルチスレーブ接続を有効にするために供給されます。MOSI および SCLK ピンは複数のスレーブに接続することができ、SS_ 入力は入力データを受信して MISO ラインを駆動するスレーブを選択します。

17.1.10 SPI マスター機能

SPI マスター (SPIM) は、SPI 操作モード 0-3 を提示します。デフォルトでは、データバイトの MSB は最初にシフトアウトされます。追加オプションは、向きを反転させてデータバイトを LSB を最初にシフトアウトすることができます。

SPIM 用に設定された場合、DR0 は DATA 入力 (MISO) から入力およびプライマリ出力 F1 (MOSI) へ出力するシフトレジスタとして機能します。DR1 は TX バッファレジスタで DR2 は RX バッファレジスタです。

SPI プロトコルは、出力シフターを操作するクロックの反対側のエッジで、デバイス入力で登録されるデータを必要とします。追加レジスタ (RXD) は、DR0 シフトレジスタへの入力で、この目的のために実装されました。このレジスタは、シフトレジスタで計算される前に、1.5 サイクルの間、受信したデータを格納します。

SPIM は、内部計測および SPIS 計測用のビットクロックを生成するので、マスターとスレーブ間のデータ送信を制御します。ビットクロックは CLK 入力選択から派生します。PSoC システムクロックジェネレータはデューティサイクルの構成を変更してクロックを生成するので、SPIM は 50 パーセントのデューティサイクルでビットクロックを生成するために入力 CLK を 2 で割ります。このクロックは、補助出力で SCLK 出力を行うために、バイト送信の間にゲート制御されます。

ホストのインターフェイスおよび同期を行うコントロールレジスタには、4 つのコントロールビットと 4 つのステータスビットがあります。

SPIM ハードウェアは Slave Select (SS_) 信号の駆動をサポートしていません。この信号の動作および使用はアプリケーションおよびチップ依存で、必要な場合は、ファームウェア中に実装されます。

この SPIM 機能はチェーンされません。

17.1.10.1 ブロック割り込み

SPIM ブロックには、TX Reg Empty での割り込み (デフォルト) または SPI Complete での割り込みの 2 つの割り込みソースがあります。機能レジスタの Mode ビット 1 は選択を制御します。

SPI Complete がブロック割り込みとして選択された場合、コントロールレジスタは割り込みルーチンで読み取る必要があるため、このステータスビットはクリアされます。そうでない場合、続きの割り込みは生成されません。

17.1.11 SPI スレーブ機能

SPI スレーブ (SPIS) は、SPI 操作モード 0-3 を提示します。デフォルトでは、データバイトの MSB は最初にシフトアウトされます。追加オプションは、向きを反転させてデータバイトを LSB を最初にシフトアウトすることができます。

SPI 用に設定された場合、DR0 は DATA 入力 (MOSI) か

ら入力およびプライマリ出力 F1 (MISO) へ出力するシフトレジスタとして機能します。DR1 は TX バッファレジスタで DR2 は RX バッファレジスタです。

SPI プロトコルは、出力シフターを操作するクロックの反対側のエッジで、デバイス入力で登録されるデータを必要とします。追加レジスタ (RXD) は、DR0 シフトレジスタへの入力で、この目的のために実装されました。このレジスタは、シフトレジスタで計算される前に、1.5 サイクルの間、受信したデータを格納します。

SPIS 機能はすべてのクロックを SCLK 入力から派生します (通常は外部 SPI マスター)。これは、マスターがすべての送信を開始しなければならないことを意味します。例えば、バイトを SPIS から読み取るためには、マスターがバイトを送信しなければなりません。

SPIS で使用される内部クロックはないため、(入力同期がオフの場合) 非同期で計測されます。この場合、CPU と SPIS ブロック間の同期はポーリングおよび割り込みで行うことができます。

ホストのインターフェイスおよび同期を行うコントロールレジスタには、4 つのコントロールビットと 4 つのステータスビットがあります。

SPIS には、アクティブな Low 信号である、追加データ入力、Slave Select (SS_) があります。SPIS で受信と送信を有効にするには、SS_ がアサートされなければなりません。SS_ には、2 つのハイレベルの機能があります: 1) マルチスレーブ環境で供給されたスレーブの選択を許可する。2) SPI モード 0 および 1 での TX データキューイング用に追加クロックを提供する。

SS_ は、ロウ入力を經由して外部ピンから制御されます。

SS_ が否定された場合、SPIS はマスターからの MOSI/SCLK 入力をすべて無視します。さらに、SPIS ステートマシンがリセットされ、MISO 出力は論理 '1' でアイドルされます。これは、マルチスレーブ環境でワイヤ AND 接続を有効にします。スレーブが選択されていないときに Hi-Z 出力が必要な場合、この動作はポート駆動レジスタへの IO 書き込みと共にファームウェア中で実装されなければなりません。

17.1.11.1 有用性の例外

SPI スレーブ機能における有用性の例外を次に示します。

1. SS_ 入力は同期されなければならないませんが、MOSI および SCLK 入力を同期させる必要はありません。同期されていないデータおよびクロック入力は、ブロックからのレイテンシを減少させ、SPI システムは僅かに遅いクロックレートで実行することができます。

17.1.11.2 ブロック割り込み

SPIS ブロックには、TX Reg Empty での割り込み (デフォルト) または SPI Complete での割り込みの 2 つの割り込みソースがあります (SPIM と同じ選択)。機能レジスタの Mode ビット 1 は選択を制御します。

SPI Complete がブロック割り込みとして選択された場合、

コントロールレジスタは割り込みルーチンで読み取る必要があるため、このステータスビットはクリアされます。そうでない場合、続きの割り込みは生成されません。

17.1.12 Asynchronous Transmitter 機能

Transmitter 機能では、DR0 は入力のないプライマリ出力 F1 へ TXD シリアルデータストリームを出力するシフトレジスタとして機能します。この設定では DR1 は TX バッファレジスタで DR2 は使用されていません。

出力レイテンシのない SPI とは異なり、TXD 出力には 1 サイクルのレイテンシがあります。これは、出力でマルチプレクサがシフトアウトするビット、シフトレジスタのデータ、フレーミングビット、パリティ、またはマスクビットを選択しなければならないためです。このマルチプレクサの出力はそれが不具合を起こさないように登録されます。ブロックが最初に有効にされたときまたはアイドルのとき、マークビット (論理 '1') が出力されます。

クロックジェネレータは自走方式の 8 分割回路です。クロックの分割は Transmitter 機能では必要ありませんが、Receiver 機能では入力をサンプリングするために 8 つに分割する必要があります。これは、TX および RX 機能と同じボーレートジェネレータで実行できるように、Transmitter 機能でも行われます。

2 つの形式がサポートされています。1 つのスタートビット、8 つのデータビット、および 1 つのストップビットを含む 10 ビットのフレームサイズまたは 1 つのスタートビット、8 つのデータビット、1 つのパリティビット、および 1 つのストップビットを含む 11 ビットのフレームサイズ。

パリティジェネレータは、8 ビットデータバスで偶数または奇数パリティのいずれかで出力するように設定することができます。

TX バッファレジスタ (DR1) への書き込みは送信を開始し、追加バイトは送信が行われている間このレジスタにバッファすることができます。

Transmitter 機能の追加の特徴は、データビット専用のセットアップおよび保持時間で生成されたクロックが補助出力に出力されるという点です。これは、CRC ジェネレータまたは他のデジタルブロックへの接続を可能にします。

Transmitter 機能はチェーンされません。

17.1.12.1 ブロック割り込み

Transmit ブロックには 2 つの割り込みソースがあります TX Reg Empty での割り込み (デフォルト) または TX Complete での割り込みです。機能レジスタの Mode ビット 1 は選択を制御します。

TX Complete がブロック割り込みとして選択された場合、コントロールレジスタは割り込みルーチンで読み取る必要があるため、このステータスビットはクリアされます。そうでない場合、続きの割り込みは生成されません。

17.1.13 Asynchronous Receiver 機能

Receiver 機能では、DR0 は DATA 入力選択から RXD を入力するシリアルデータシフトレジスタとして機能します。この設定では DR2 は RX バッファレジスタで DR1 は使用されていません。

クロックジェネレータおよび START の検出は統合されます。クロックジェネレータは 8 分割され、システムがアイドルの場合、リセットで保持されます。RXD 入力での START ビット (論理 '0') が検出されるとリセットは否定され、ビット時間の中心で続く RXD 入力をサンプリングしてビットレートクロックが生成されます。すべての続きの START ビットは、到達するビットレートにクロックジェネレータを再同期させます。

2 つの形式がサポートされています。1 つのスタートビット、8 つのデータビット、および 1 つのストップビットを含む 10 ビットのフレームサイズまたは 1 つのスタートビット、8 つのデータビット、1 つのパリティビット、および 1 つのストップビットを含む 11 ビットのフレームサイズ。

受信したデータはパリティジェネレータへの入力です。この機能が有効な場合、受信したパリティビットと比較されます。パリティジェネレータは、8 ビットデータバスで偶数または奇数パリティのいずれかで出力するように設定することができます。

データの 8 ビットが受信された後、バイトは DR0 シフターから DR2 RX バッファレジスタに転送されます。

Receiver 機能の追加の特徴は、入力データ (RXD) および同期されたクロックがプライマリ出力と補助出力にそれぞれ渡されるという点です。これは、CRC ジェネレータまたは他のデジタルブロックへの接続を可能にします。

17.1.13.1 ブロック割り込み

Receiver には、RX Reg Full ステータスである 1 つの固定割り込みソースがあります。

RX バッファレジスタは、エラーステータスその他に関係なく、常に RX 割り込みルーチンで読み取る必要があるため、RX Reg Full ステータスビットはクリアされます。そうでない場合、続きの割り込みは生成されません。

17.2 Register Definitions (レジスタ定義)

本章のデジタルブロックレジスタは、表 17-5 で示されるように、機能別に構成されています。デジタルブロックレジスタに関連したタイミングダイアグラムについては、222 ページの "Timing Diagrams (タイミングダイアグラム)" を

参照してください。アドレスおよびビット名を含むデジタルブロックレジスタの一覧については、192 ページの "Digital Register Summary (デジタルレジスタサマリ)" を参照してください。

表 17-5. デジタルブロックレジスタの定義

	DR0		DR1		DR2		DR3	
	機能	アクセス	機能	アクセス	機能	アクセス	機能	アクセス
Timer	Down Counter	R*	Period	W	Capture/Compare	RW	Control	RW
Counter	Down Counter	R*	Period	W	Compare	RW	Control	RW
Dead Band	Down Counter	R*	Period	W	N/A	N/A	Control	RW
CRCPRS	LFSR	R*	Polynomial	W	Seed	RW	Control	RW
SPIIM	Shifter	N/A	TX Buffer	W	RX Buffer	R	Control/Status	RW**
SPIS	Shifter	N/A	TX Buffer	W	RX Buffer	R	Control/Status	RW**
TXUART	Shifter	N/A	TX Buffer	W	N/A	N/A	Control/Status	RW**
RXUART	Shifter	N/A	N/A	N/A	RX Buffer	R	Control/Status	RW**

凡例

* Timer、Counter、Dead Band、および CRCPRS 機能では、DR0 レジスタの読み取りは 00h を返し、DR0 から DR2 に転送されます。

** 通信機能では、コントロールビットは読み取り/書き込みアクセスで、ステータスビットは読み取り専用アクセスです。

データおよびコントロールレジスタ

17.2.1 DxBxxDRx レジスタ

このセクションで示されているデータおよびコントロールレジスタには、DxBxxDR0、DxBxxDR1、および DxBxxDR2 レジスタが含まれます。レジスタが含まれるバンクについて説明した後、機能タイプ別に詳細に説明します。

PSoC デバイスに関連したレジスタのバンクは 2 つあります。バンク 0 はデバイス用のユーザレジスタを含み、バンク 1 はデバイス用の設定レジスタを含んでいます。両方ともこの後で定義されています。詳細は、90 ページの

"Bank 0 Registers (バンク 0 レジスタ)" および 158 ページの "Bank 1 Registers (バンク 1 レジスタ)" を参照してください。

その他の情報は、Register Details (レジスタ詳細) の章で次のレジスタを参照してください:

- DxBxxDR0 レジスタ、94 ページ。
- DxBxxDR1 レジスタ、95 ページ。
- DxBxxDR2 レジスタ、96 ページ。

17.2.1.1 Timer レジスタの定義

バンク 0: 3 つの 8 ビットデータレジスタおよび 1 つの 3 ビットコントロールレジスタがあります。表 17-6 は、タイマ操作の文脈でこれらのレジスタの意味を説明します。

バンク 1: 機能レジスタのモードビットはブロックタイプ特有です。入力および出力レジスタの定義と同様に、このレジスタの他のビットフィールドはすべての機能で共通で、222 ページの "DxBxxIN レジスタ" および 222 ページの "DxBxxOU レジスタ" で説明されています。

これらのモードビットは Timer ブロックで独立していて、割り込みタイプおよび比較タイプを制御します。DR0 レジスタの期間が 00h に設定された場合、タイマはモード別に特別に分割されます。この設定では、プライマリ出力ターミナルカウント (TC) は反転された入力クロックです。割り込み出力も反転された入力クロックです。

表 17-6. Timer データレジスタの説明

名前	機能	説明
DR0	Count Value	<p>直接読み取り可能または書き込み可能ではありません。</p> <p>通常の操作中、DR0 は同期ダウンカウンタの現在の値を格納します。</p> <p>無効な場合、DR1 期間レジスタへの書き込みは、データバスから DR0 に同時にロードされます。</p> <p>無効な場合、DR0 の読み取りは 00h をデータバスに返し、DR0 の内容を DR2 に転送します。この転送はアドレスされたブロックでのみ発生します。</p> <p>有効な場合、DR0 の読み取りは 00h をデータバスに返し、DR0 の内容を DR2 に同期転送します。アドレスされたバイトおよびマルチブロックタイマのすべてのよりいバイトで同時に動作します。</p> <p>ハードウェアキャプチャ入力が高の場合、DR0 の読み取り (ソフトウェアキャプチャ) はマスクされ発生しない点に注意してください。ソフトウェアキャプチャが発生するためには、ハードウェアキャプチャ入力は Low でなければなりません。</p>

表 17-6. Timer データレジスタの説明 (続き)

名前	機能	説明
DR1	Period	書き込み専用レジスタ。 このレジスタのデータはカウントの期間を設定します。実際に計測されるクロック数は Period + 1 です。 デフォルトの 0.5 サイクルターミナルカウントモードでは、00h の期間値はプライマリ出力で入力クロックの反転になります。オプションのフルサイクルターミナルカウントモードでは、00h の期間値はプライマリ出力で定数論理 High になります。 無効な場合、このレジスタへの書き込みは、期間値を DR0 に直接転送します。 有効な場合、ブロック周波数が 24 MHz 以下であれば、このレジスタはいつでも書き込まれますが、期間はクロックがターミナルカウントに従っているときにのみ DR0 に再ロードされます。ブロック周波数が 48MHz の場合、ターミナルカウントまたは比較割り込みは同期を使用して新しい期間レジスタへの書き込みを行うようにしてください。そうしないと、カウンタは正しくロードされません。
DR2	Capture/ Compare	読み取り/書き込みレジスタ (下記の例外を参照)。 Timer 設定では DR2 には複数の機能があります。通常はキャプチャレジスタとして使用されますが、比較レジスタとしても機能します。 有効でキャプチャイベントが発生した場合、DR0 の現在のカウンタは DR2 に同期して転送されます。 有効な場合、比較出力は DR0 と DR2 間の比較タイプ (機能レジスタのモードビットで設定) を使用して計算されます。比較の結果は補助出力に出力されます。 無効な場合、DR0 の読み取りはアドレスされたブロックのみ DR0 の内容を DR2 に転送します。 例外: 有効な場合、DR2 は書き込みできません。

17.2.1.2 Counter レジスタの定義

バンク 0: 3 つの 8 ビットデータレジスタおよび 1 つの 2 ビットコントロールレジスタがあります。表 17-7 は、カウンタ操作の文脈でこれらのレジスタの意味を説明します。レジスタの説明はブロックの有効/無効状態に依存する点に注意してください。この動作は、コントロールレジスタのイネーブルビットにのみ関連し、カウンタターゲットを提供するデータ入力とは関連していません (明記されている場合を除く)。

バンク 1: 機能レジスタのモードビットはブロックタイプ特有です。入力および出力レジスタの定義と同様に、このレジスタの他のビットフィールドはすべての機能で共通です。これらのモードビットは Counter ブロックで独立していて、(Timer 機能と同じように) 割り込みタイプおよび比較タイプを制御します。

表 17-7. Counter データレジスタの説明

名前	機能	説明
DR0	Count Value	直接読み取り可能または書き込み可能ではありません。 通常の操作中、DR0 は同期ダウンカウンタの現在の値を格納します。 無効な場合、DR1 期間レジスタへの書き込みは、データバスから DR0 に同時にロードされます。 無効またはデータ入力 (カウンタターゲット) が Low の場合、DR0 の読み取りは 00h をデータバスに返し、DR0 の内容を DR2 に転送します。このレジスタの値はカウンタが有効でカウント中の場合は読み取るべきではありません。
DR1	Period	書き込み専用レジスタ。 このレジスタのデータはカウントの期間を設定します。実際に計測されるクロック数は Period + 1 です。 デフォルトの 0.5 サイクルターミナルカウントモードでは、00h の期間値は補助出力で入力クロックの反転になります。オプションのフルサイクルターミナルカウントモードでは、00h の期間値は補助出力で定数論理 High になります。 無効な場合、このレジスタへの書き込みは、期間値を DR0 に直接転送します。 有効な場合、ブロック周波数が 24 MHz 以下であれば、このレジスタはいつでも書き込まれますが、期間はクロックがターミナルカウントに従っているときにのみ DR0 に再ロードされます。ブロック周波数が 48MHz の場合、ターミナルカウントまたは比較割り込みは同期を使用して新しい期間レジスタへの書き込みを行うようにしてください。そうしないと、カウンタは正しくロードされません。
DR2	Compare	読み取り/書き込みレジスタ。 DR2 は比較レジスタとして機能します。 有効な場合、比較出力は DR0 と DR2 間の比較タイプ (機能レジスタのモードビットで設定) を使用して計算されます。比較の結果はプライマリ出力に出力されます。 無効またはデータ入力 (カウンタターゲット) が Low の場合、DR0 の読み取りは DR0 の内容を DR2 に転送します。 DR2 は、機能が有効または無効な場合に書き込まれます。

17.2.1.3 Dead Band レジスタの定義

バンク 0: 3 つの 8 ビットデータレジスタおよび 1 つの 3 ビットコントロールレジスタがあります。表 17-8 は、不感帯操作の文脈でこれらのレジスタの意味を説明します。

バンク 1: 機能レジスタのモードビットはブロックタイプ特有です。入力および出力レジスタの定義と同様に、このレジスタの他のビットフィールドはすべての機能で共通です。

Mode [1:0] は、Kill タイプとしてエンコードされます。すべての場合で、出力は直ちに Low にされます。モードビットは次の表のように Kill オプション用にエンコードされます。

不感帯の Kill オプションの詳細は、224 ページの "Dead Band タイミング" を参照してください。

表 17-8. Dead Band レジスタの説明

名前	機能	説明
DR0	Count Value	直接読み取り可能または書き込み可能ではありません。 通常の操作中、DR0 は同期ダウンカウンタの現在の値を格納します。 無効な場合、DR1 期間レジスタへの書き込みは、データバスから DR0 に同時にロードされます。 無効な場合、DR0 の読み取りは 00h をデータバスに返し、DR0 の内容を DR2 に転送します。
DR1	Period	書き込み専用レジスタ。 このレジスタのデータは不感帯カウントの期間を設定します。実際に計測されるクロック数は Period + 1 です。最小期間値は 00h で、1 クロックの不感時間を設定します。 無効な場合、このレジスタへの書き込みは、期間値を DR0 に直接転送します。 有効な場合、ブロック周波数が 24 MHz 以下であれば、このレジスタはいつでも書き込まれますが、期間はクロックがターミナルカウントに従っているときのみ DR0 に再ロードされます。ブロック周波数が 48MHz の場合、ターミナルカウントまたは比較割り込みは同期を使用して新しい期間レジスタへの書き込みを行うようにしてください。そうしないと、カウンタは正しくロードされません。
DR2	Buffer	無効な場合、DR0 の読み取りは DR0 の内容を DR2 に転送します。

17.2.1.4 CRCPRS レジスタの定義

バンク 0: 3 つの 8 ビットデータレジスタおよび 1 つのコントロールレジスタがあります。表 17-9 は、CRCPRS 操作の文脈でこれらのレジスタの意味を説明します。CRCPRS 機能では、DR2 シードレジスタへの書き込みは同時に DR0 にもロードされます。

バンク 1: 機能レジスタのモードビットはブロックタイプ特有です。入力および出力レジスタの定義と同様に、このレジスタの他のビットフィールドはすべての機能で共通で、222 ページの "DxBxxIN レジスタ" および 222 ページの "DxBxxOU レジスタ" で説明されています。

モードビットは比較タイプを決定するためにエンコードされます。

表 17-9. CRCPRS レジスタの説明

名前	機能	説明
DR0	LFSR	直接読み取り可能または書き込み可能ではありません。 通常の操作中、DR0 は同期線形帰還シフトレジスタの状態を格納します。 無効な場合、DR2 シードレジスタへの書き込みは、データバスから DR0 に同時にロードされます。 無効な場合、DR0 の読み取りは 00h をデータバスに返し、DR0 の内容を DR2 に転送します。このレジスタの値はブロックが有効な間は読み取るべきではありません。
DR1	Polynomial	書き込み専用レジスタ。 このレジスタの CRC または PRS 機能の多項式を設定します。 例外: このレジスタはブロックが無効な場合にのみ書き込み可能です。
DR2	Seed/Residue	読み取り/書き込みレジスタ。 DR2 はシードおよび剰余レジスタとして機能します。 無効な場合、このレジスタへの書き込みは、シード値を DR0 に直接転送します。 有効な場合、DR2 はいつでも書き込まれます。書き込まれた値は Compare 機能で使用されます。 有効な場合、比較出力は DR0 と DR2 間の比較タイプ (機能レジスタのモードビットで設定) を使用して計算されます。比較の結果は補助出力に出力されます。 無効な場合、DR0 の読み取りは DR0 の内容を DR2 に転送します。この機能は、CRC 操作が完了した後、剰余を読み取るために使用することができます。

17.2.1.5 SPI マスターレジスタの定義

バンク 0: 3 つの 8 ビットデータレジスタおよび 1 つの 8 ビットコントロール/ステータスレジスタがあります。次の表は、SPIM 操作の文脈でこれらのレジスタの意味を説明します。

バンク 1: 機能レジスタの Mode ビット 1 はブロックタイプ特有で、割り込みタイプを選択します。Mode ビット 0 はマスターまたはスレーブを選択します (SPIM の場合は '0')。入力および出力レジスタの定義と同様に、このレジスタの他のビットフィールドはすべての機能で共通です。

表 17-10. SPIM データレジスタの説明

名前	機能	説明
DR0	Shifter	読み取り可能または書き込み可能ではありません。 通常の操作中、DR0 はシリアルデータのシフト用にシフトレジスタを実装します。
DR1	TX Buffer	書き込み専用レジスタ。 送信が行われていないときにこのレジスタが書き込まれた場合、このレジスタ (DR1) からのデータは次のクロックエッジでシフトレジスタ (DR0) にロードされ、送信が開始されます。送信が行われている場合、このレジスタは TX データのバッファとして動作します。 このレジスタは TX Reg Empty ステータスがセットされているときに書き込まれるべきで、書き込みはコントロールレジスタの TX Reg Empty ステータスビットをクリアします。データがこのレジスタ (DR1) からシフトレジスタ (DR0) に転送された後、TX Reg Empty ステータスビットがセットされます。
DR2	RX Buffer	読み取り専用レジスタ。 バイト送信/受信が完了すると、シフター (DR0) のデータは RX バッファレジスタに転送され、コントロールレジスタの RX Reg Full ステータスビットがセットされます。 このレジスタ (DR2) からの読み取りは、コントロールレジスタの RX Reg Full ステータスビットをクリアします。

17.2.1.6 SPI スレーブレジスタの定義

バンク 0: 3 つの 8 ビットデータレジスタおよび 1 つの 8 ビットコントロール/ステータスレジスタがあります。表 17-11 は、SPIS 操作の文脈でこれらのレジスタの意味を説明します。

バンク 1: 機能レジスタの Mode ビット 1 はブロックタイプ特有で、割り込みタイプを選択します。Mode ビット 0 はマスターまたはスレーブを選択します (SPIM の場合は '1')。

SPIS には出力レジスタに Slave Select (SS_) 入力および動作を選択して制御するブロック特有のビットがあります。他の入力および出力レジスタのビットフィールド定義はすべての機能で共通で、222 ページの "DxBxxIN レジスタ" および 222 ページの "DxBxxOU レジスタ" で説明されています。

SPIS は、3 つの機能入力および 1 つの機能出力を定義するという点で独特です。Aux IO Enable ビットが '0' の場合、Aux IO Select ビットは SS_ 入力を駆動する補助データ入力マルチプレクサから 4 つの入力のうち 1 つを選択するために使用されます。代わりに、Aux IO Enable ビットが '1' の場合、SS_ 信号は Aux IO Select[0] ビットの値から直接駆動されます。したがって、SS_ 入力はファームウェアで制御することができるので、この目的のために追加の GPIO ピンを使用する必要はありません。

SS_ ビットがどのように設定されるかに関係なく、SPIS ブロックでは補助ロウ出力ドライバが必要になるので、このブロックで補助出力は利用できません。

表 17-11. SPIS データレジスタの説明

名前	機能	説明
DR0	Shifter	読み取り可能または書き込み可能ではありません。 通常の操作中、DR0 はシリアルデータのシフト用にシフトレジスタを実装します。
DR1	TX Buffer	書き込み専用レジスタ。 このレジスタは TX Reg Empty ステータスがセットされているときに書き込まれるべきで、書き込みはコントロールレジスタの TX Reg Empty ステータスビットをクリアします。データがこのレジスタ (DR1) からシフトレジスタ (DR0) に転送された後、TX Reg Empty ステータスビットがセットされます。
DR2	RX Buffer	読み取り専用レジスタ。 バイト送信/受信が完了すると、シフター (DR0) のデータは RX バッファレジスタに転送され、コントロール (CR0) レジスタの RX Reg Full ステータスビットがセットされます。 このレジスタ (DR2) からの読み取りは、コントロールレジスタの RX Reg Full ステータスビットをクリアします。

17.2.1.7 Transmitter レジスタの定義

バンク 0: 3 つの 8 ビットデータレジスタおよび 1 つの 5 ビットコントロール/ステータスレジスタがあります。表 17-12 は、Transmitter 操作の文脈でこれらのレジスタの意味を説明します。

バンク 1: 機能レジスタのモードビットはブロックタイプ特有です。他の入力および出力レジスタのビットフィールド定義はすべての機能で共通です。機能レジスタで、Mode ビット 0 は Transmitter と Receiver を選択して (この場合、Mode ビット 0 は TX 用に 1 にセット)、Mode ビット 1 は割り込みタイプを選択します。

表 17-12. Transmitter データレジスタの説明

名前	機能	説明
DR0	Shifter	読み取り可能または書き込み可能ではありません。 通常の操作中、DR0 はシリアルデータのシフトアウト用にシフトレジスタを実装します。
DR1	TX Buffer	書き込み専用レジスタ。 送信が行われていないときにこのレジスタが書き込まれた場合、セットアップ時間要件に従って、このレジスタ (DR1) からのデータが次のクロックエッジでシフトレジスタ (DR0) にロードされ、送信が開始されます。送信が行われている場合、このレジスタは TX データのバッファとして動作します。 このレジスタは TX Reg Empty ステータスがセットされているときに書き込まれるべきで、書き込みはコントロール (CR0) レジスタの TX Reg Empty ステータスビットをクリアします。データがこのレジスタ (DR1) からシフトレジスタ (DR0) に転送された後、TX Reg Empty ステータスビットがセットされます。
DR2	NA	この機能では使用されません。

17.2.1.8 Receiver レジスタの定義

バンク 0: 3 つの 8 ビットデータレジスタおよび 1 つの 8 ビットコントロール/ステータスレジスタがあります。次の表は、Receiver 操作の文脈でこれらのレジスタの意味を説明します。

バンク 1: 機能レジスタのモードビットはブロックタイプ特有です。他の入力および出力レジスタのビットフィールド定義はすべての機能で共通です。機能レジスタで、Mode ビット 0 は Transmitter と Receiver を選択して (この場合、Mode ビット 0 は RX 用に 0 にセット)、Mode ビット 1 は割り込みタイプを選択します。

表 17-13. Receiver データレジスタの説明

名前	機能	説明
DR0	Shifter	読み取り可能または書き込み可能ではありません。 通常の操作中、DR0 は RXD 入力からのシリアルデータのシフトアウト用にシフトレジスタを実装します。
DR1	NA	この機能では使用されません。
DR2	RX Buffer	読み取り専用レジスタ。 データの 8 ビットが受信された後、シフター (DR0) のデータは RX バッファレジスタに転送され、RX Reg Full ステータスがセットされます。コントロールレジスタの RX Reg Full ステータスビットは、このレジスタが読み取られたときにクリアされます。

17.2.2 DxBxxCR0 レジスタ

DxBxxCR0 レジスタは、デジタルブロックのコントロールレジスタです。表 17-14 で機能別に説明されています。その他の情報は、97 ページの [DxBxxCR0 レジスタ](#) を参照してください。

表 17-14. DxBxxCR0 レジスタの説明

機能	説明
Timer	コントロール (CR0) レジスタには 3 つのビットがあります: 1 つはブロックの有効/無効を設定し、1 つはキャプチャ時のオプション割り込みを設定し、そして 1 つはターミナルカウント出力の 0.5 またはフルクロックを選択します。
Counter	有効/無効設定用の 1 ビットのみ。
Dead Band	コントロール (CR0) レジスタには 3 つのビットがあります: 1 つはブロックの有効/無効を設定し、2 つは Dead Bit Bang モードの有効/無効の設定と制御を行います。Bit Bang モードが有効な場合、このレジスタビットの出力は PWM リファレンスの代わりに使用されます。このレジスタは、プログラムされた不感時間で PH1 および PH2 出力クロックを生成するように、ユーザファームウェアによってトグルされます。Bit Bang モードのオプションは次の通りです: 0 機能は以前のクロックプライマリ出力を入力リファレンスとして使用します。 1 機能は Bit Bang Clock レジスタを入力リファレンスとして使用します。
CRCPRS	2 ビットが操作を有効にするために使用されます。
SPIM	SPI コントロール (CR0) レジスタはコントロールビットとステータスビットの両方を含んでいます。読み取り/書き込み可能な 4 つのコントロールビット (モードを設定する Enable、Clock Phase および Clock Polarity と、ビット順を制御する LSB First) があります。Overrun および SPI Complete の 2 つの読み取り専用ステータスビットがあります。TX および RX バッファのステータスを示す 2 つの追加の読み取り専用ステータスビットがあります。
SPIS	SPI コントロール (CR0) レジスタはコントロールビットとステータスビットの両方を含んでいます。読み取り/書き込み可能な 4 つのコントロールビット (モードを設定する Enable、Clock Phase および Clock Polarity と、ビット順を制御する LSB First) があります。Overrun および SPI Complete の 2 つの読み取り専用ステータスビットがあります。TX および RX バッファのステータスを示す 2 つの追加の読み取り専用ステータスビットがあります。
TXUART	Transmitter コントロール (CR0) レジスタは 3 つのコントロールビットと 2 つのステータスビットを含んでいます。コントロールビットは Enable、Parity Enable、および Parity Type で、読み取り/書き込み可能です。ステータスビット、TX Reg Empty および TX Complete は読み取り専用です。
RXUART	Receiver コントロール (CR0) レジスタはコントロールビットおよびステータスビットを含んでいます。3 つのコントロールビットは Enable、Parity Enable、および Parity Type で、読み取り/書き込み可能です。RX Reg Full、RX Active、Framing Error、Overrun、および Parity Error の 5 つの読み取り専用ステータスビットがあります。

割り込みマスクレジスタ

17.2.3 INT_MSK1 レジスタ

INT_MSK1 レジスタは、55 ページの ["Interrupt Controller \(割り込みコントローラ\)"](#) の章で説明されています。その他の情報は、140 ページの [INT_MSK1 レジスタ](#) を参照してください。

設定レジスタ

Configuration ブロックは、機能 (DxBxxFN)、入力 (DxBxxIN)、および出力 (DxBxxOU) の 3 つのレジスタを含んでいます。これらのレジスタの値はブロックが有効な間は変更すべきではありません。

17.2.4 DxBxxFN レジスタ

これらのレジスタはプライマリ機能およびモードビットを含んでいます。機能ビットは利用可能なブロック機能 (通信ブロックで 6 つ、基本ブロックで 4 つ) の 1 つにブロックを設定します。モードビットは選択した機能で利用可能なオプションを選択します。これらのビットはブロックが無効な場合にのみ変更すべきです。

このレジスタには 3 つの追加コントロールビットがあります。End/Single ビットはチェーン可能な機能の最後また

は最上位ブロックを示すために使用されます。このビットはチェーン可能な機能が 1 つのブロックのみからなる場合にもセットされなければなりません。Data Invert ビットは選択されたデータビットを最適な状態で反転します。

BCEN ビットは、ロウブロードキャストブロックを駆動するため、ブロックのプライマリ出力を有効にします。BCEN ビットは各ブロックで独立してセットされるため、供給されたロウで 1 つの BCEN ビットのみが有効になることを保証するように注意してください。しかし、供給されたロウのいずれかのブロックで BCEN ビットがセットされている場合、他のロウから供給されたロウのブロードキャストネットを駆動できるようにする入力は無効になります (図 16-2 を参照)。

表 17-15. DxBxxFN 機能レジスタ

[2:0]: 機能	000b: Timer 001b: Counter 010b: CRCPRS 011b: 予約 100b: Dead band for PWM 101b: UART 110b: SPI 111b: 予約
[4:3]: Mode	機能特有
[5]: End/Single	1 == ブロックはチェーンされていないかチェーンの最後です 0 == ブロックはチェーンの最初または途中で
[6]: BCEN	1 == 無効 0 == 有効
[7]: Data Invert	1 == ブロックのデータ入力を反転する 0 == ブロックのデータ入力を反転しない

その他の情報は、162 ページの DxBxxFN レジスタを参照してください。

17.2.5 DxBxxIN レジスタ

入力レジスタは 8 ビットで、16-1 クロック/データ入力マルチプレクサをそれぞれ制御する 2 つの 4 ビットフィールドからなります。これらのフィールドの意味は、コンテキスト特有である外部クロックおよびデータ接続に依存します。

表 17-16. デジタルブロック入力の定義

	入力		
	DATA	CLK	補助
Timer	Capture	CLK	N/A
Counter	Enable	CLK	N/A
Dead Band	Kill	CLK	リファレンス *
CRCPRS	シリアルデータ **	CLK	N/A
SPIM	MISO	CLK	N/A
SPIS	MOSI	SCLK	SS_
Transmitter	N/A	8X Baud CLK	N/A
Receiver	RXD	8X Baud CLK	N/A

* Dead Band リファレンス入力は補助入力マルチプレクサを使用しません。前のブロックのプライマリ出力にハードワイヤードされています。

** CRC 演算では、入力データはクロックに同期されたシリアルデータストリームです。PRS モードでは、この入力は論理 '0' にされるべきです。

その他の情報は、164 ページの DxBxxIN レジスタを参照してください。

17.2.6 DxBxxOU レジスタ

出力レジスタは 2 つの 3 ビットフィールドを含んでいます: ロウ出力バス上で駆動する、プライマリおよび補助出力用のトリストートドライバを 2 つのビットで選択し、1 つのビットで有効にします。

ある場合 (SPI スレーブ) では、Auxiliary IO Select ビットの意味は異なります。SPI スレーブ機能は、3 つの機能入力および 1 つの機能出力を定義するという点で独特です。この設定では、補助ロウ出力ドライバは無効で、ビットは SS_ (Slave Select) 信号として使用される、(通常はロウ入

力に接続された) 補助データ入力マルチプレクサから 4 つの入力のうち 1 つを選択するために使用されます。SPI スレーブモードでは Aux IO Enable ビットも異なる意味を持ちます。セットされた場合、SS_ 信号は内部的にアクティブにされるため、補助データ入力から SS_ を駆動する必要はありません。

出力レジスタはクロック同期ビットも含んでいます。これらの 2 つのビットは同期を有効にするために使用され、SYSCLK または SYSCLKX2 を選択します。有効な場合、入力クロックは 16-1 マルチプレクサで処理された後に選択されたシステムクロックと再同期されます。これはクロック生成の際に発生し、様々なソースおよびパスから派生するクロックスキューを最小限にします。通常の状態では、同期は有効にすべきです。SYSCLKX2 クロックソースを SYSCLKX2 システムクロックに再同期する場合は注意が必要です。再同期は、SPI スレーブ設定のような、非同期外部出力が使用されている場合のみ無効にすべきです。

表 17-17. デジタルブロック出力の定義

	出力		
	プライマリ	補助	割り込み
Timer	Terminal Count	Compare	Terminal Count または Compare
Counter	Compare	Terminal Count	Terminal Count または Compare
Dead Band	Phase 1	Phase 2	Phase 1
CRCPRS	MSB	Compare	Compare
SPIM	MOSI	SCLK	TX Reg Empty または SPI Complete
SPIS	MISO	N/A **	TX Reg Empty または SPI Complete
Transmitter	TXD	SCLK *	TX Reg Empty または TX Complete
Receiver	RXD	SCLK *	RX Reg Full

* UART ブロックは受信または送信したバイトのデータビット中でのみアクティブな SPI モード 3 スタイルクロックを生成します。

** SPIS では、補助出力を選択するために使用されるフィールドは SS_ を選択する補助入力を制御するために使用されます。

その他の情報は、165 ページの DxBxxOU レジスタを参照してください。

17.3 Timing Diagrams (タイミングダイアグラム)

このセクションのタイミングダイアグラムは機能に従って示され、次の順になっています。

- "Timer タイミング"、223 ページ
- "Counter タイミング"、224 ページ
- "Dead Band タイミング"、224 ページ
- "CRCPRS タイミング"、226 ページ
- "SPI Mode タイミング"、226 ページ
- "SPIM タイミング"、227 ページ
- "SPIS タイミング"、230 ページ
- "Transmitter タイミング"、233 ページ
- "Receiver タイミング"、234 ページ

17.3.1 Timer タイミング

有効/無効操作。ブロックが無効な場合、クロックは直ちに Low にゲートされます。すべての出力は、割り込み出力も含めて、Low にゲートされます。すべての内部状態は、影響されない DR0、DR1、および DR2 を除いて、その設定特有のリセット状態にリセットされます。

ターミナルカウント/比較操作。00h のカウントの次のクロックサイクルにターミナルカウント (TC) 出力がアサートされます。ブロックコントロールレジスタでセットされる TC パルス幅モードに応じて 0.5 サイクルまたはフルサイクルになります。ブロックがスタンダアローンまたはチェーン中の最下位ブロックの場合、キャリアウト (CO) 信号もアサートされます。期間が 00h に設定されて TC パルス幅モードが 0.5 サイクルの場合、出力は入力クロックの反転になります。比較 (CMP) 出力は比較が真の次のサイクルにアサートされ、比較が偽の後の 1 サイクル否定されます。

マルチブロックターミナルカウント/比較操作。タイマがチェーンされている場合、供給されたブロックの CO 信号はチェーンで次の最上位ブロックの CI になります。チェーンされたタイマでは、CO 出力はブロックおよびすべてのより低いブロックが 00h カウントであることを示します。CO は、次のより低いブロックがすべてのより低いブロックのすべてのターミナルカウントで一度カウントされるように、クロックの次の正のエッジへのセットアップです。

供給されたブロックの TCO 信号はチェーンで次の最下位ブロックの TCI になります。TCO 出力はブロックおよびすべてのより低いブロックが 00h カウントであることを示します。TCI/TCO チェーン信号は、いつ上部のブロックがターミナルカウントになるか知る方法を、より低いブロックに提供します。再ロードはすべてのブロックがターミナルカウントの場合に発生し、CI、TCI およびブロック

ゼロの検出で決定することができます。3 ブロック Timer のタイミングの例を図 17-6 に示します。

比較回路はレジスタ DR0 \leq DR2 を比較します。(Mode[1] = 1 の場合、比較は DR0 < DR2 です)。

各ブロックには、(DR0 と DR2 を比較する) 内部比較条件、CMPO と呼ばれる次のブロックへのチェーン信号、CMPI と呼ばれる前のブロックからのチェーン信号があります。Timer の任意の供給されたブロックで、CMPO は 1 サイクルのクロック遅延で補助出力 (Counter ではプライマリ出力) を生成するために使用されます。

CMPO は、次の規則によって、内部比較条件および CMPI 入力の組み合わせによって生成されます:

1. 任意の供給されたブロックで、DR0 < DR2 の場合、CMPO 条件は無条件にアサートされます。
2. 任意の供給されたブロックで、DR0 == DR2 の場合、CMPO は CMPI 入力とそのブロックにアサートされた場合にのみアサートされます。
3. ブロックがスタートブロックの場合、有効な CMPI は比較タイプに依存します。DR0 \leq DR2 の場合、有効な CMPI 入力は '1' です。DR0 < DR2 の場合、有効な CMPI 入力は '0' です。

キャプチャ操作。タイマの実装では、データ入力の立ち上がりエッジまたは DR0 の CPU 読み取りは同期キャプチャイベントを引き起こします。この結果、現在のカウントが DR0 から DR2 にロードされ DR2 へのラッチイネーブルが生成されます。ラッチイネーブル信号はカウントが変更されているエッジの近くで閉じていない方法で同期されます。

制限は、キャプチャが 48 MHz のブロッククロックでは動作しないことです。(Timer キャプチャ操作の基本的な制限は、GPIO 入力は 24 MHz のシステムクロックに現在同期されているということです)。

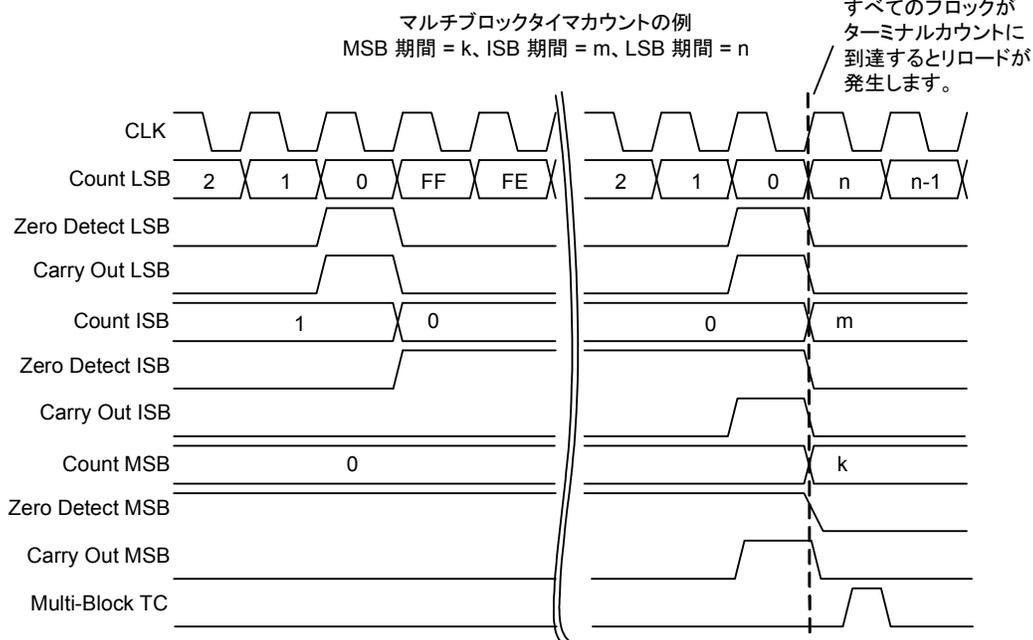


図 17-6. マルチブロックタイミング

17.3.2 Counter タイミング

有効/無効操作。Timer の有効/無効操作を参照してください (209 ページの "タイマ機能")。

ターミナルカウント/比較操作。Timer のターミナルカウント/比較操作を参照してください (209 ページの "タイマ機能")。

マルチブロック操作。Timer のマルチブロック操作を参照してください (209 ページの "タイマ機能")。

ゲート (有効) 操作。データ入力はカウンタの有効/無効を制御します。このイネーブルの移行は、ブロッククロックに対して少なくとも 1 つの 24 MHz サイクルのセットアップ時間が経過しなければなりません。これは内部または同期された外部入力を使用された場合の保険になります。外部の非同期信号の場合、このセットアップ時間についてはユーザが責任を持つことになります。

図 17-7 で示すように、データ入力が否定されて (カウントが無効) カウントが 00h の場合、TC 出力はデータ入力がアサートされる次のクロックまで Low のままです。ブロックが無効な場合、クロックは直ちに Low にゲートされます。すべての内部状態は、影響されない DR0、DR1、および DR2 を除いて、リセットされます。

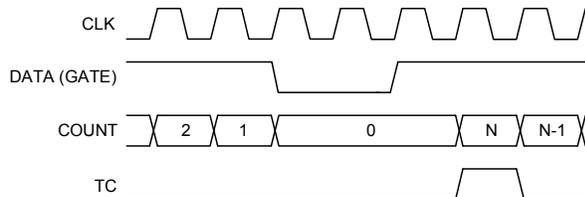


図 17-7. カウンタターミナルカウントタイミングとゲート

17.3.3 Dead Band タイミング

有効/無効操作。最初の両方の出力は Low です。不感帯処理は最初に到達する正または負のリファレンスエッジまで開始されないため、ブロックを有効にするために厳しいタイミングは要求されません。一般的な操作では、不感帯ブロックを最初に有効にしてから PWM ジェネレータブロックを有効にすることを推奨します。

ブロックが無効な場合、クロックは直ちに Low にゲートされます。すべての出力は、割り込み出力も含めて、Low にゲートされます。すべての内部状態は、影響されない DR0、DR1、および DR2 を除いて、その設定特有のリセット状態にリセットされます。

通常操作。図 17-8 は、典型的な不感帯タイミングを示しています。到達するリファレンスエッジは、ブロッククロックのエッジの前に 1 つまでの 24 MHz システムクロックを発生することができます。ブロッククロックのエッジで、現在アサートされている出力は否定され、不感帯カウンタが有効になります。Period + 1 クロックの後、PWM リファレンスの現在の状態に関連する相がアサートされます (リファレンス High = Phase 1、リファレンス Low = Phase 2)。最小の不感時間は期間値 00h で発生し、その不感時間は 1 クロックサイクルです。

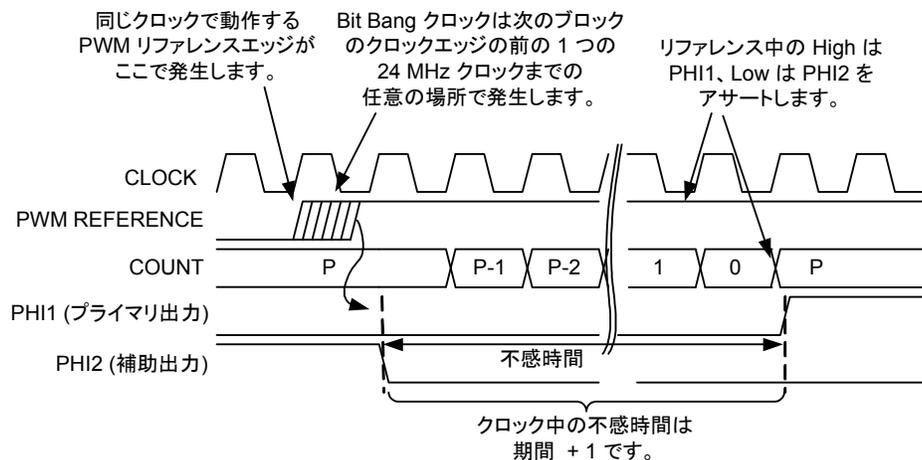


図 17-8. 基本的な不感帯タイミング

17.3.3.1 PWM デューティサイクルの変更

通常の下況下では、Dead Band 期間は最小の PWM High または Low の時間よりも短くなります。例として、PWM Low が 4 クロックで不感帯期間が 2 クロックの次のダイアグラムを考えてみましょう。図 17-9 では PHI2 の High の時間を見ることができます。

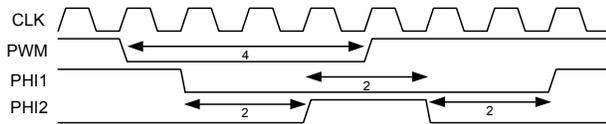


図 17-9. DB High の時間は PWM 幅マイナス DB 期間

図 17-10 では、PWM Low の幅は 1 クロック減少して 3 クロックになっています。不感帯期間は同じままで、PHI2 の High 時間は 1 クロック減少して 1 クロックになっています。もちろん、逆相である PHI1 の High 時間も 1 クロック増加しています。

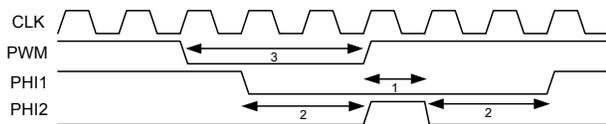


図 17-10. PWM 幅が減少すると DB High 時間も減少

PWM Low 時間の幅が不感帯期間と同じになるまで減少した場合、逆相である PHI2 はすべて消えてしまいます。PWM の立ち上がりエッジの後でも、逆の相はプログラムされた不感帯が残されている点に注意してください。図 17-11 は、Dead Band 期間が 2 で、PWM 幅が 2 の例です。この場合、PHI2 の High 時間は 0 クロックです。Phase 1 の不感帯時間は 2 クロックのままである点に注意してください。

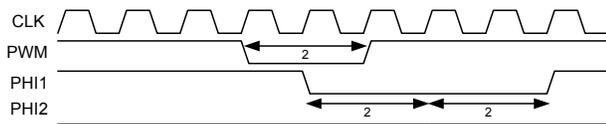


図 17-11. 不感帯期間と同じ PWM 幅

この場合、不感帯期間は PWM リファレンスの High または Low よりも長く、関連する相の出力は High にアサートされます。

17.3.3.2 Kill 操作

KILL 入力はロウ入力同期しないと仮定されています (これは要件ではありませんが、同期した場合、KILL 操作は不適当な 2 つまでの 24 MHz クロックサイクルレイテンシを持つことになります)。リスタートモードをサポートするために、KILL の否定は 24MHz システムクロックと (ブロックで) 内部的に同期されます。

3 つの KILL モードがサポートされています。すべての場合で、KILL 信号は非同期に出力を論理 '0' にします。

モードの差は、不感帯の処理をどのようにリスタートするかによります。

- 同期リスタートモード:** KILL がアサートされた場合、High 内部状態はリセットで保持され、内部不感帯期間はカウンタに再ロードされます。KILL が High で保持されている間、到達する PWM リファレンスエッジは無視されます。KILL が否定された場合、次に到達する PWM リファレンスエッジは不感帯処理をリスタートします。図 17-12 を参照してください。
- 非同期リスタートモード:** KILL が High でアサートされた場合、内部状態は影響されません。KILL が否定された場合、出力はリストアされ、最小無効時間は 0.5 から 1.5 クロックサイクルの間になります。図 17-13 を参照してください。
- 無効モード:** 無効モードに関連付けられた特定のタイミングはありません。ブロックは無効になり、ユーザは処理を続行するにはファームウェア中で機能を再度有効にしなければなりません。

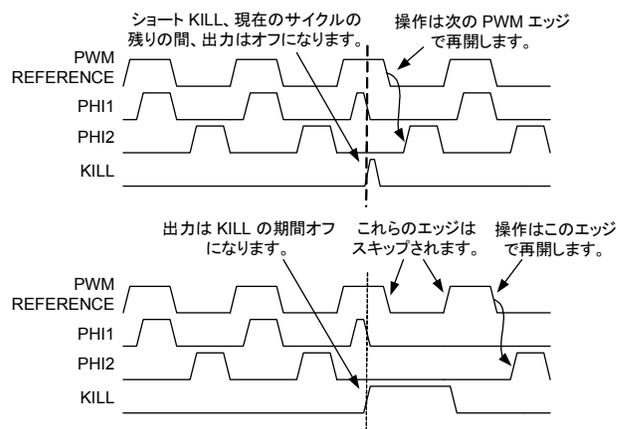


図 17-12. 同期リスタート KILL モード

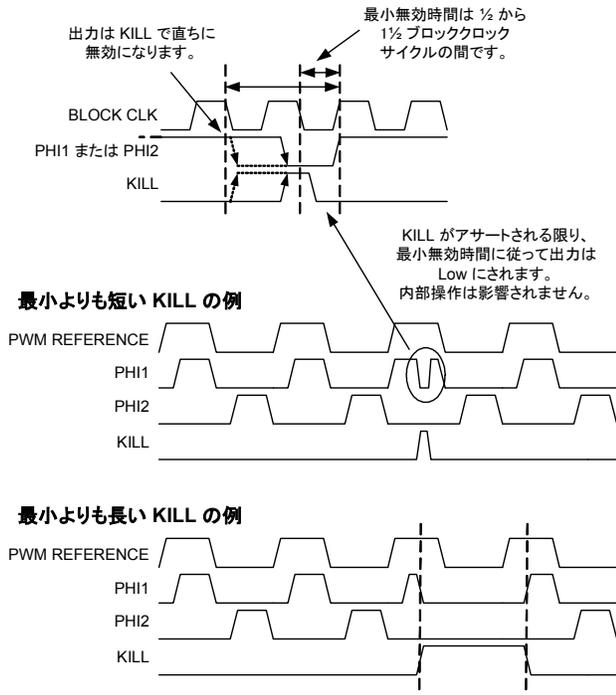


図 17-13. 非同期リスタート KILL モード

17.3.4 CRCPRS タイミング

有効/無効操作。 Timer の有効/無効操作を参照してください (209 ページの "タイマ機能")。

ブロックが無効な場合、クロックは直ちに Low にゲートされます。すべての出力は、割り込み出力も含めて、Low にゲートされます。すべての内部状態は、影響されない DR0、DR1、および DR2 を除いて、その設定特有のリセット状態にリセットされます。

17.3.5 SPI Mode タイミング

図 17-14 は、通常 0、1、2、または 3 として定義される SPI モードを示しています。これらのモード番号は、2 つのコントロールビット (Clock Phase および Clock Polarity) のエンコーディングです。

クロックの相は、クロックとデータの関係を示しています。クロックの相が '0' の場合、データがクロックの立ち上がりエッジで入力として登録され、次のデータがクロックの立ち下がりエッジで出力されることを意味します。クロックの相が '1' の場合、次のデータがクロックの立ち上がりエッジで出力され、データがクロックの立ち下がりエッジで入力として登録されることを意味します。

クロック極性はクロックの反転を制御します。クロック極性が '1' に設定された場合、クロックのアイドル状態は High です。

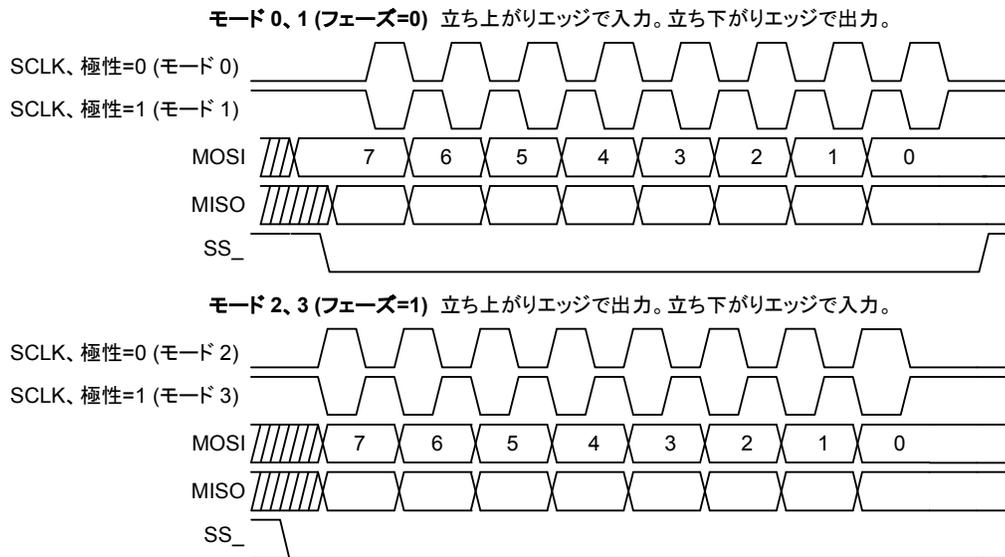


図 17-14. SPI Mode タイミング

17.3.6 SPIM タイミング

有効/無効操作。ブロックが SPIM 用に設定されると、プライマリ出力はコントロールレジスタのビット 7 の LSBF 設定に依存して、シフトレジスタの MSB または LSB です。補助出力は SPI モードのアイドルクロック状態に依存して '1' または '0' です。これはアイドル状態です。

SPIM が有効な場合、内部リセットは 2 フリップフロップで分割してリリースされ、選択された入力クロックの次の正のエッジでこの 1 ビットディバイダは '1' に移行され、その後は自走したままです。

ブロックが無効な場合、SCLK および MOSI 出力はアイドル状態に戻ります。すべての内部状態は、影響されない DR0、DR1、および DR2 を除いて、その設定特有のリセット状態に (CR0 ステータスを含めて) リセットされます。

通常操作。SPIM 転送の典型的なタイミングは、図 17-15 および 図 17-16 で示されます。ユーザは、TX Reg Empty ステータスが真の場合に送信するバイトを最初に書き込みます。送信が行われていない場合、データはシフターにロードされ、送信が開始されます。TX Reg Empty ステータスが再びアサートされ、ユーザは TX バッファレジスタに送信する次のバイトを書き込めるようになります。最後のビットが出力された後、TX バッファのデータが次のブロックまで 0.5 クロックのセットアップ時間で利用可能な場合、新しいバイト送信が開始されます。SPIM ブロックは送信するバイトを同時に受信します。SPI Complete または RX Reg Full は、入力バイトがいつ受信されたか決定するために使用することができます。

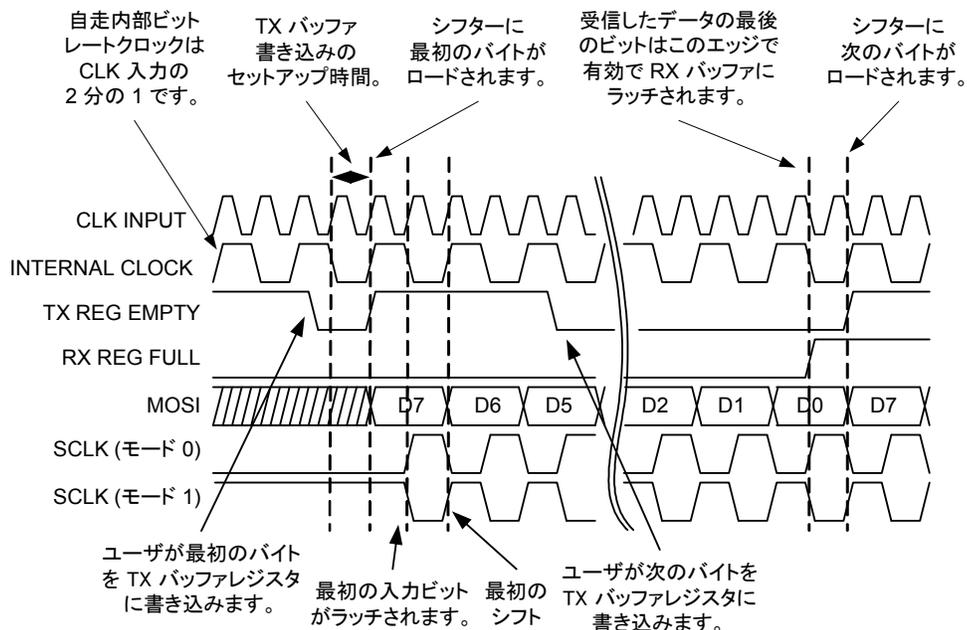


図 17-15. モード 0 および 1 の典型的な SPIM タイミング

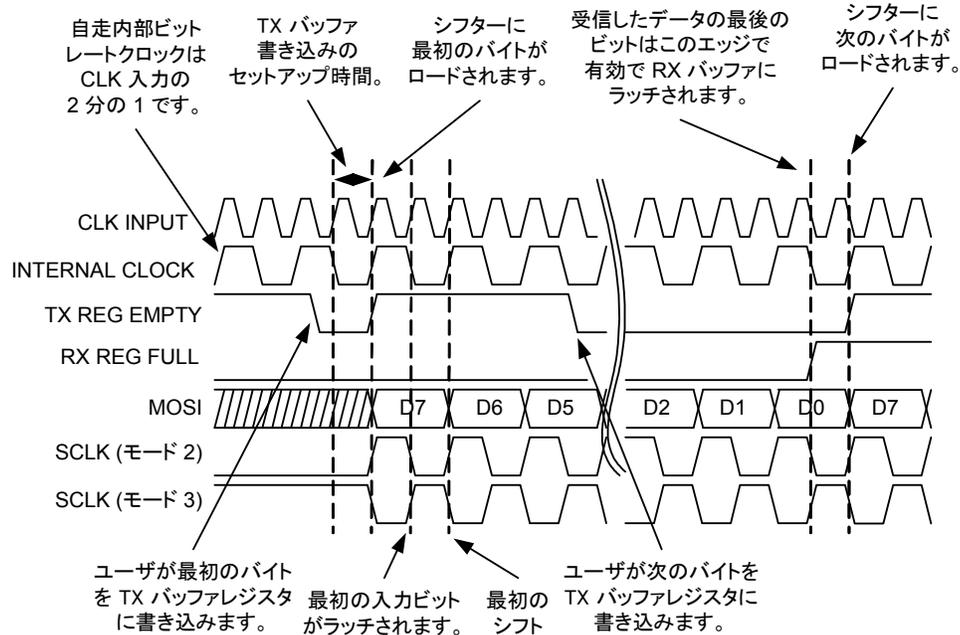


図 17-16. モード 2 および 3 の典型的な SPIM タイミング

ステータス生成および割り込み。 SPI ブロックには、TX Reg Empty、RX Reg Full、SPI Complete、および Overrun の 4 つのステータスビットがあります。

TX Reg Empty は、新しいバイトが TX バッファレジスタに書き込み可能であることを示します。ブロックが有効な場合、このステータスは直ちにアサートされます。このステータスビットは、ユーザがデータバイトを TX バッファレジスタに書き込むときにクリアされます。TX Reg Empty はステートマシンへの入力を制御し、送信がまだ行われていない場合、この制御信号のアサーションは送信を開始します。これはデフォルトの SPIM ブロック割り込みです。しかし、ブロックが有効な場合、最初の割り込みは生成されません。ユーザは、TX Reg Empty ビットが有効にされて割り込みが生成される前に TX バッファレジスタにバイトを書き込み、そのバイトがシフターにロードされていなければなりません。

RX Reg Full は、受信したデータの 8 番目のビットをキャプチャするエッジでアサートされます。このステータスビットは、ユーザが RX バッファレジスタ (DR2) を読み取るときにクリアされます。

Overrun ステータスは、新しいバイトが RX バッファレジスタにロードされるときに RX Reg Full が前のバイトからアサートされたままの場合にセットされます。RX バッファはラッチとして実装されるので、Overrun ステータスは RX Reg Full ステータスの 0.5 ビットクロック前にセットされます。

SPI Complete はオプションの割り込みで、データの 8 ビットおよびクロックが送信されたときに生成されます。モード 0 および 1 では、データはクロックの立ち上がりエッジでラッチされ、そのクロックが完了するまでさらに 0.5 サイクルあるため、これは RX Reg Full がセットされた後 0.5 サイクルで発生します。モード 2 および 3 では、これは受信したデータがラッチされたのと同じエッジで発生します。この信号は受信したバイトを読み取るために使用されるか、データ送信が完了した後にクロックを無効にするために SPIM によって使用されます。

ステータスとタイミングの関係については、図 17-17 および図 17-18 を参照してください。

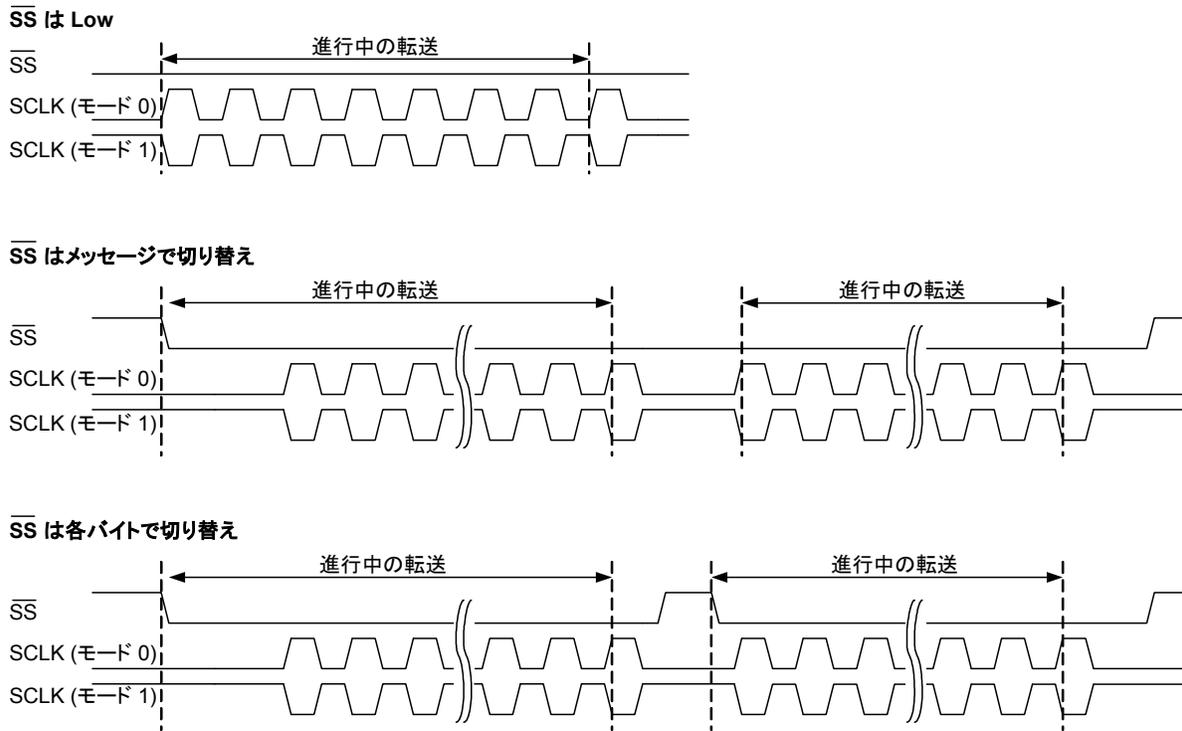


図 17-17. モード 0 および 1 の SPI ステータスとタイミング

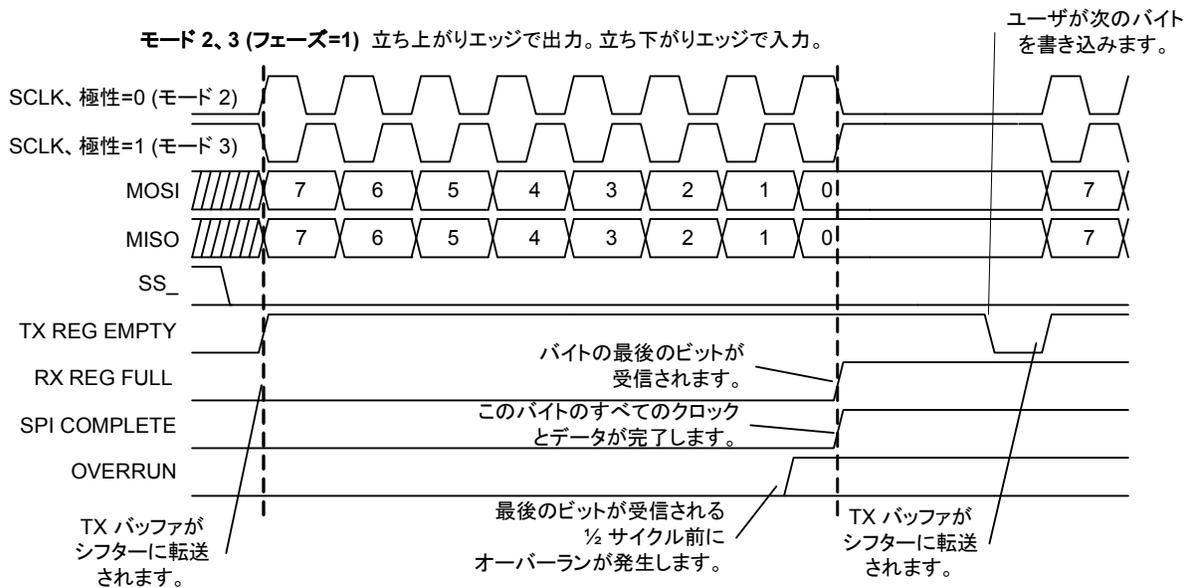


図 17-18. モード 2 および 3 の SPI ステータスとタイミング

17.3.7 SPIS タイミング

有効/無効操作。ブロックが SPI スレーブ用に設定されると、MISO 出力が論理 '1' でアイドルにセットされます。両方のイネーブルビットがセットされ、データを出力するブロックに SS₀ がアサートされる (外部的に駆動されるかファームウェアプログラミングで行われる) 必要があります。有効な場合、プライマリ出力はコントロールレジスタのビット 7 の LSBF 設定に依存して、シフトレジスタの MSB または LSB です。SPIS の補助出力は常にトリステートになります。

SPIS には内部クロックがないため、クロックを供給する任意の外部マスターへのセットアップ時間を加えて有効にされなければなりません。エッジセットアップ時間は、モードに応じて、クロックの最初のエッジまたは SS₀ の最初の立ち下がりの前に TX バッファレジスタに書き込むときにも必要です。このセットアップ時間を保証するには、プロトコルおよびシステムのマスターとスレーブの間のタイミングを理解する必要があります。

ブロックが有効になる前に設定で SS₀ がアクティブにされた場合、TX バッファレジスタからシフターへのイニシャルロードは発生しません。TX のロードは SS₀ の立ち下がりがリエッジでのみ発生します (モード 0 および 1 のみ)。

ブロックが無効な場合、MISO 出力はそのアイドル '1' 状態に戻ります。すべての内部状態は、影響されない DR0、DR1、および DR2 を除いて、その設定特有のリセット状態に (CR0 ステータスを含めて) リセットされます。

通常操作。SPIS 転送の典型的なタイミングは、[図 17-19](#) および [図 17-20](#) で示されます。SPIS がレシーバとして主に使用されている場合、RX Reg Full (ポーリングのみ) または SPI Complete (ポーリングまたは割り込み) ステータスはバイトがいつ受信されたか決定するために使用されます。この方法では、SPIS 操作は SPIM と同じです。しかし、SPIS 操作が異なる点も次の 2 つあります: 1) SS₀ 信号に関連する SPIS の動作と 2) TX データクエリ (TX バッファレジスタのロード)。これらの操作中の動作は、16.7.6.3 および 16.7.6.5 で説明されています。

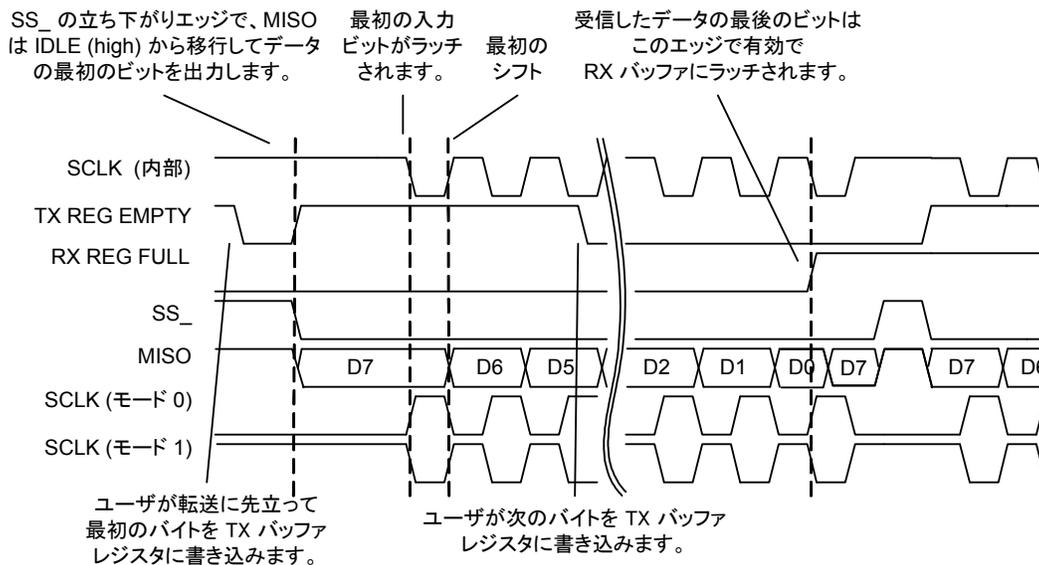


図 17-19. モード 0 および 1 の典型的な SPIS タイミング

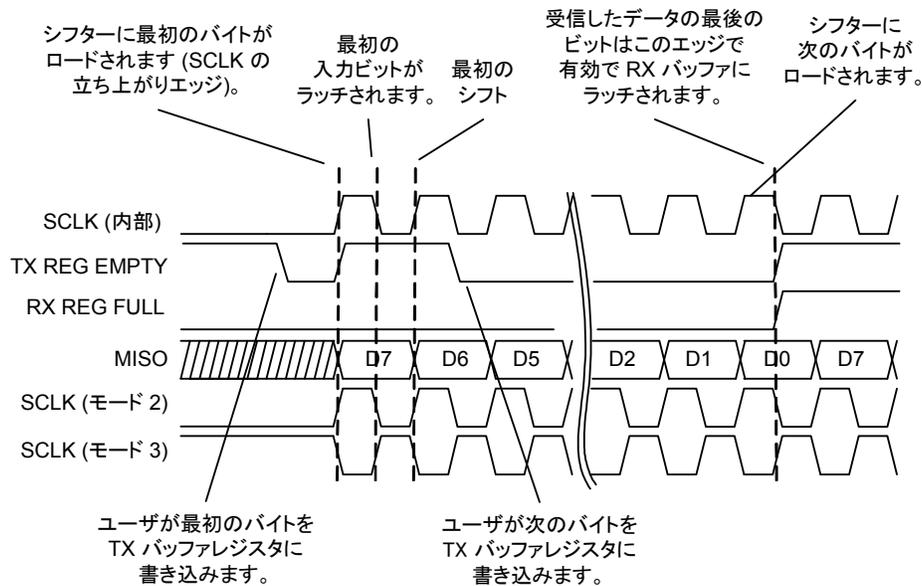


図 17-20. モード 2 および 3 の典型的な SPIS タイミング

Slave Select (SS₋、アクティブ Low)。 受信および送信用に SPIS を有効にするには、Slave Select をアサートしなければなりません。次の 2 つの方法があります:

1. 補助入力を (出力レジスタの Aux IO Select ビットで選択された) ピンから駆動する。これで、SPI マスターがマルチスレーブ環境でスレーブの選択を制御することができます。
2. SS₋ は出力レジスタへのレジスタ書き込みによりファームウェアで制御されます。Aux IO Enable = 1 の場合、Aux IO Select ビットは SS₋ 入力になります。これで、ユーザが単一スレーブ環境で入力ピンを保存することができます。

SS₋ が (外部または内部ソースから) 否定された場合、SPIS ステートマシンがリセットされ、MISO 出力は論理 '1' でアイドルされます。さらに、SPIS はマスターから到達する MOSI/SCLK をすべて無視します。

ステータス生成および割り込み。 SPIS ブロックには、TX Reg Empty、RX Reg Full、SPI Complete、および Overrun の 4 つのステータスビットがあります。これらのステータスビットのタイミングは、TX データキューイングについてのセクションで説明されている TX Reg Empty の例外を除けば、SPIM と同じです。

読み取り時のステータスクリア。 227 ページの "SPIM タイミング" の同じサブセクションを参照してください。

TX データキューイング。 ほとんどの SPI アプリケーションは、スレーブからマスターに送り返されるデータを要求します。この要求を満たすファームウェアを記述するためには、シフトレジスタが TX バッファからどのようにロードされるか理解する必要があります。

すべてのモードは次のメカニズムを使用します: 1) 進行中の転送がない場合で、2) シフターが空の場合で、3) データが TX バッファレジスタで利用可能な場合、バイトはシフターにロードされます。

モード間の唯一の違いは、"進行中の転送" の定義がモード 0 および 1 とモード 2 および 3 で少し異なる点です。

図 17-21 は、モード 0 および 1 における TX データのロードを示しています。進行中の転送は、SS₋ の立ち下がりエッジから RX バッファレジスタに受信したバイトがロードされるポイントまでになると定義されます。これは、次の転送でバイトを送信するには、SS₋ の立ち下がりエッジの前に、TX バッファレジスタにそのバイトをロードしなければならないことを意味します。最初の SCLK の立ち上がりエッジは受信したデータ中でラッチされなければならないので、これは最初のビット用の最小セットアップ時間を保証します。SS₋ が各バイト間でトグルされないか、設定レジスタで Low にされる場合、SCLK の立ち上がりエッジは転送の開始を定義するために使用されます。しかし、この場合、ユーザはシステムレイテンシおよび応答時間について十分な知識を持った上で、必要なセットアップ時間 (立ち上がりエッジの前に最低 0.5 クロック) を供給しなければなりません。

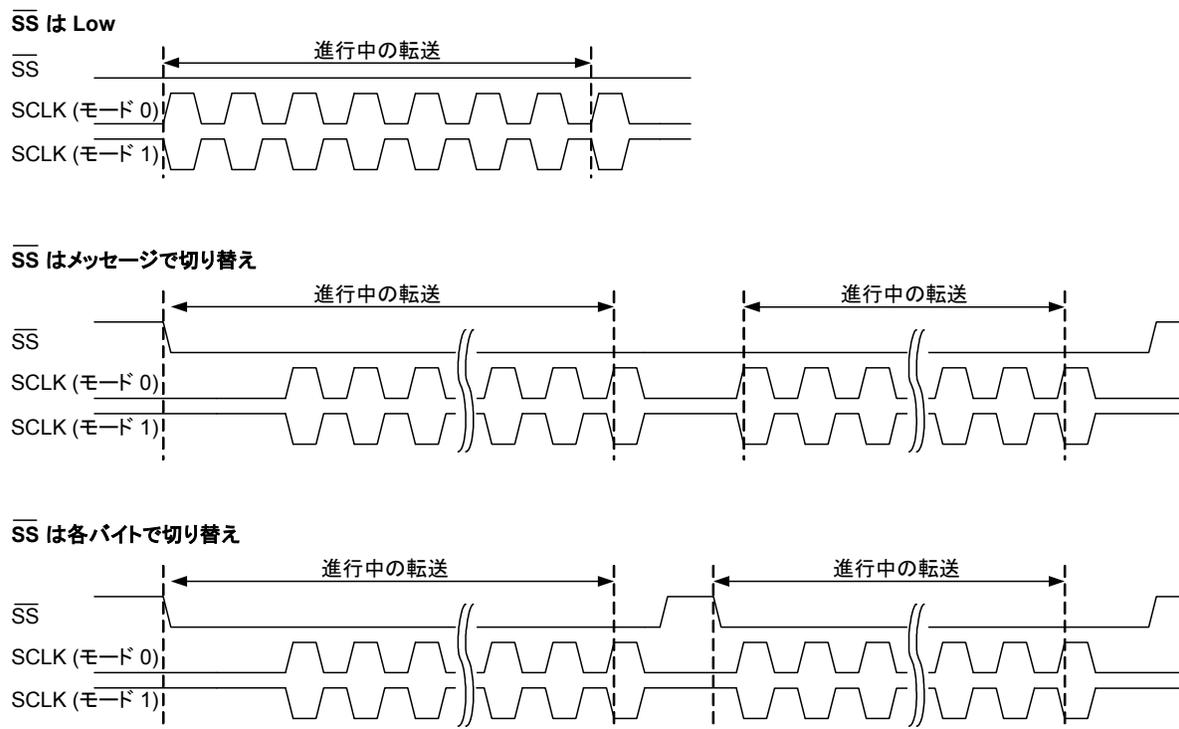


図 17-21. モード 0 および 1 における転送

図 17-22 は、モード 2 および 3 における TX データのロードを示しています。この場合、進行中の転送は最初の SCLK の立ち上がりエッジから RX バッファレジスタに受信したバイトがロードされるポイントまでになると定義されます。この場合、データはこれらのモードにおける SCLK の立ち上がりエッジでレシーバにラッチされるので、クロックの立ち上がりエッジでシフターをロードすることは必要な 0.5 クロックのセットアップ時間を供給する効果があります。

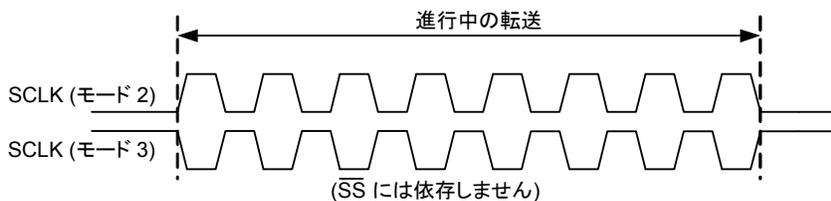


図 17-22. モード 2 および 3 における転送

17.3.8 Transmitter タイミング

有効/無効操作。ブロックが Transmitter 用に設定されて、有効になる前、プライマリ出力は論理 '1' マーク状態でアイドルにセットされます。出力は、ブロックが有効になり送信が開始されるまで '1' のままです。補助出力も、SPI モード 3 クロックに関連したアイドル状態である、'1' にアイドルされます。

Transmitter が有効な場合、内部リセットはクロックジェネレータ回路を 8 分割してリリースされます。選択された入カクロックの次の正のエッジで、MSB を含むビットクロックを生成するこの 3 ビットのアップカウンタ回路は、00h からカウントアップを開始して、その後自走します。

ブロックが無効な場合、クロックは直ちに Low にゲートされます。

すべての内部状態は、影響されない DR0、DR1、および DR2 を除いて、その設定特有のリセット状態に (CR0 ステータスを含めて) リセットされます。

送信操作。送信は、TX バッファレジスタ (DR1) への書き込みで開始されます。このレジスタへの CPU 書き込みを行うには、データが次の正の内部ビットクロックエッジで認識されるようにするため、0.5 ビットクロックのセットアップ時間が必要です。セットアップ時間になると、[図 17-23](#) で示されるように、データがシフターにロードされて START ビットが TXD (プライマリ) 出力に生成されるまで 1 クロックのレイテンシがあります。

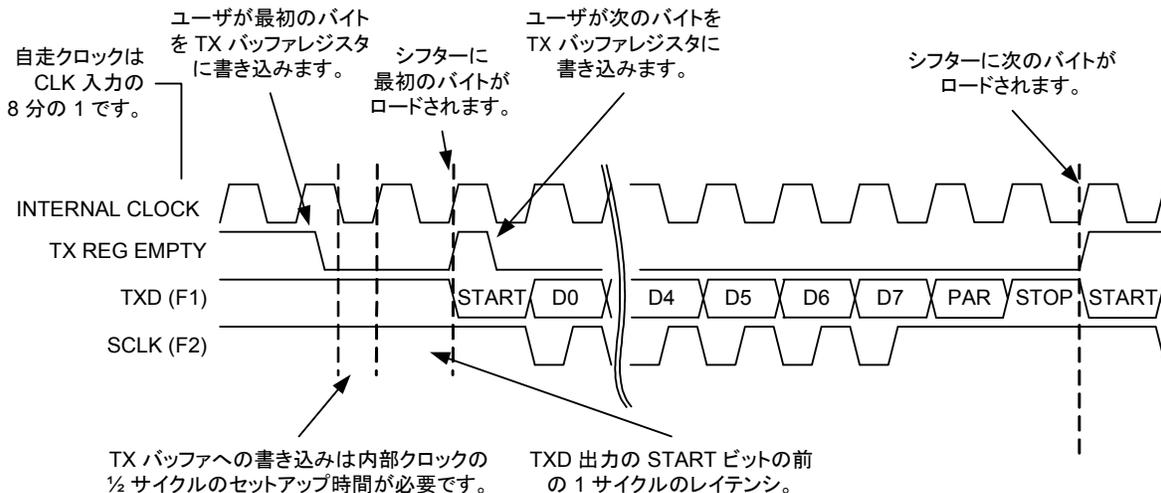


図 17-23. 典型的な Transmitter タイミング

[図 17-24](#) は、TX バッファのロードタイミングの詳細を示しています。データビットは後のクロックでそれぞれシフトアウトされます。パリティが有効な場合、8 番目のビットに続いて、パリティビットが出力に送信されます。最後に、STOP ビットがデータストリームに多重化されます。次のクロックまで 0.5 サイクルのセットアップでは、新しいデータが TX バッファレジスタから利用可能な場合、次のバイトが次のクロックエッジでロードされ、プロセスが繰り返されます。利用可能なデータがない場合、マーク (論理 '1') が出力されます。

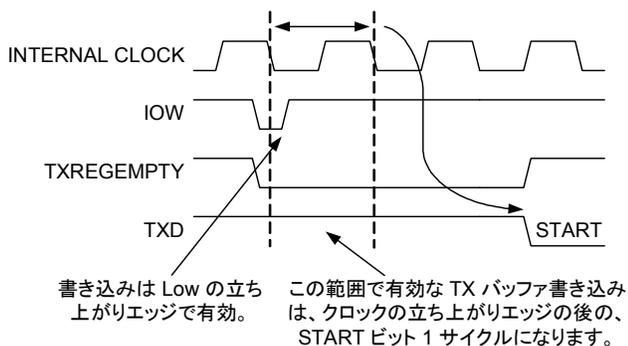


図 17-24. TX バッファのロードタイミング

SCLK (補助) 出力には、データビットと関連する SPI モー

ド 3 クロックがあります (モード 3 タイミングについては、[図 17-14](#) を参照してください。マーク (アイドル) およびフレーミングビット中、SCLK 出力は High です。

ステータス生成。Transmitter CR0 レジスタには、TX Reg Empty および TX Complete の 2 つのステータスビットがあります。

TX Reg Empty は、新しいバイトが TX バッファレジスタに書き込み可能であることを示します。ブロックが有効な場合、このステータスは直ちにアサートされます。このステータスビットは、ユーザーがデータバイトを TX バッファレジスタに書き込むときにクリアされ、TX バッファレジスタのデータバイトがシフターに転送されるときにセットされます。送信がまだ行われていない場合、この信号のアサーションはセクション 16.8.6.2 に記述されているタイミングで送信を開始します。

Transmitter のデフォルト割り込みは TX Reg Empty です。しかし、ブロックが有効な場合、最初の割り込みは生成されません。ユーザーは、TX Reg Empty ビットが有効にされて割り込みが生成される前に TX バッファレジスタにバイトを書き込み、そのバイトがシフターにロードされていなければなりません。これは、ブロックが有効になったときに直ちに割り込みが発生することを防ぎます。

TX Complete はオプションの割り込みで、データのすべてのビットおよびフレーミングビットが送信されたときに生成されます。CR0 レジスタの読み取りによってクリアされます。この信号は、データ送信が完了した後、いつブロックを無効にするのが安全か決定するために使用されます。割り込み駆動型の Transmitter アプリケーションでは、TX Complete での割り込みが選択された場合、ステータスはす

べての割り込みでクリアしなければなりません。そうでない場合、ステータスは High のままになり、続きの割り込みは記録されません。タイミングの関係については、[図 17-25](#) を参照してください。

読み取り時のステータスクリア。 223 ページの "Timer タイミング" の同じサブセクションを参照してください。

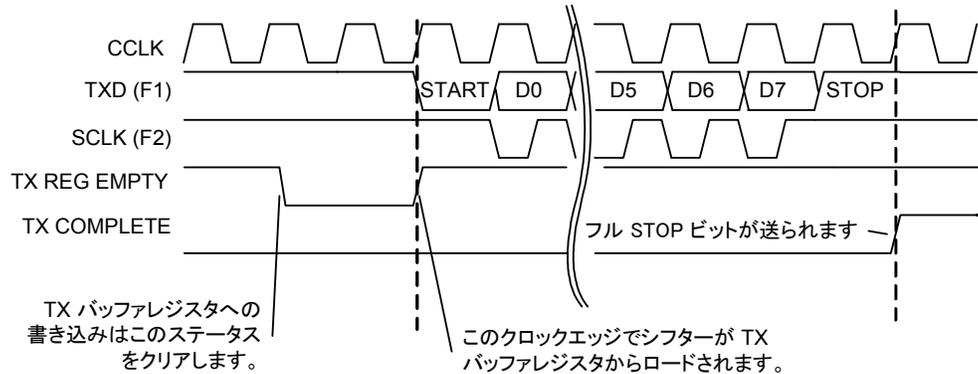


図 17-25. Transmitter のステータスタイミング

17.3.9 Receiver タイミング

有効/無効操作。 ブロックが Receiver 用に設定されて、有効になる前、プライマリ出力はデータ入力 (RXD) に接続されます。この出力は、有効かどうかに関係なく、入力に従い続けます。補助出力は、SPI モード 3 クロックに関連したアイドル状態である、'1' にアイドルされます。

Receiver が有効な場合、START ビットが入力で検出されるまで、内部クロックジェネレータはリセットで保持されます。ブロックは、最初の START ビット入力までのセットアップ時間を加えて有効にされなければなりません。

ブロックが無効な場合、クロックは直ちに Low にゲートされます。すべての内部状態は、影響されない DR0、DR1、および DR2 を除いて、その設定特有のリセット状態に (CR0 ステータスを含めて) リセットされます。

受信操作。 クロック (ボーレートの 8 倍) は CLK 入力として選択されます。このクロックは RX ブロッククロックディバイダへの入力です。レシーバがアイドルの場合、クロックディバイダはリセットで保持されます。[図 17-26](#) で示されるように、受信は START ビット (論理 '0') が RXD 入力で検出されたときに開始されます。これが発生すると、リセットがクロックディバイダで否定され、3 ビットカウンタがカウントを開始します。ブロッククロックは、このカウンタ (4 のカウントに対応) の MSB から派生され、名目の中央ポイントで到達するビットをサンプリングします。また、このクロックは、指定されたビットレートでステートマシンを順番に並べます。

サンプリングされたデータは入力フリップフロップに登録されます。このフリップフロップは DR0 シフトレジスタを供給します。データビットのみ、シフトレジスタにシフトされます。

STOP サンプルポイントで、ブロックは直ちに (24 MHz システムクロックの 1 サイクル内に) アイドル状態に戻さ

れます。この方法では、クロックジェネレーション回路は次の START ビットを直ちに検索することができるので、すべての新しいバイトデータの受信中に到達したビットレートでビットクロックを再同期します。エラーステータスに加えて、RX Reg Full ステータスビットも STOP サンプルポイントでセットされます。

他のデジタルブロックへの接続を容易にするため、RXD 入力は RXDOUT (プライマリ) 出力に直接渡されます。SCLK (補助) 出力には、データビットと関連する SPI モード 3 クロックがあります (モード 3 タイミングについては、[図 17-26](#) を参照してください。マーク (アイドル) およびフレーミングビット中、SCLK 出力は High です。

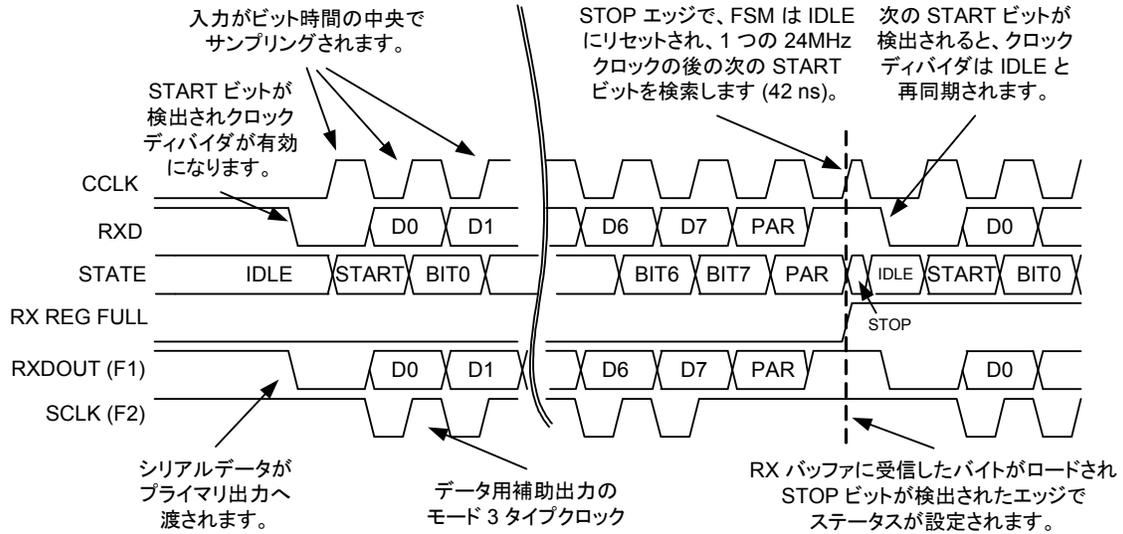


図 17-26. レシーバ操作

クロック生成およびスタート検出。 入力クロック選択は、自走方式の 8X オーバーサンプリングクロックです。このクロックは、ビットレートでブロッククロックを生成するためにクロックディバイダ回路によって使用されます。図 17-27 で示されるように、クロックブロックは 3 ビットカウンタの MSB から派生され、サンプルポイントをできるだけビット時間の中央の近くにします。このブロッククロックは、すべての内部回路を計測するために使用されます。

RXD ビットレートはブロッククロックビットと非同期なので、これらのクロックは絶えず再調整されます。これは、START ビットを検出して行われます。

IDLE 状態では、クロックディバイダはリセットで保持され

ます。START (入力 RXD の移行が論理 '0' として検出された場合) において、リセットは否定され、ディバイダは 8X レートで計測できるようになります。RXD 入力が入力クロックの 3 つのサンプルの後にまだ論理 '0' の場合、ステータス RXACTIVE がアサートされ、受信を開始します。RXD ラインのサンプルが論理 '1' の場合、入力 '0' 遷移は偽であると仮定され、Receiver はアイドル状態のままです。

図で示されるように、内部ビットクロック (CCLK) は外部 TX ビットクロックよりも遅くなっていて、STOP ビットは実際の中央ポイントよりも遅くサンプリングされています。STOP ビットがサンプリングされた後、24 MHz リセットパルスが Receiver をアイドル状態に戻します。この状態で、次の START ビットの検索が開始され、RX ビットクロックが TX ビットクロックに再同期されます。

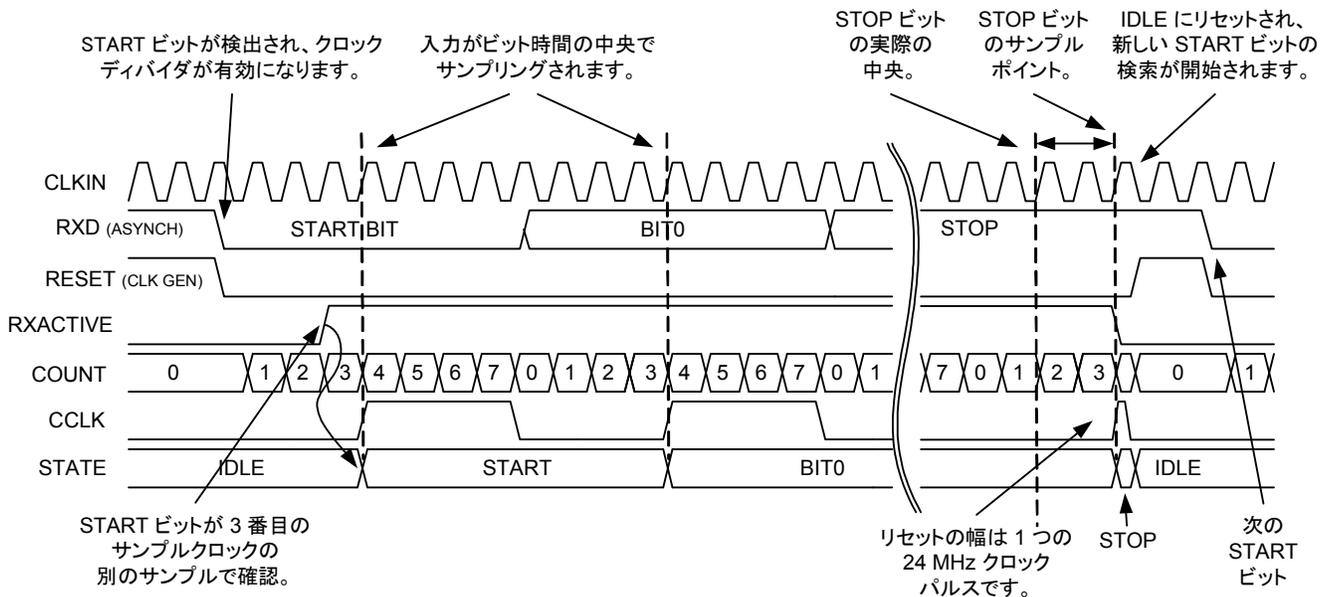


図 17-27. クロック生成およびスタート検出

この再同期プロセス (状態をアイドルに戻す) は、STOP ビットサンプルの値に関係なく発生します。リセットは可能な限り早く行うことが重要です。その結果、最大のパフォーマンスを達成することができます。図 17-28 は、RX ブロッククロックのビットレートが外部 TX のビットレートよりも遅い例を示しています。サンプルポイントは引き続き遅い時間にシフトされます。極端な場合、RX は立ち上がりエッジで STOP ビットをサンプリングします。この場合、レシーバはトランスミッタが 10 ビット時間カウントする間に 9.5 ビット時間カウントします。したがって、10 ビットのメッセージでは、メッセージを正確に受信するための最大理論クロックオフセットは、0.5 ビット時間または 5% になります。RX および TX クロックがこのオフセットを超えた場合、論理 '0' が STOP ビット用にサンプリングされます。この場合、Framing Error ステータスがセットされます。

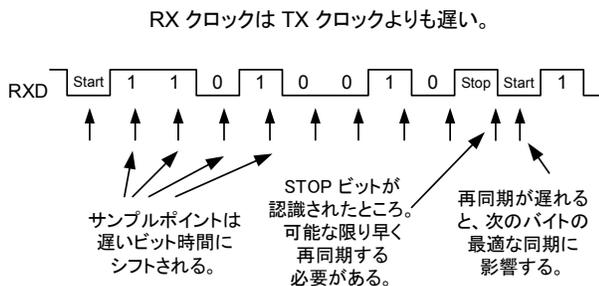


図 17-28. RX 再同期の例

この最大理論値は再同期時間まで下げられ、約 42ns で固定されます。典型的な 115.2 K ボーの例では、ビット時間は 8.70us です。この場合、新しい最大オフセットは $((4.35\mu s - 42\text{ns}) / 4.35\mu s) \times 5\%$ 、または 4.95% です。より遅いボーレートでは、この値は 5% の最大理論値により近くなります。

ステータス生成。 Receiver ブロックには、RX Reg Full、RX Active、Framing Error、Overrun、および Parity Error の 5 つのステータスビットがあります。RX Active および Overrun を除くすべてのステータスビットは、STOP ビット

サンプルポイントで同期してセットされます。

RX Reg Full は、バイトが受信され RX バッファレジスタに転送されたことを示します。このステータスビットは、ユーザが RX バッファレジスタ (DR2) を読み取るときにクリアされます。このビットの設定は、STOP サンプルポイントと同期されます。これは、フレーミングエラーステータスがセットできる最も前のポイントです。したがって、エラーステータスは RX Reg Full がセットされた場合に有効であると定義されます。

RX Active は、受信が行われているかどうかを決定することができます。このビットは START を検出するとセットされ、STOP を検出するとクリアされます。このビットはスティッキーではなく、ユーザがクリアする方法はありません。

Framing Error ステータスは、供給されたバイトに関連した STOP ビットが正確に受信されなかった ('1' のはずが '0' だった) ことを示します。これは一般的に、トランスミッタとレシーバ間のボーレートの差が許可した最大値よりも大きな場合に発生します。

Overrun は、RX バッファレジスタに受信されたデータバイトがあり、ユーザが前のデータバイトを読み取る前に新しいバイトが RX バッファレジスタにロードされた場合に発生します。RX バッファレジスタは実際にはラッチなので、Overrun ステータスは RX Reg Full の 0.5 サイクル前にセットされます。これは、新しいデータが利用可能ではないのにラッチが開かれたため、前のデータが上書きされたことを意味します。

Parity Error ステータスは、受信したバイトのパリティを計算した結果が送信されたパリティビットの値と一致しないことを示します。このステータスは、STOP 信号のサンプルポイントでセットされます。

読み取り時のステータスクリア。 223 ページの "Timer タイミング" の同じサブセクションを参照してください。

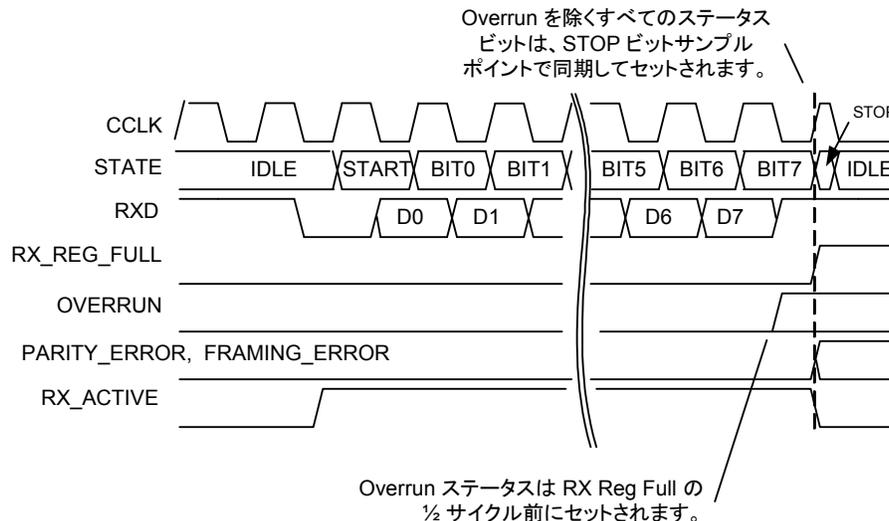


図 17-29. Receiver のステータスタイミング

SECTION E ANALOG SYSTEM (アナログシステム)

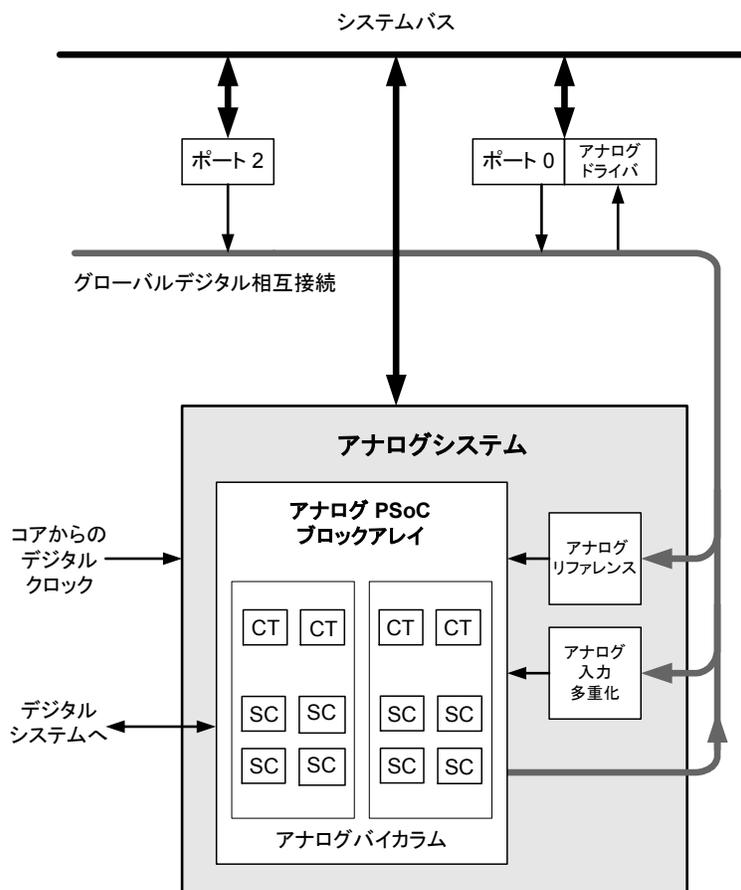


Analog System (アナログシステム) セクションでは、PSoC デバイスのアナログコンポーネントおよびそれらのコンポーネントに関連するレジスタについて説明します。このセクションには、次の章があります:

- Analog Interface (アナログインターフェイス)、241 ページ
- Analog Reference (アナログリファレンス)、257 ページ
- Analog Array (アナログアレイ)、249 ページ
- Switched Capacitor Block (スイッチドキャパシタブロック)、259 ページ
- Analog Input Configuration (アナログ入力設定)、255 ページ
- Continuous Time Block (連続時間ブロック)、265 ページ

Top-Level Analog Architecture (トップレベルアナログアーキテクチャ)

下記の図は、PSoC のアナログシステムのトップレベルアーキテクチャの説明です。アナログドライバを例外として、図の各コンポーネントは、このセクションで詳細に説明されています。アナログドライバは、65 ページの "Analog Output Drivers (アナログ出力ドライバ)" で詳細に説明されています。



PSoC アナログシステムブロックダイアグラム

PSoC ブロックは、ユーザが設定可能なシステムリソースです。オンチップのアナログ PSoC ブロックを使用することで、これまで必要だった多くの MCU パーツおよび外部の周辺装置コンポーネントを減らすことができます。アナログ PSoC ブロックは、様々な種類の周辺装置機能を供給するように設定されます。PSoC Designer ソフトウェア統合開発環境は、希望の機能を選択することにより、PSoC ブロックを自動的に設定します。その後、PSoC Designer は適切な設定情報を生成し、その設定に特有のデバイスデータシートを印刷します。

各アナログブロックには、様々な入力および出力があります。これらのブロックへの入力には、外部ソースからのアナログ信号、近隣のアナログブロックから駆動された組み込みアナログ信号、または様々な電圧リファレンスソースが含まれます。

次の 3 つのアナログ PSoC ブロックタイプがあります：連続時間 (CT) ブロック、タイプ C およびタイプ D スイッチドキャパシタ (SC) ブロック。CT ブロックは連続時間アナログ機能を供給します。SC ブロックはスイッチドキャパシタアナログ機能を供給します。サポートされているアナログ機能は、12 ビットインクリメンタルおよび 11 ビットデルタシグマ ADC、最大 6 ビットの逐次比較型 ADC、最大 8 ビットの DAC、可変利得ステージ、サンプルホールド回路、可変フィルタ、比較器、および温度センサです。

アナログブロックはカラムで構成されます。CY8C27xxx には 4 つのアナログカラムがあり、1 つの連続時間ブロック、1 つのタイプ C スイッチドキャパシタ (SC)、および 1 つのタイプ D スイッチドキャパシタ (SC) が含まれています。特定のカラムのブロックはすべて同じクロックソースで実行されます。カラムのブロックはいくつかの出力バスリソースも共有します。その他の情報は、241 ページの "Analog Interface (アナログインターフェイス)" を参照してください。

各アナログブロックから 3 つの出力があります。(連続時間ブロックには、さらに 2 つの個別出力があります)。

1. アナログ出力バス (ABUS) は、カラムのすべてのアナログブロックで共有されるアナログバスリソースです。一度にカラムの 1 つのブロックのみがこのバスを駆動することができ、ユーザはレジスタ設定によってこの出力を制御します。これは、ピンを直接駆動できる唯一のアナログ出力です。
2. 比較器バス (CBUS) は、カラムのすべてのアナログブロックで共有されるデジタルバスリソースです。一度にカラムの 1 つのブロックのみがこのバスを駆動することができ、ユーザはレジスタ設定によってこの出力を制御します。
3. ローカル出力 (連続時間ブロックの OUT、プラス GOOUT、および LOOUT) は隣のブロックにルートされません。様々な入力マルチプレクサ接続 (NMux、PMux、RBotMux、AMux、BMux、および CMux) はすべて、入力として 1 つのブロックからの出力バスを使用します。

12 のアナログ PSoC ブロックが別々にまたはデジタル

PSoC ブロックと組み合わせて利用可能です。精密内部電圧リファレンスは、正確なアナログ比較を供給します。温度センサ入力は、アナログ PSoC ブロックアレイに供給され、外部コンポーネントを使用することなく、充電器やデータ取得などのアプリケーションをサポートします。

以下のアナログ機能が提供されます。

- A/D および D/A コンバータ、可変利得ブロック、比較器、およびスイッチドキャパシタフィルタ。
- 単一構成により、合理的な速度および精度を低コストで達成することができ、大部分のアナログ入力および出力にシンプルなインターフェイスを提供します。
- サポートは、センサインターフェイス、オーディオコード、埋め込みモデム、および汎用オペアンプ回路用に提供されます。
- 柔軟な、システムオンチッププログラム環境は、機能のバリエーションを提供します。
- 提供される機能により、そのアプリケーションの速度、リソース (アナログブロックの数)、および電力が選択され、精度および分解能力が決定されます。
- アナログセクションは、アナログスイッチのレジスタベースの制御によりシグナルフローの可変操作を供給する "Analog Computation Unit (アナログ演算ユニット)" です。増幅器設定におけるプログラム利得と減衰設定に加えて、スイッチドキャパシタフィルタとノイズシェーピング (デルタシグマ) 変調器の係数も設定します。
- アーキテクチャは、連続時間ブロックおよび離散時間 (スイッチドキャパシタ) ブロックを提供します。連続時間ブロックは、受動設定およびパラメータ設定要素として可変抵抗を使用し、精度増幅器または比較器回路を選択することができます。スイッチドキャパシタ (SC) ブロックは、可変係数を使用して、DAC、デルタシグマ、インクリメンタルまたは逐次近似 ADC、またはスイッチドキャパシタフィルタを設定することができます。

Analog Register Summary (アナログレジスタサマリ)

下記の表は、アナログシステム中のすべての PSoC レジスタの一覧です。

アナログレジスタのサマリ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
ANALOG INTERFACE REGISTERS (アナログインターフェイスレジスタ)										
0,64h	CMP_CR0	COMP[3]	COMP[2]	COMP[1]	COMP[0]	AINT[3]	AINT[2]	AINT[1]	AINT[0]	RW : 00
0,66h	CMP_CR1	CLSID[3]	CLSID[2]	CLSID[1]	CLSID[0]					RW : 00
1,60h	CLK_CR0	Acolumn3[1:0]		Acolumn2[1:0]		Acolumn1[1:0]		Acolumn0[1:0]		RW : 00
1,69h	CLK_CR2					ACLK1R			ACLKOR	RW : 00
0,65h	ASY_CR	SARCNT[2:0]				SARSIGN	SARCOL[1:0]		SYSCEN	RW : 00
0,E6h	DEC_CR0	IGEN[3:0]				ICLKS0	DCOL[1:0]		DCLKS0	RW : 00
0,E7h	DEC_CR1	ECNT	IDEC			ICLKS1			DCLKS1	RW : 00
1,61h	CLK_CR1	SHDIS		ACLK1[2:0]			ACLK0[2:0]			RW : 00
1,63h	AMD_CR0	AMOD2[2:0]						AMOD0[2:0]		RW : 00
1,66h	AMD_CR1	AMOD3[2:0]						AMOD1[2:0]		RW : 00
1,67h	ALT_CR0	LUT1[3:0]				LUT0[3:0]				RW : 00
1,68h	ALT_CR1	LUT3[3:0]				LUT2[3:0]				RW : 00
ANALOG INPUT CONFIGURATION REGISTERS (アナログ入力設定レジスタ)										
0,60h	AMX_IN	ACI3[1:0]		ACI2[1:0]		ACI1[1:0]		ACI0[1:0]		RW : 00
1,62h	ABF_CR0	ACol1Mux	ACol1Mux	ABUF1EN	ABUF2EN	ABUF0EN	ABUF3EN	Bypass	PWR	RW : 00
ANALOG REFERENCE REGISTER (アナログリファレンスレジスタ)										
0,63h	ARF_CR	HBE		REF[2:0]			PWR[2:0]		RW : 00	
SWITCHED CAPACITOR BLOCK REGISTERS (スイッチドキャパシタブロックレジスタ)										
スイッチドキャパシタブロックレジスタ、タイプ C										
x,80h	ASC10CR0	FCap	ClockPhase	ASign	ACap[4:0]				RW : 00	
x,81h	ASC10CR1	ACMux[2:0]				BCap[4:0]				RW : 00
x,82h	ASC10CR2	AnalogBus	CompBus	AutoZero	CCap[4:0]				RW : 00	
x,83h	ASC10CR3	ARefMux[1:0]		FSW1	FSW0	BMuxSC[1:0]		PWR[1:0]		RW : 00
x,88h	ASC12CR0	FCap	ClockPhase	ASign	ACap[4:0]				RW : 00	
x,89h	ASC12CR1	ACMux[2:0]				BCap[4:0]				RW : 00
x,8Ah	ASC12CR2	AnalogBus	CompBus	AutoZero	CCap[4:0]				RW : 00	
x,8Bh	ASC12CR3	ARefMux[1:0]		FSW1	FSW0	BMuxSC[1:0]		PWR[1:0]		RW : 00
x,94h	ASC21CR0	FCap	ClockPhase	ASign	ACap[4:0]				RW : 00	
x,95h	ASC21CR1	ACMux[2:0]				BCap[4:0]				RW : 00
x,96h	ASC21CR2	AnalogBus	CompBus	AutoZero	CCap[4:0]				RW : 00	
x,97h	ASC21CR3	ARefMux[1:0]		FSW1	FSW0	BMuxSC[1:0]		PWR[1:0]		RW : 00
x,9Ch	ASC23CR0	FCap	ClockPhase	ASign	ACap[4:0]				RW : 00	
x,9Dh	ASC23CR1	ACMux[2:0]				BCap[4:0]				RW : 00
x,9Eh	ASC23CR2	AnalogBus	CompBus	AutoZero	CCap[4:0]				RW : 00	
x,9Fh	ASC23CR3	ARefMux[1:0]		FSW1	FSW0	BMuxSC[1:0]		PWR[1:0]		RW : 00
スイッチドキャパシタブロックレジスタ、タイプ D										
x,84h	ASD11CR0	FCap	ClockPhase	ASign	ACap[4:0]				RW : 00	
x,85h	ASD11CR1	AMux[2:0]				BCap[4:0]				RW : 00
x,86h	ASD11CR2	AnalogBus	CompBus	AutoZero	CCap[4:0]				RW : 00	
x,87h	ASD11CR3	ARefMux[1:0]		FSW1	FSW0	BSW	BMuxSD	PWR[1:0]		RW : 00
x,8Ch	ASD13CR0	FCap	ClockPhase	ASign	ACap[4:0]				RW : 00	
x,8Dh	ASD13CR1	AMux[2:0]				BCap[4:0]				RW : 00
x,8Eh	ASD13CR2	AnalogBus	CompBus	AutoZero	CCap[4:0]				RW : 00	
x,8Fh	ASD13CR3	ARefMux[1:0]		FSW1	FSW0	BSW	BMuxSD	PWR[1:0]		RW : 00
x,90h	ASD20CR0	FCap	ClockPhase	ASign	ACap[4:0]				RW : 00	
x,91h	ASD20CR1	AMux[2:0]				BCap[4:0]				RW : 00
x,92h	ASD20CR2	AnalogBus	CompBus	AutoZero	CCap[4:0]				RW : 00	
x,93h	ASD20CR3	ARefMux[1:0]		FSW1	FSW0	BSW	BMuxSD	PWR[1:0]		RW : 00
x,98h	ASD22CR0	FCap	ClockPhase	ASign	ACap[4:0]				RW : 00	
x,99h	ASD22CR1	AMux[2:0]				BCap[4:0]				RW : 00

アナログレジスタのサマリ (続き)

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス	
x,9Ah	ASD22CR2	AnalogBus	CompBus	AutoZero	CCap[4:0]					RW : 00	
x,9Bh	ASD22CR3	ARefMux[1:0]		FSW1	FSW0	BSW	BMuxSD	PWR[1:0]		RW : 00	
CONTINUOUS TIME BLOCK REGISTERS (連続時間ブロックレジスタ)											
x,70h	ACB00CR3					LPCMPEN	CMOUT	INSAMP	EXGAIN	RW : 00	
x,71h	ACB00CR0	RTapMux[3:0]				Gain	RTopMux	RBotMux[1:0]			RW : 00
x,72h	ACB00CR1	AnalogBus	CompBus	NMux[2:0]		PMux[2:0]			RW : 00		
x,73h	ACB00CR2	CPhase	CLatch	CmopCap	TMUXEN	TestMux[1:0]		PWR[1:0]		RW : 00	
x,74h	ACB01CR3					LPCMPEN	CMOUT	INSAMP	EXGAIN	RW : 00	
x,75h	ACB01CR0	RTapMux[3:0]				Gain	RTopMux	RBotMux[1:0]			RW : 00
x,76h	ACB01CR1	AnalogBus	CompBus	NMux[2:0]		PMux[2:0]			RW : 00		
x,77h	ACB01CR2	CPhase	CLatch	CmopCap	TMUXEN	TestMux[1:0]		PWR[1:0]		RW : 00	
x,78h	ACB02CR3					LPCMPEN	CMOUT	INSAMP	EXGAIN	RW : 00	
x,79h	ACB02CR0	RTapMux[3:0]				Gain	RTopMux	RBotMux[1:0]			RW : 00
x,7Ah	ACB02CR1	AnalogBus	CompBus	NMux[2:0]		PMux[2:0]			RW : 00		
x,7Bh	ACB02CR2	CPhase	CLatch	CmopCap	TMUXEN	TestMux[1:0]		PWR[1:0]		RW : 00	
x,7Ch	ACB03CR3					LPCMPEN	CMOUT	INSAMP	EXGAIN	RW : 00	
x,7Dh	ACB03CR0	RTapMux[3:0]				Gain	RTopMux	RBotMux[1:0]			RW : 00
x,7Eh	ACB03CR1	AnalogBus	CompBus	NMux[2:0]		PMux[2:0]			RW : 00		
x,7Fh	ACB03CR2	CPhase	CLatch	CmopCap	TMUXEN	TestMux[1:0]		PWR[1:0]		RW : 00	

凡例

x: アドレスフィールド中のカンマの前の "x" は、使用されるバンクに関係なくこのレジスタがアクセスされるまたは書き込まれることを示します。

18. Analog Interface (アナログインターフェイス)



本章は、Analog System Interface (アナログシステムインターフェイス) およびその関連レジスタについて説明します。アナログシステムインターフェイスは、アナログアレイおよびアナログリファレンスブロックへのシステムレベルインターフェイスのコレクションです。

表 18-1. アナログインターフェイスレジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
0,64h	CMP_CR0	COMP[3]	COMP[2]	COMP[1]	COMP[0]	AINT[3]	AINT[2]	AINT[1]	AINT[0]	RW : 00
0,66h	CMP_CR1	CLSID[3]	CLSID[2]	CLSID[1]	CLSID[0]					RW : 00
1,60h	CLK_CR0	Acolumn3[1:0]		Acolumn2[1:0]		Acolumn1[1:0]		Acolumn0[1:0]		RW : 00
1,69h	CLK_CR2					ACLK1R			ACLK0R	RW : 00
0,65h	ASY_CR	SARCNT[2:0]				SARSIGN	SARCOL[1:0]		SYSCEN	RW : 00
0,E6h	DEC_CR0	IGEN[3:0]				ICLKS0	DCOL[1:0]		DCLKS0	RW : 00
0,E7h	DEC_CR1	ECNT	IDEC			ICLKS1			DCLKS1	RW : 00
1,61h	CLK_CR1	SHDIS		ACLK1[2:0]			ACLK0[2:0]			RW : 00
1,63h	AMD_CR0	AMOD2[2:0]				AMOD0[2:0]				RW : 00
1,66h	AMD_CR1	AMOD3[2:0]				AMOD1[2:0]				RW : 00
1,67h	ALT_CR0	LUT1[3:0]				LUT0[3:0]				RW : 00
1,68h	ALT_CR1	LUT3[3:0]				LUT2[3:0]				RW : 00

18.1 Architectural Description (アーキテクチャ上の説明)

図 18-1 は、PSoC デバイスのアナログシステムのトップレベルダイアグラムを示しています。

18.1.1 アナログデータバスインターフェイス

アナログバスインターフェイスは、バスローディングを減少するために CPU システムデータバスからアナログアレイおよびアナログシステムインターフェイスレジスタを分離します。システムデータバスからアナログデータバスを分離するために、トランシーバがシステムデータバス上に実装されます。これは、ローカルのアナログデータバスを作成します。

18.1.2 アナログ比較器バスインターフェイス

各アナログカラムには関連する専用の比較器バスがあります。すべてのアナログ PSoC ブロックには、このバスを駆動できる比較器出力があります。しかし、一度にカラムの比較器バスをアクティブに駆動することができるのはカラムの 1 つのアナログブロックのみです。比較器バスの出力は、データ入力としてデジタルブロックに駆動することが

できます。さらに、デシメータへの入力または割り込み入力として、およびアナログ比較器コントロールレジスタ (CMP_CR0、アドレス = バンク 0,64H) の読み取り専用データとして利用可能です。

図 18-1 は、比較器バスの 1 つのカラムを示しています。連続時間 (CT) アナログブロックでは、CT ブロックコントロールレジスタ 2 の CPhase および CLatch ビットが、ブロック内部でラッチされる比較器バスの出力信号およびラッチされるクロック相を決定します。スイッチドキャパシタ (SC) アナログブロックでは、比較器バスの出力は常にラッチされます。SC ブロックコントロールレジスタ 0 の ClockPhase ビットは、このデータがラッチされ利用可能な相を決定します。

比較器バスは、デジタルブロック、割り込み、デシメータのいずれかを駆動するか、CMP_CR0 レジスタで読み取り可能になるように、利用可能になる前にラッチされます。各比較器バスのラッチは、PHI2 の High 区間は透過 (出力が入力を追跡する) です。PHI2 の Low 区間では、ラッチは PHI2 の High と Low の遷移中、比較器バスの値を保持します。CMP_CR0 レジスタを図 18-1 に示します。CMP_CR1 レジスタのビットをセットして各カラムのラッチを透過モードにするオプションもあります。

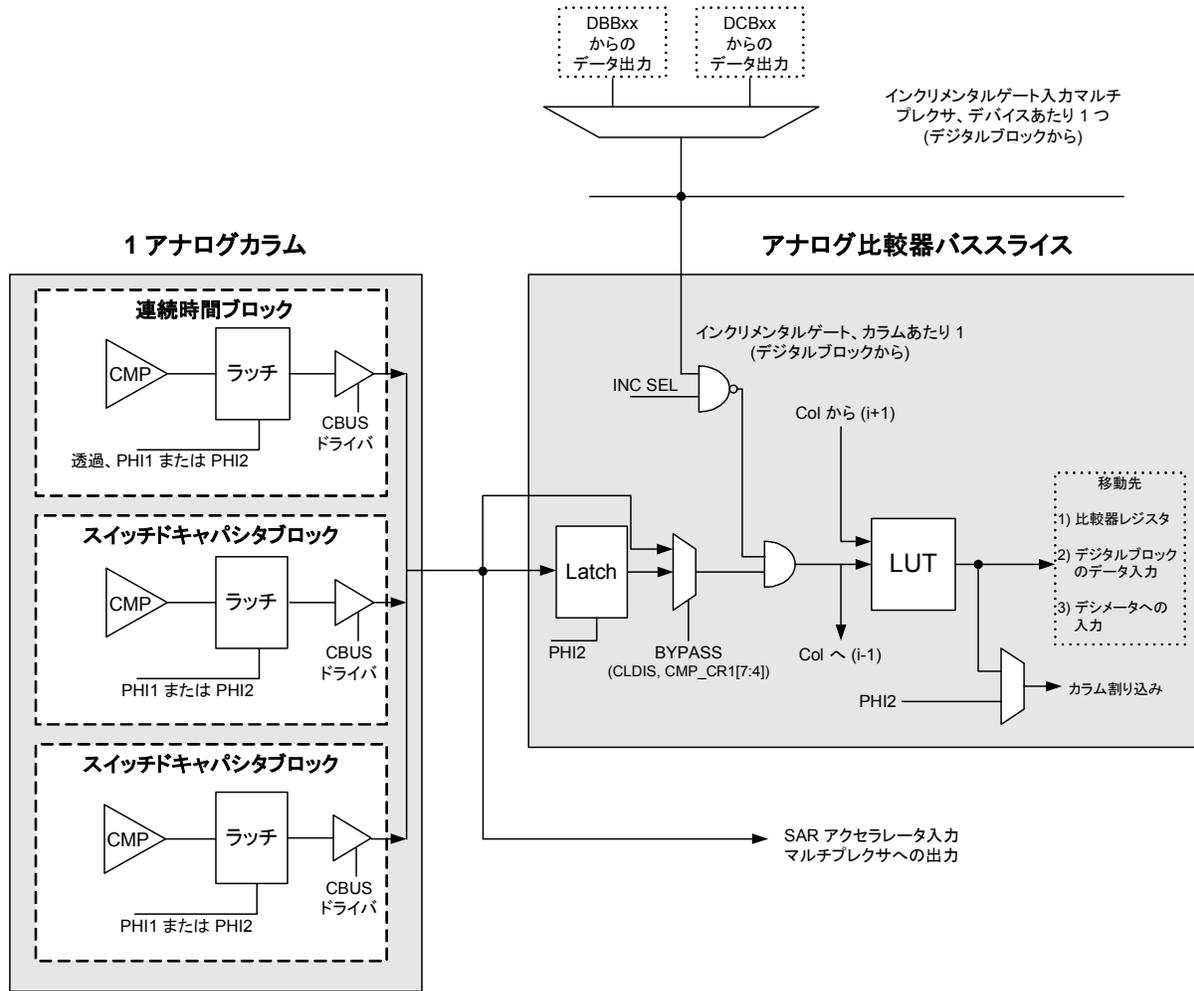


図 18-1. アナログ比較器バススライス

図 18-1 で示されるように、比較器バスの出力はデジタルブロックからの信号によってゲートされます。この機能は、インクリメンタル ADC の積分区間を正確に制御するために使用されます。ロウごとにゲート信号を駆動する直接接続デジタルブロック出力が 2 つ (DBBx1 および DCBx2) あります。この選択は、レジスタ DEC_CR0 および DEC_CR1 の ICCKSEL ビットで行われます。この機能は、DEC_CE0 レジスタの IGEN ビットをセットすることでカラムベースで有効になります。

アナログ比較器バス出力の値は、アナログルックアップテーブル機能をにより修正または別のアナログ比較器バスと組み合わせることができます。LUT には A および B の 2 つの入力があり、これらの入力で可能な 16 の論理関数を供給します。各カラムの比較器出力用の LUT A および B 入力を、次の表に示します。

表 18-2. 各カラム比較器出力用の A および B 入力

比較器出力	A	B
カラム 0	ACMP0	ACMP1
カラム 1	ACMP1	ACMP2
カラム 2	ACMP2	ACMP3
カラム 3	ACMP3	ACMP0

LUT 設定は、2 つのコントロールレジスタ ALT_CR0 および ALT_CR1 でセットされます。各カラム用の各選択は、4 つのビットでエンコードされます。ビットエンコーディングに対応する関数値を、次の表に示します。

表 18-3. RDIXLTx レジスタ

LUTx[3:0]	0h: 0000: FALSE
	1h: 0001: A .AND. B
	2h: 0010: A .AND. \bar{B}
	3h: 0011: A
	4h: 0100: \bar{A} .AND. B
	5h: 0101: B
	6h: 0110: A .XOR. B
	7h: 0111: A .OR. B
	8h: 1000: A .NOR. B
	9h: 1001: A .XNOR. B
	Ah: 1010: \bar{B}
	Bh: 1011: A .OR. \bar{B}
	Ch: 1100: \bar{A}
	Dh: 1101: \bar{A} .OR. B
	Eh: 1110: A .NAND. B
	Fh: 1111: TRUE

18.1.3 アナログカラムクロック生成

アナログアレイスイッチドキャパシタには、2 相のオーバーラップしないクロックが必要です。スイッチドキャパシタブロックは、2 つのブロックを 1 カラムとして、4 つのカラムで構成されます (カラム中の 3 番目のブロックは連続時間ブロック)。

アナログカラムクロックジェネレータは、各カラムに供給され、このクロックはそのカラムのブロック間で共有されます。各カラムクロックジェネレータの入力クロックソースは、CLK_CR0 レジスタに従って選択可能です。選択されたクロックソースに関係なく、カラムクロックジェネレータの出力周波数は入力周波数の 1/4 になる点に注意することは重要です。各カラムについて、24V1、24V2、ACLK0、および ACLK1 の 4 つの選択があります。24V1 および 24V2 クロック信号はグローバルシステムクロックです。これらのシステムクロック用のプログラミングオプションは、OSC_CR1 レジスタでアクセスされます。ACLK0 および ACLK1 クロック選択はそれぞれ、デジタルブロック出力の選択によって駆動されます。デジタルブロック選択の設定は、レジスタ CLK_CR1 および CLK_CR2 にあります。

アナログカラムクロック生成のタイミングを図 18-2 に示します。クロックの 2 つの相の間の不感帯時間は、最小 21 ns になります。

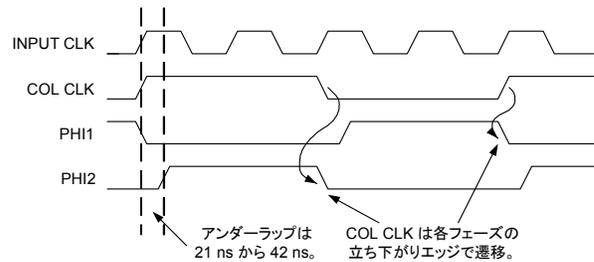


図 18-2.2 相のオーバーラップしないクロック生成

18.1.3.1 カラムクロックの同期

アナログ信号が隣接するカラムのブロック間でルートされる場合、これらのカラムのクロックが相および周波数で同期されることは重要です。周波数の同期は、同じ入力ソースを複数のカラムに選択して行います。しかし、クロック相の再同期を行うカラムクロックインターフェースロジックの特別な機能があります。この機能は、カラムクロック選択レジスタ (CLK_CR0) またはリファレンス測定クロックレジスタ (RCL_CR) のいずれかに任意の IO 書き込みを行うとアクティブになります。これらのいずれかのレジスタへの書き込みが行われると、カラムクロックジェネレータの同期リセットが開始され、すべてのクロックが既知の状態で作開されます。この操作は選択された入力周波数が相と同じになるすべてのカラムで行われます。カラムクロックがすべて再初期化されて PHI1/PHI2 クロック中に不連続が発生するため、重大なアナログ処理中はこれらのレジスタへの書き込みは行わないでください。

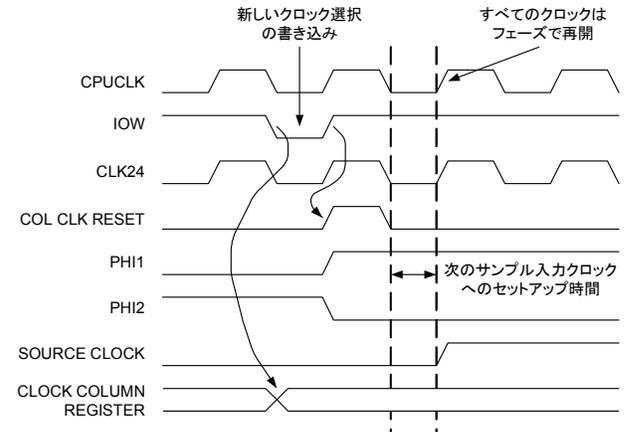


図 18-3. IO 書き込みによるカラムクロックの再同期

18.1.4 デシメータおよびインクリメンタル ADC インターフェイス

デシメータおよびインクリメンタルインターフェイスは、ハードウェアのサポートおよびアナログデジタル間の変換機能、特にデルタシグマ ADC およびインクリメンタル ADC 用の信号ルーティングを提供します。このインターフェイス用の制御信号は、2 つのレジスタ (DEC_CR0 および DEC_CR1) に分けられます。

18.1.4.1 デシメータ

デシメータは、アナログブロック出力上でデジタル処理を実行するために使用されるハードウェアブロックです。DEC_CR0 および DEC_CR1 レジスタの DCLKS0 および DCLKS1 ビットは、デシメータ出力ラッチイネーブルのソースを選択するために使用されます。デシメータは、一般的に指定された区間で自動的に実行されます。この区間の長さは、アナログ処理と共に実行しているタイマブロックで設定されます。このタイマのターミナルカウントで、プライマリ出力は 0.5 クロックサイクルの間 High になります。デシメータ操作を行うために、この信号は反転されて BW 入力に接続されます。これは、内部累算器から出力バッファにデータを転送する、出力ラッチイネーブル信号になります。ターミナルカウントは割り込みも引き起こし、CPU は 1 つのラッチイベントから次のイベントの間、いつでもこの出力バッファを読み取ります。

18.1.4.2 インクリメンタル ADC

アナログインターフェイスは、アナログ比較器出力をゲートする能力によってインクリメンタル ADC 操作をサポートします。このゲート機能は、デジタルブロックで実行されるデジタル積分区間を正確に制御するために、機能の一部として必要です。デジタルブロック PWM はゲート信号を供給するソースとして使用されます。ゲート信号用に 1 つのソースのみを選択することができます。しかし、ゲートはカラム比較器出力と独立して適用することができます。

DEC_CR0 および DEC_CR1 レジスタの ICLKS0 および ICLKS1 ビットは、インクリメンタルゲート信号のソースを選択するために使用されます。4 つの IGEN ビットはカラムベースでゲート機能を別々に有効にするために使用されます。

18.1.5 アナログ変調器インターフェイス (Mod ビット)

アナログ変調器インターフェイスは、4 つのアナログアレイモジュレーション制御信号からルートされる信号を選択します。すべてのアナログカラムで各タイプ C アナログスイッチドキャパシタブロックに 1 つのモジュレーション制御信号があります。アナログ比較器バス出力、2 つのグローバル出力、およびデジタルブロックブロードキャストバスを含む、8 つの選択があります。すべてのカラム用の選択は同一で、AMD_CR0 および AMD_CR1 レジスタに含まれています。Mod ビットは、そのビットをダイナミックに制御するために、スイッチドキャパシタブロックの Sign ビット (ASCxxCR0 の ASign) と XOR されます。

18.1.6 アナログ同期インターフェイス (ストール)

精度なアナログ操作を行うには、更新されたレジスタの値がアナログ PSoC ブロックで利用可能になる時間を正確に計測する必要があります。スイッチドキャパシタレジスタの値を更新する最適な時間は、PHI1 がアクティブな区間のはじめです。CPU CLK とアナログカラムクロックの関係に応じて、CPU IO 書き込みサイクルは PHI1 または PHI2 サイクルの 24 MHz マスタークロック境界で発生します。レジスタ値は任意の時間に書き込まれます。しかし、グリッチがアナログ出力で明白になります。これは、回路がセトリングするようにデザインされている場合にキャパシタ値が変更されるためです。

アナログ同期コントロールレジスタ (ASY_CR) の SYNCEN ビットは、この問題に対応するようにデザインされています。SYNCEN ビットがセットされている場合、任意のスイッチドキャパシタレジスタへの IO 書き込み命令はインターフェイスでブロックされ、CPU はストールします。次の PHI1 の立ち上がりエッジで、CPU ストールが解消され、アナログレジスタへの IO 書き込みが可能になります。このモードは、CPU 帯域幅を犠牲にして、アナログサイクルの最適なポイントで行われる IO 書き込みアクションを同期させます。図 18-4 は、この操作のタイミングを示しています。

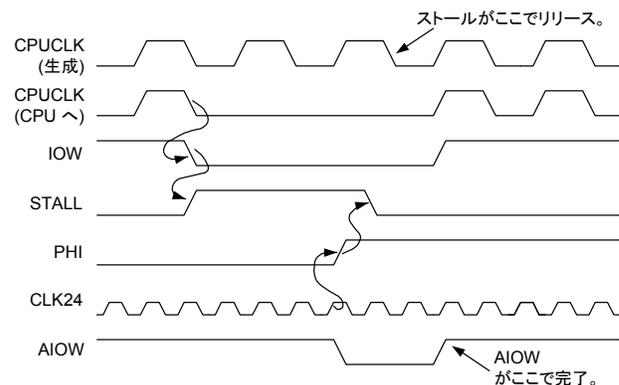


図 18-4. DAC レジスタへの同期書き込み

ストールするかわりに、アナログカラム割り込みのソースが PHI2 クロックの立ち上がりエッジでセットされます。この設定は、PHI2 相が完了 (PHI1 相が開始) した後、IO 書き込みを行うために CPU を同期させます。

18.1.7 SAR ハードウェアアクセラレーション

SAR アルゴリズムは、測定される入力電圧と最も良く一致する DAC コード上のバイナリ検索です。最初は、範囲を半分に分ける中央目盛りで推測を行います。その後、DAC 出力値は入力電圧と比較されます。推測が低すぎる場合、結果ビットがそのバイナリ位置にセットされ、次の推測が残りの範囲上部の中央目盛りにセットされます。推測がすぎる場合、結果ビットがクリアされ、次の推測が残りの範囲下部の中央目盛りにセットされます。このプロセスはすべてのビットがテストされるまで繰り返されます。結果

の DAC コードは、入力電圧に最も近い出力電圧を生成する値です。このコードは入力電圧の 1lsb 内になるべきです。

逐次比較型 A/D アルゴリズムには次のブロックが必要です: DAC、比較器、および比較器出力に基づく DAC への逐

次書き込みを順に並べる方法または装置。SAR ハードウェアアクセラレータは、完全に自動的なハードウェアシーケンスアプローチと純粋なファームウェアアプローチの調整を行います。

18.1.7.1 アーキテクチャ上の説明

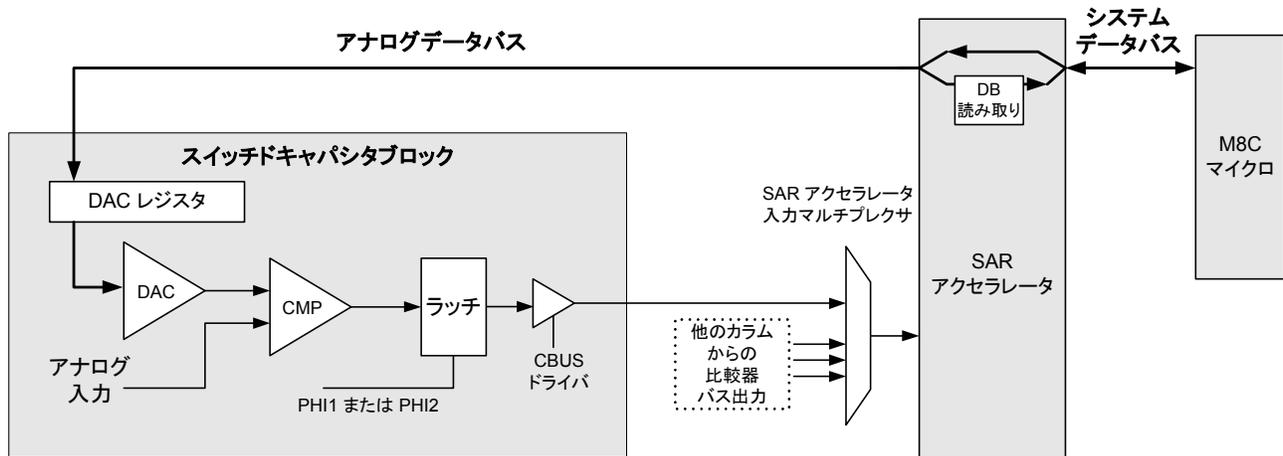


図 18-5. SAR ハードウェアアクセラレータ

図 18-5 で示されるように、SAR ハードウェアアクセラレータは比較器出力およびアナログアレイデータバスを通じてアナログアレイに接続されます。DAC 出力を作成するため、値は DAC レジスタの ACAP フィールドに直接書き込まれています。SRA アルゴリズムで DAC 書き込みのシーケンス処理を容易にするため、M8C は READ、MODIFY、および WRITE 命令のシーケンスを行うようにプログラムされます。これは、IO 読み取り (IOR) に続く IO 書き込み (IOW) ならなるアトミック操作です。アセンブリレベルの命令の例を次に示します。

```
OR reg[DAC_REG],0
```

この命令は、DAC レジスタを読み取った後、直ちに書き込みを行います。OR 命令は読み取ったデータは修正しません ('0' と OR されます)。CPU は、このプロセスで追加の演算を行う必要はありません。SAR ハードウェアは、サイクルの読み取り時にデータの修正を透過的に行います。この命令を実行する唯一の目的は、SAR ハードウェアによって修正される読み取りを開始した後、DAC レジスタにデータを転送する書き込みを行うことです。

各 IO 読み取り操作中、SAR ハードウェアはデータの 2 つのビットを無視します:

- 現在の比較器の値に基づく前のビット推測の修正。
- 次の推測 (次の最下位ビット) の設定。

CPU は、この SAR 修正データをラッチし、'0' で OR して (CPU 修正なし)、DAC レジスタに書き込みます。SAR ハードウェア中のカウンタは、各サイクルで操作されるビットをデコードするために使用されます。この方法では、CPU および IOR/IOW 制御ラインの能力は、読み取りおよび書き込みを実装するために使用されます。しかし、SAR アクセラレータハードウェアは、様々な決定を行い、書き込まれた値を制御して、現在のシステムで最適なレベルの

パフォーマンスを達成するために使用してください。

SAR ハードウェアは与えられたシーケンスの結果の 6 ビットを処理するようにデザインされています。より分解能力の低い SAR は、複数のパスで実装されます。

18.1.7.2 SAR タイミング

SAR ハードウェアのもう一つの重要な機能は、アナログ比較器バスが有効なときに IO 読み取り (SAR 決定を行うために比較器の値が使用されるポイント) を同期させることです。通常の条件下では、このポイントは前の演算サイクルの PHI1 の立ち上がりエッジです。CPU で OR 命令が実行されると、IOR 信号が DAC レジスタの読み取りを開始するためにアサートされます。その後、SAR ハードウェアは、PHI1 の立ち上がりエッジの後、1 つの 24 MHz クロックサイクルの間、CPU クロックをストールします。ストールがリリースされると、IO 読み取りが完了し、続いて IO 書き込みが行われます。イベントのこのシーケンスでは、PHI1 の後の少しの CPU クロックの間に DAC レジスタに新しい値が書き込まれます。

PHI1 の立ち上がりエッジは、最大セトリング時間で DAC レジスタに書き込む最適な時間でもあります。PHI1 の正のエッジから IO 書き込みの開始までのタイミングは 4.5 クロックで、24 MHz の場合 189 ns です。アナログクロックが 1 MHz で動作している場合、DAC 出力および比較器のセトリング時間は 300 ns 以上です。

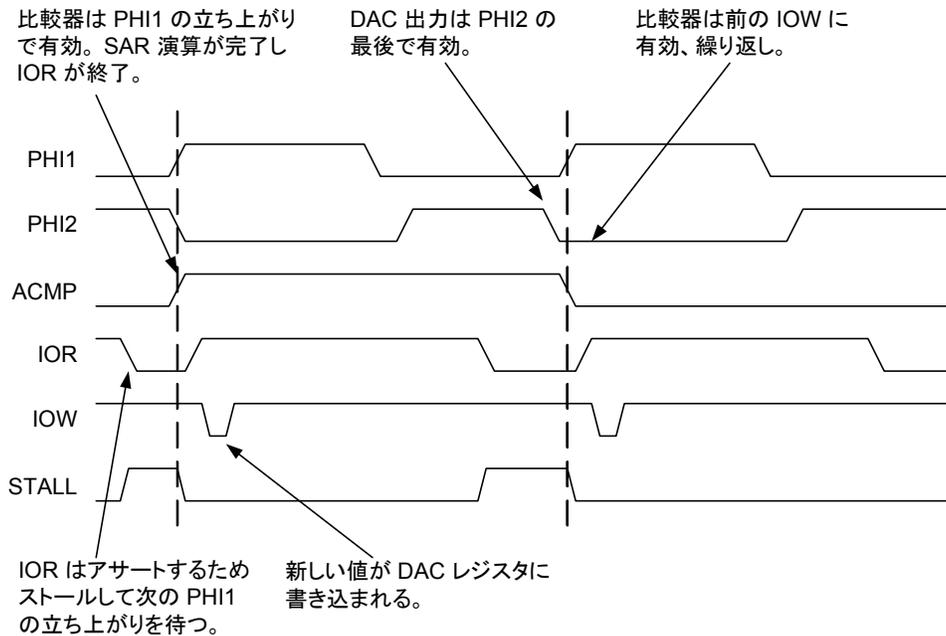


図 18-6. 一般的な SAR タイミング

18.2 Register Definitions (レジスタ定義)

18.2.1 CMP_CR0 レジスタ

このレジスタには 2 つのフィールドがあります。上位 4 ビット、COMP[3:0] は、4 つのアナログカラムの比較器ビットに対応する読み取り専用ビットです。これらのビットはカラムクロックと同期され、CPU によってポールされます。下位 4 ビット、AINT[3:0] は、割り込みコントローラへの入力として、各カラムの入カソースを選択します。

デフォルトでは、割り込みは比較器ビットです。しかし、このフィールドのビットがセットされている場合、そのカラムの割り込みはそのカラムの PHI2 クロックの立ち下がりエッジから得られます。ファームウェアは、この能力を使用して現在のカラムクロックに同期することができます。

その他の情報は、107 ページの [CMP_CR0 レジスタ](#) を参照してください。

18.2.2 CMP_CR1 レジスタ

このレジスタの CLDIS ビットは、アナログカラム比較器の同期を無視するために使用されます。これらのビットがセットされている場合、与えられたカラムはアナログインターフェイスで PHI2 と同期しません。この能力は、連続時間比較器の結果がスリープ中に割り込みコントローラで直接伝わるようにするために使用されます。(32K クロックを除く) マスタークロックはスリープ中はオフにされるので、同期も行われません。

その他の情報は、109 ページの [CMP_CR1 レジスタ](#) を参照してください。

18.2.3 ASY_CR レジスタ

SAR ハードウェアのコントロールビットは ASY_CR レジスタにあります。ビット 0 (SYNCCEN) を除くすべてのビットは SAR 操作と関連しています。SYNCCEN はアナログレジスタ書き込みのストールに関連していて、アナログインターフェイス同期セクションで説明されています。

SAR ハードウェアアクセラレータは、効率的な A/D 変換用に SAR アルゴリズムをシーケンスするようにデザインされた専用ハードウェアのブロックです。SAR ADC は、希望する精度の DAC と比較器で概念的に実装されます。この機能は、1 つまたは複数の PSoC ブロックで構成されません。各変換で、ファームウェアは ASY_CR レジスタを初期化し、アルゴリズム中の最初の推測として DAC のサインビットをセットすべきです。その後、DAC (CR0) レジスタへの OR 命令のシーケンス (READ、MODIFY、WRITE) が実行されます。これらの各 OR 命令で、SAR ハードウェアは比較器の現在の状態を読み取り、前の推測の妥当性をチェックします。それに応じて、ビットはクリアされるかセットされたままになります。DAC レジスタ中の次の LSB も、次の推測としてセットされます。6 つの OR 命令により、6 ビット DAC の変換が完了します。結果の DAC コードは 1 LSB 内で入力電圧と一致した後、DAC CR レジスタから読み取られます。

ビット 7: 予約。

ビット 6 から 4: SARCNT[2:0]. SAR カウント値。これらの 3 つのビットは 6 ビットの SAR アルゴリズムをシーケンスする 3 ビットカウンタを初期化するために使用されます。一般的に、ユーザはこのレジスタを '6' に初期化します。これらのビットが '0' 以外の値の場合、SC ブロックへの IOR コマンドは SAR シーケンスの一部であると仮定されます。

比較器バス出力がカラム 0 用にプログラムされていると仮定した場合、一般的なファームウェアシーケンスは次のようになります。

```
mov reg[ASY_CR], 60h // SAR count value=6,
Sign=0, Col=0
or reg[ASA10CR0], 0 // Check sign, set bit 4
or reg[ASA10CR0], 0 // Check bit 4, set bit 3
or reg[ASA10CR0], 0 // Check bit 3, set bit 2
or reg[ASA10CR0], 0 // Check bit 2, set bit 1
or reg[ASA10CR0], 0 // Check bit 1, set bit 0
or reg[ASA10CR0], 0 // Check bit 0
```

ビット 3: SARSIGN。SAR サイン選択。このビットはオプションで SAR アクセラレータへの比較器入力を反転し、選択された PSoC ブロック構成のタイプに基づいてセットされます。表 18-4 に、いくつかの一般的な例を示します。

表 18-4. 一般的な PSOC ブロック構成

構成	説明	サイン
SAR6-2 ブロック	1 DAC6, 1 COMP (CT)	0
SAR6-1 ブロック	DAC6 と COMP の両方で 1	1
MS SAR10-3 ブロック	1 DAC10, 1 COMP (CT) (MS DAC ブロックを処理する場合)	0

ビット 2 から 1: SARC0L[1:0]。SAR 比較器入力のカラム選択。SAR の DAC 部分は、アナログ PSoC ブロックアレイで任意の適切な場所に存在することができます。しかし、一旦 COMPARATOR ブロックの位置が決定されたら (同じブロックに DAC と COMPARATOR が存在してもかまいません)、この位置はカラムによって選択されるべきです。

ビット 0: SYNCEN。このビットの目的は、アナログアレイでスイッチドキャパシタ (SC) ブロックへの CPU データ書き込み操作を同期させることです。SC ブロッククロックは CLK_CR0 レジスタで選択されます。選択されたクロックソースは 4 つに分割され、出力は 1 対の 2 相のオーバーラップしないクロック、PHI1 および PHI2 です。PHI1 および PHI2 クロックに関して、SC ブロックのキャパシタ構成を変更する最適な時間は、一般的に PHI1 の立ち上がりエッジです。これは通常、入力分岐キャパシタがチャージする時間です。

このビットがセットされている場合、SC ブロックレジスタへの書き込みは、SC ブロックアドレスに関連するカラムの次の PHI1 クロック相の立ち上がりエッジまでストールされます。ストール処理は CPU クロックを休止して実行されます。ストール中は、割り込み処理を含め、CPU アクティビティは発生しません。このため、CPU スループットに対するストールの影響を十分に考慮する必要があります。

その他の情報は、108 ページの ASY_CR レジスタを参照してください。

18.2.4 DEC_CR0 レジスタ

このレジスタは、インクリメンタル ADC および DELISG ADC の両方のハードウェアサポートにアクセスするコントロールビットを含んでいます。インクリメンタルサポート用の上位 4 ビット、IGEN[3:0] は、デジタルブロックの出力によってゲートされるカラム比較器ビットを選択します。そのデジタルブロックの出力は、一般的には PWM 信号で、ADC 変換区間に相当します。これは、比較器出力が正確な変換時間にのみ処理されることを保証します。ゲート機能用に選択されたデジタルブロックは、このレジスタの ICLKS0 ビット、および DEC_CR1 の ICLKS2 および ICLKS1 ビットによって制御されます。チップリソースに応じて、8 つのデジタルブロックのうち 1 つが選択されます。

DELSIG ADC は比較器信号でポスト処理演算の一部を行うためにハードウェアデシメータを使用します。DCOL[1:0] は、デシメータデータ (比較器ビット) およびクロック入力 (PHI クロック) のカラムソースを選択します。

さらに、デシメータには CPU によって続けて読み取られる出力レジスタに現在のデシメータ値をサンプリングするタイマ信号が必要です。このタイマ区間は、DELSIG 変換時間の機能になるようにセットされ、ビット DCLKS0 および DCLKS2、DEC_CR1 の DCLKS1 で (チップリソースに応じて) 8 つのデジタルブロックから 1 つ選択されます。

その他の情報は、145 ページの DEC_CR0 レジスタを参照してください。

18.2.5 DEC_CR1 レジスタ

ビット 7: ECNT。ECNT ビットは、デシメータハードウェアブロックの操作を制御するモードビットです。デフォルトでは、デシメータはハードウェア DELSIG 処理で使用される重積分関数に設定されます。ECNT ビットがセットされている場合、デシメータブロックは単積分関数に変換されます。これは、インクリメンタル ADC 関数のハードウェアサポートで使用される 16 ビットカウンタに相当します。

ビット 6: IDEC。デシメータを使用する関数は、現在のデシメータ値をサンプリングするデジタルブロックタイマが必要です。通常、この信号の正のエッジがサンプリングされるデシメータ出力になります。しかし、IDEC ビットがセットされている場合、選択されたデジタルブロック入力の立ち下がりエッジがサンプリングされるデシメータ値になります。

ビット 5 から 0: ICLKSx および DCLKSx。このレジスタの ICLKS1 および DCLKS1 ビットはインクリメンタルおよび DELSIGN ADC ハードウェアサポート用のデジタルブロックソースを選択します (DEC_CR0 レジスタを参照)。

その他の情報は、146 ページの DEC_CR1 レジスタを参照してください。

18.2.6 CLK_CR0 レジスタ

アナログカラムクロックジェネレータは各カラムに供給されます。このレジスタのビットは、各カラムクロックジェネレータのソースを選択します。選択されたソースに関係なく、カラム用に PHI1/PHI2 のオーバーラップしないクロックを生成するため、入力クロックは 4 つに分割されます。各クロックで次の 4 つの選択があります: VC1、VC2、ACLK0、および ACLK1。VC1 および VC2 は可変グローバルシステムクロックです。ACLK0 および ACLK1 ソースは CLK_CR1 で選択された (クロックジェネレータとして機能する) 8 つのデジタルブロック出力の 1 つからそれぞれ選択されます。

その他の情報は、167 ページの [CLK_CR0 レジスタ](#) を参照してください。

18.2.7 CLK_CR1 レジスタ

ビット 7: 予約。

ビット 6: SHDIS。 CLK_CR1 レジスタの SHDIS ビットは次のように説明されます。

出力バスの駆動が可能なカラムの増幅器用の SC ブロックの通常動作中、接続は PHI2 の後半の半分でのみ行われず (PHI1 および PHI2 の前半の半分では、出力バスは駆動された最後の電圧でフロートします)。これは、出力バスおよびその関連するキャパシタンスを使用してサンプルおよび保持操作を形成します。このデザインは、SC 操作の中間状態 (PHI のリセット状態および PHI2 中の有効な状態へのセトリング) によって出力バスが乱されることを防ぎます。

次の例外があります: 1) (問題の SC ブロック用の) CR0 の ClockPhase ビットが 1 にセットされている場合、出力は PHI2 全体で有効です。2) アナログクロックソースコントロールレジスタのビット 6 で SHDIS 信号がセットされている場合、サンプルおよび保持操作はすべてのカラムで無効になり、SC ブロックの有効にされた出力はすべて、それぞれの PHI2 の全区間でそれぞれの出力バスに接続されます。

ビット 5 から 0: ACLKx。 このレジスタには、ACLK0 および ACLK1 のクロックソースとしての機能に、(チップリソースに応じて) 8 つのデジタルブロックのうち 1 つを選択することができる、2 つの 3 ビットフィールドがあります。ACLK0 および ACLK1 は、アナログカラムクロックジェネレータへの代わりにクロック入力です (CLK_CR0 レジスタを参照)。

その他の情報は、168 ページの [CLK_CR1 レジスタ](#) を参照してください。

18.2.8 CLK_CR2 レジスタ

このレジスタは、CLK_CR1 および CLK_CR0 レジスタと共に、アナログカラムクロックのソースとしてデジタルブロックを選択します。このレジスタのビットは 8 つのデジタルブロックの 2 つのバンク間を選択し、8 つを超えるデジタルブロックを持つデバイスでのみ使用されます。

その他の情報は、174 ページの [CLK_CR2 レジスタ](#) を参照してください。

18.2.9 AMD_CR0 レジスタ

このレジスタは、アナログカラム 0 およびアナログカラム 2 の MODBIT の選択を制御します。MODBIT ビットはスイッチドキャパシタ C タイプブロックのみの入力、その SC ブロック用の CR0 レジスタの ASIGN ビットの現在プログラムされた値で XOR されます。これで、ACAP 符号ビットをハードウェア信号によってダイナミックに調整することができます。各カラムの 3 つのビットで、MODBIT 用の 8 つの選択のうち 1 つを選択することができます。ソースには任意のアナログカラム比較器パス、2 つのグローバルパス、および 1 つのブロードキャストパスが含まれます。この機能のデフォルトはゼロまたはオフです。

その他の情報は、170 ページの [AMD_CR0 レジスタ](#) を参照してください。

18.2.10 AMD_CR1 レジスタ

このレジスタは、アナログカラム 1 およびアナログカラム 3 の MODBIT の選択を制御します。AMD_CR0 レジスタを参照してください。その他の情報は、171 ページの [AMD_CR1 レジスタ](#) を参照してください。

18.2.11 ALT_CR0 レジスタ

このレジスタは、カラム 0 およびカラム 1 のアナログ比較器ビットで選択される論理関数の選択を制御します。16 の参照テーブル (LUT) の 1 つが、2 つの入力論理関数を実装するために各カラムの比較器ビットおよびオプションで隣のビットの出力に適用されます。表 18-2 は、利用可能な関数を示しています (A 入力は選択されたカラムに適用され、B 入力は次の最上位で隣のカラムに適用されます)。カラム 0 設定はカラム 0 とカラム 1 の組み合わせに適用され、カラム 1 設定はカラム 1 とカラム 2 の組み合わせに適用されます。

その他の情報は、172 ページの [ALT_CR0 レジスタ](#) を参照してください。

18.2.12 ALT_CR1 レジスタ

このレジスタは、カラム 2 およびカラム 3 のアナログ比較器ビットで選択される論理関数の選択を制御します (ALT_CR0 レジスタを参照)。カラム 2 設定はカラム 2 とカラム 3 の組み合わせに適用され、カラム 3 設定はカラム 3 とカラム 0 の組み合わせに適用されます。

その他の情報は、173 ページの [ALT_CR1 レジスタ](#) を参照してください。

19. Analog Array (アナログアレイ)



本章は、Analog Array (アナログアレイ) について説明します。関連するレジスタはありません。アナログブロックは、様々な機能を実装するために使用することができます。

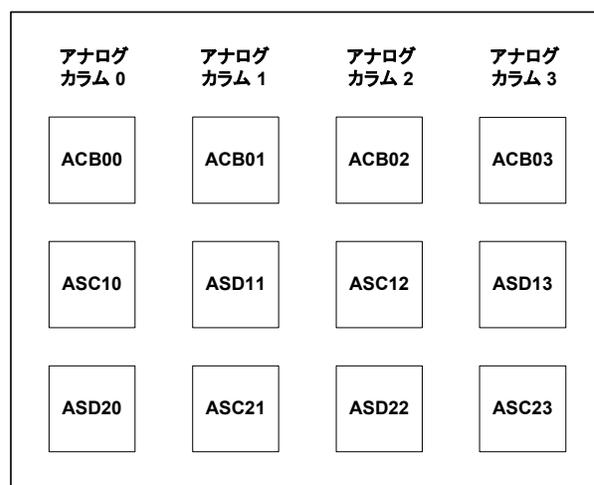
下記の機能は、1 つのアナログ PSoC ブロック、複数のアナログブロック、複数のアナログブロックの 1 つ以上のタイプの組み合わせ、またはアナログおよびデジタル PSoC ブロックの組み合わせを使用して、アナログ PSoC ブロック内で動作します。これらの機能のほとんどは、PSoC Designer のユーザモジュールとして現在利用可能です。現在含まれていない機能は将来追加される予定です。詳細は、*PSoC Designer User Modules Data Book* を参照してください。

- デルタシグマ A/D コンバータ
- 逐次比較 A/D コンバータ
- インクリメンタル A/D コンバータ
- 可変利得/損失ステージ
- アナログ比較器
- ゼロ交差検出器
- ローパスフィルタ
- バンドパスフィルタ
- ノッチフィルタ
- 振幅変調器
- 振幅復調器
- 正弦波発生器
- 正弦波検出器
- 側波帯検出
- 側波帯除去
- 音声出力駆動
- DTMF ジェネレータ
- FSK 変調器

このデータシートで記述されているようにレジスタを修正することで、ユーザはこれらの機能を実行するように PSoC ブロックを構成することができます。

19.1 Architectural Description (アーキテクチャ上の説明)

アナログアレイは、リソース制限を除いて、プロジェクトを修正することなくファミリ間を移動できるようにデザインされています。



アナログ PSoC ブロックのアレイ

下記の図は、PSoC デバイスのアナログマルチプレクサ接続について説明したものです。

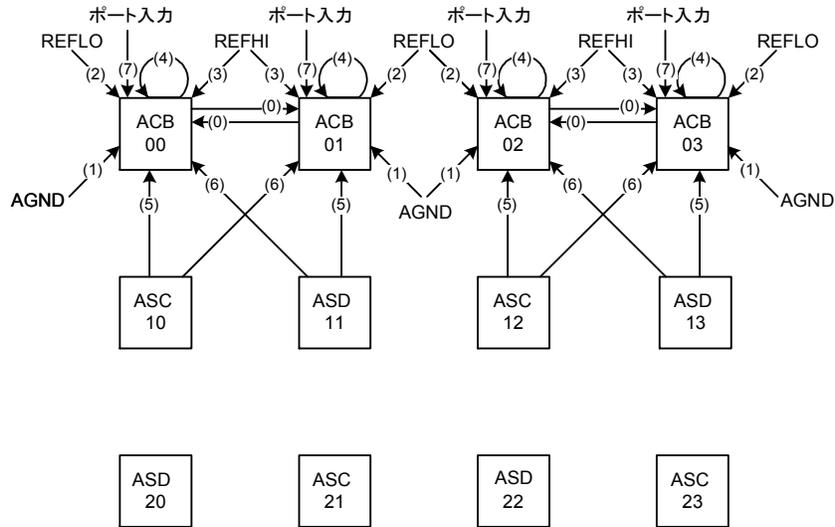


図 19-1. NMux 接続

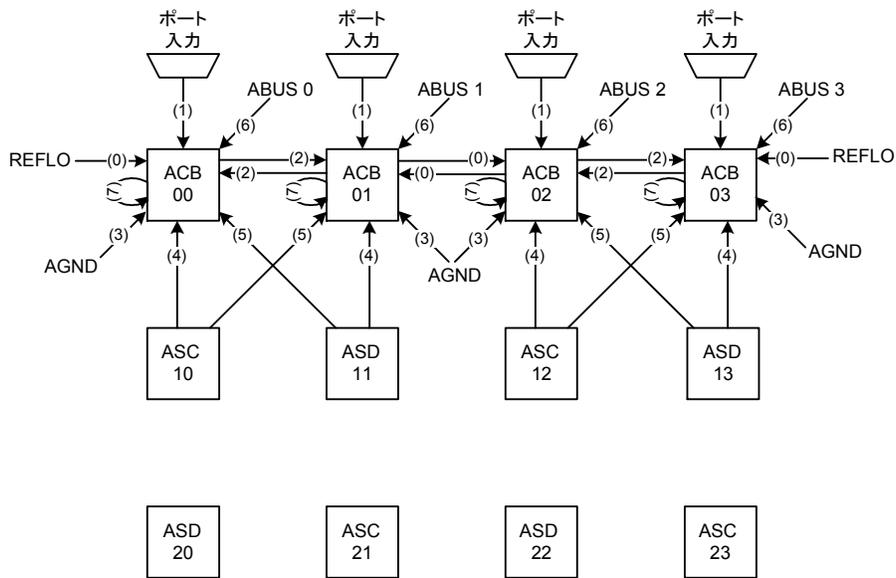


図 19-2. PMux 接続

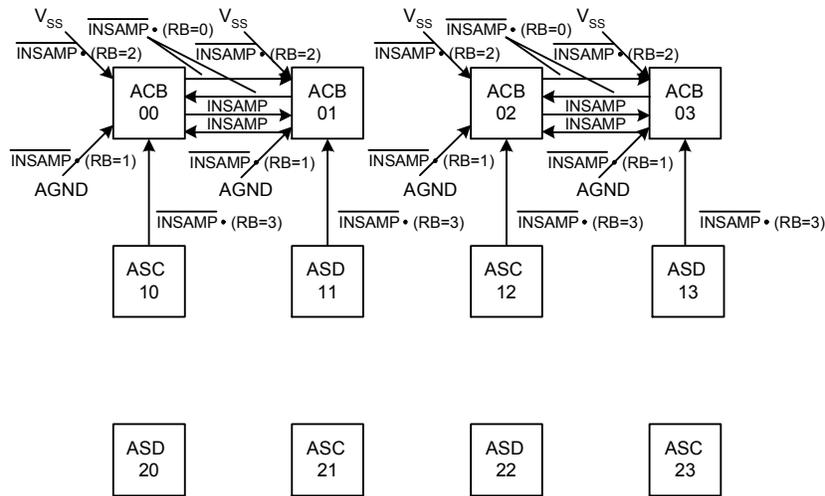


図 19-3. RBotMux 接続

アナログスイッチドキャパシタタイプ C ブロック xx コントロール 1 レジスタで示されたように、ACMux は A および C キャパシタ分岐両方の入力の多重化を制御します。

ハイオーダービット、ACMux[2] は、C 分岐の 2 つの入力のうち 1 つを選択します。AMux および CMux のダイアグラムを参照してください。

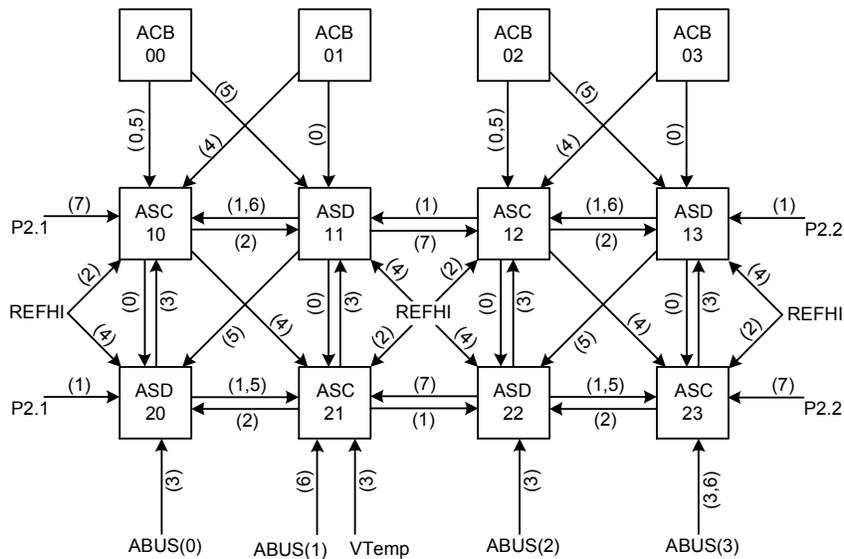


図 19-4. AMux 接続

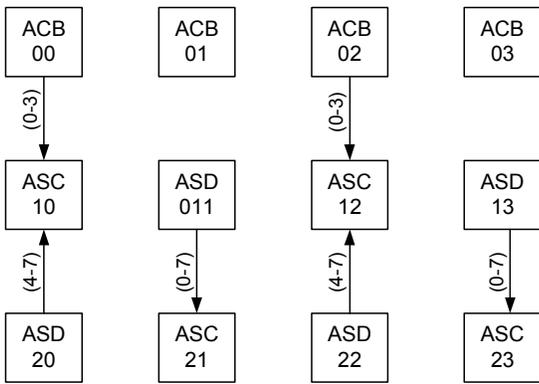


図 19-5. CMux 接続

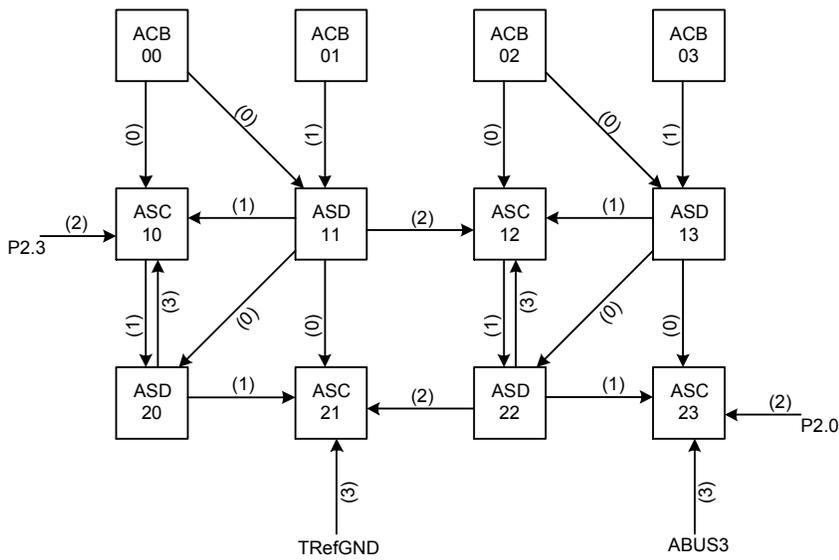


図 19-6. BMuxSC/SD 接続

19.1.1 アナログ比較器バス

各アナログカラムには関連する専用の比較器バスがあります。すべてのアナログ PSoC ブロックには、このバスを駆動できる比較器出力があります。しかし、一度にそのカラムの比較器バスをアクティブに駆動することができるのはカラムの 1 つのアナログブロックからの比較器出力のみです。比較器バスの出力は、デジタルブロックに駆動することができ、CMP_CR レジスタで読み取り可能にすることもできます。

比較器バスは、デジタルブロックのいずれかを駆動するか、アナログ比較器コントロールレジスタで読み取り可能になるように、利用可能になる前にラッチされます。各比較器バスのラッチは、PHI2 の High 区間は透過 (出力が入力を追跡する) です。PHI2 の Low 区間では、ラッチは PHI2 の High と Low の遷移中、比較器バスの値を保持します。

バスをアクティブに駆動しているアナログブロックからの出力もアナログブロック自体に内部的にラッチされます。

連続時間 (CT) アナログブロックでは、アナログ連続時間タイプ B ブロック xx コントロールレジスタ 2 の CPhase および CLatch ビットが、ブロック内部でラッチされる比較器バスの出力信号およびラッチされるクロック相を決定します。

SC アナログブロックでは、比較器バスの出力は常にラッチされます。アナログスイッチドキャパシタタイプ B ブロック xx コントロールレジスタ 0 の ClockPhase ビットは、このデータがラッチされ利用可能な相を決定します。

19.2 Temperature Sensing Capability (温度感知能力)

ダイ上のバンドギャップ感知からの温度感知電圧はバッファされ、アナログスイッチドキャパシタタイプ C ブロック ASC21 へのアナログ入力として利用可能です。温度感知は、フェールセーフアプリケーションのデバイス動作範囲の保護を可能にします。温度感知と長いスリープタイム間隔を組み合わせることで、データ取得および充電アプリケーションで周囲温度をほぼ等しくすることができます。ユーザは、既知の電流消費に基づいて内部温度の上昇を測定してもかまいません。

ASC21 ブロックへの温度センサ入力は VTemp と呼ばれ、その関連する接地基準は TRef-GND と呼ばれます。

20. Analog Input Configuration (アナログ入力設定)



本章は、Analog Input Configuration (アナログ入力設定) およびその関連レジスタについて説明します。

表 20-1. アナログ入力設定レジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
0,60h	AMX_IN	ACI3[1:0]		ACI2[1:0]		ACI1[1:0]		ACI0[1:0]		RW : 00
1,62h	ABF_CR0	ACol1Mux	ACol1Mux	ABUF1EN	ABUF2EN	ABUF0EN	ABUF3EN	Bypass	PWR	RW : 00

入力マルチプレクサは、AMX_IN および ABF_CR0 レジスタのビット値に基づいて、アナログアレイカラムヘドバイス入力をマップします。エッジカラムは 1 つの 4:1 マルチプレクサによって供給され、内部カラムは 2 つの 4:1 マルチプレクサのうちの 1 つによって供給されます。マルチプレクサは 2K オーム範囲の典型的な抵抗を持つ CMOS スイッチです。各種アナログ入力設定については、次のページのアナログブロックダイアグラムを参照してください。

20.1 Register Definitions (レジスタ定義)

20.1.1 AMX_IN レジスタ

このレジスタは、ポートピンからアナログカラムに信号を送るアナログマルチプレクサを制御します。各アナログカラムは、4 ポートビットまでその多重化された入力に接続することができます。アナログカラム 01 および 02 (ACI1 および ACI2) には、個別のマルチプレクサ間の選択を許可する追加のマルチプレクサがあります。ACol1Mux および ACol2Mux ビットフィールドはそれらのマルチプレクサのビットを制御し、アナログ出力バッファコントロールレジスタ (ABF_CR) にあります。スイッチドキャパシタ PSoC ブロックに直接入る、4 つまでの追加のアナログ入力があります。

その他の情報は、105 ページの AMX_IN レジスタを参照してください。

20.1.2 ABF_CR0 レジスタ

このレジスタは、Port 0 からのアナログ入力マルチプレクサ、およびデバイスピンへのカラム出力を駆動する出力バッファ増幅器を制御します。

ビット 7: ACol1MUX。カラム 0 入力マルチプレクサまたはカラム 1 入力マルチプレクサの出力を選択します。このビットがセットされている場合、カラム 1 入力をカラム 0 入力マルチプレクサの出力に設定します。

ビット 6: ACol2MUX。カラム 2 入力マルチプレクサまたはカラム 3 入力マルチプレクサの出力を選択します。このビットがセットされている場合、カラム 2 入力をカラム 3 入力マルチプレクサの出力に設定します。

ビット 5 から 2: ABUFxEN0。これらのビットはカラム出力増幅器を有効または無効にします。

ビット 1: バイパス。バイパスモードは増幅器の入力を直接出力に接続します。このビットがセットされている場合、レジスタによって制御されているすべての増幅器はバイパスモードになります。

ビット 0: PWR。このビットは、増幅器の電力レベルを設定するために使用されます。このビットがセットされている場合、レジスタによって制御されているすべての増幅器は電力状態になります。

その他の情報は、169 ページの ABF_CR0 レジスタを参照してください。

20.2 Architectural Description (アーキテクチャ上の説明)

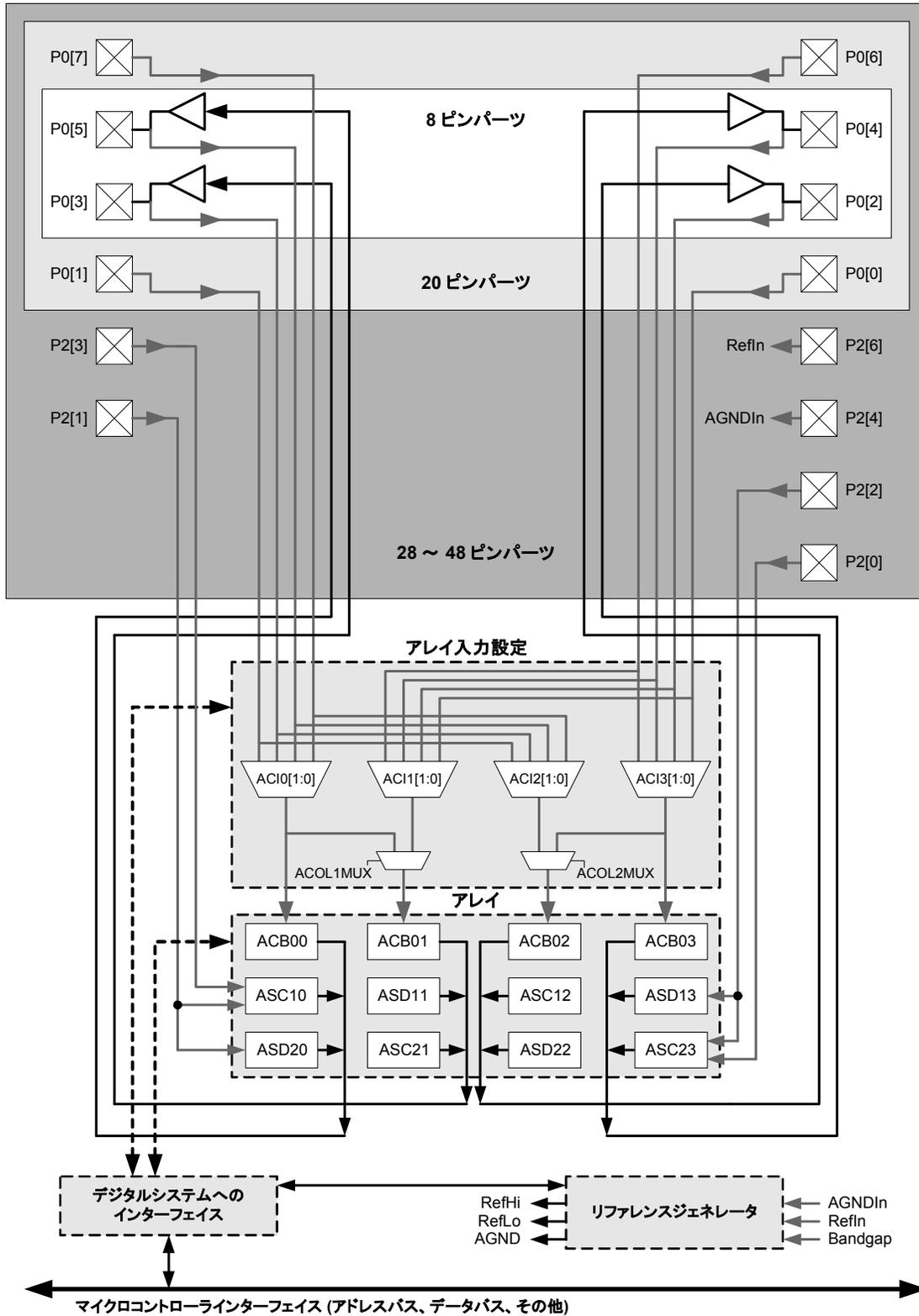


図 20-1. アナログピンブロックダイアグラム

21. Analog Reference (アナログリファレンス)



本章は、Analog Reference (アナログリファレンス) ジェネレータおよびその関連レジスタについて説明します。リファレンスジェネレータは、AGND、RefHi、および RefLo 用の 1 セットの 3 つの内部固定基準電圧を確立します。

表 21-1. アナログリファレンスレジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
0,63h	ARF_CR		HBE	REF[2:0]			PWR[2:0]			RW : 00

21.1 Architectural Description (アーキテクチャ上の説明)

PSoC デバイスは、負の電圧を利用しない単一の供給部品です。アナログ接地 (AGND) は中央の近くに構築されます。この接地はすべてのアナログブロックに送られ、各ブロック内で別々にバッファされます。バッファされているアナログ接地間では多少のオフセット電圧がある点に注意してください。RefHi および RefLo 信号は、アナログブロックに生成され、バッファされて、送られます。RefHi および RefLo はアナログからデジタル (ADC) およびデジタルか

らアナログ (DAC) コンバータの変換レンジ (スパン) を設定するために使用されます。RefHi および RefLo は、比較器の閾値を設定するためにも使用されます。

リファレンスアレイは、すべてのブロックへの電圧およびスイッチドキャパシタブロックへの電流を供給します。いブロッククロックレートでは、基準電流の需要が増加します。基準電力は使用されるアナログブロックの最も電力レベルと同じに設定されるべきです。

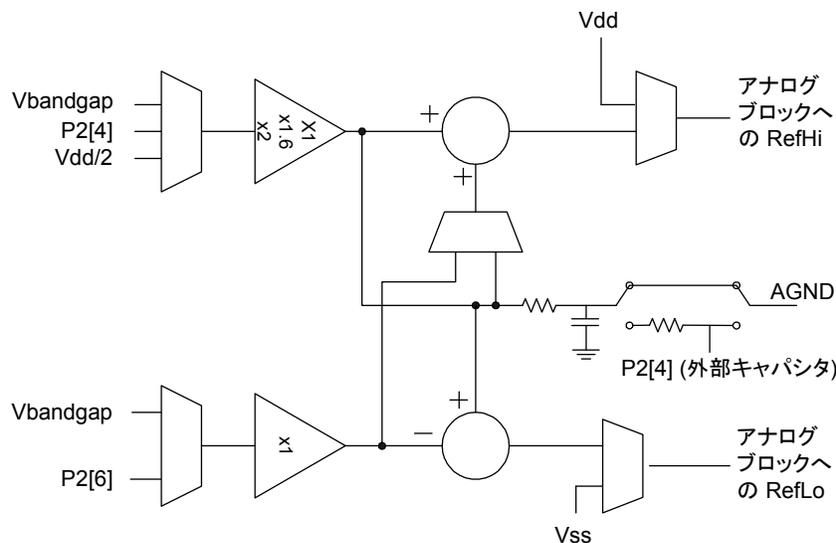


図 21-1. アナログリファレンスコントロール模型

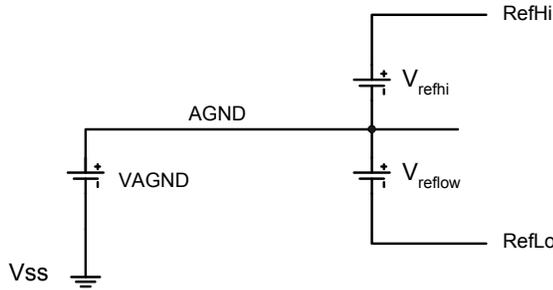


図 21-2. リファレンス構造

21.2 Register Definitions (レジスタ定義)

21.2.1 ARF_CR レジスタ

バンドギャップトリムレジスタ (BDG_TR, 1, EAh) の外部バイパスキャパシタビット 6 (AGNDBYP) が外部バイパスキャパシタを制御する点に注意してください。デフォルト値は 0 で、この機能は無効です (図 21-1) を参照。図は、それらのデフォルト状態の AGND パスにおける 2 つのスイッチを示しています。ビット 6 がセットされている場合、P2[4] IO はトリステートになり、外部キャパシタが P2[4] から Vss に接続されます。シミュレーションは、210nV/rt-Hz から 10nV/rt-Hz までの CT ブロック AGND バッファへの入力で 1 μ F のキャパシタが 1 kHz のノイズが減らすことを示しています。

ビット 7: 予約。

ビット 6: HBE。 バイアスレベル (HBE) は、すべてのアナログ機能のバイアスレベルを制御します。そのブロックのパラメータを設定するために、各ブロックの電力設定で動作します。ほとんどのアプリケーションは低バイアスレベルで動作します。バイアスでは、アナログブロックオペアンプのスルーレートは速くなりますが、電圧の振幅が少なくなり 電力になります。

表 21-3. REF[2:0]: AGND、RefHI、および RefLO 操作パラメータ

	AGND		RefHI		RefLO		注記
	ソース	電圧	ソース	電圧	ソース	電圧	
000b	Vdd/2	2.5 V 1.65 V	Vdd/2+Vbg	3.8 V 2.95 V	Vdd/2-Vbg	1.2 V 0.35 V	5.0 V システム 3.3 V システム
001b	P2[4]	2.2 V	P2[4]+P2[6]	3.2 V	P2[4]-P2[6]	1.2 V	ユーザ調整可能 例: P2[4]=2.2V および P2[6]=1.0V
010b	Vdd/2	2.5 V 1.65 V	Vdd	5.0 V 3.3 V	Vss	0.0 V 0.0 V	5.0 V システム 3.3 V システム
011b	2*Vbg	2.6 V	3*Vbg	3.9 V	1*Vbg	1.3 V	3.3 V システム用ではありません
100b	2*Vbg	2.6 V	2*Vbg+P2[6]	3.6 V	2*Vbg-P2[6]	1.6 V	P26 < Vdd - 2.6 例: P2[6]=1.0 V
101b	P2[4]	2.2 V	P2[4]+Vbg	3.5 V	P2[4]-Vbg	0.9 V	ユーザ調整可能。例: P2[4]=2.2V 1.3 < P2[4] < Vdd - 1.3
110b	Vbg	1.30 V	2*Vbg	2.6 V	Vss	0	5.0 V システム 3.3 V システム
111b	1.6*Vbg	2.08 V	3.2*Vbg	4.16 V	Vss	0	3.3 V システム用ではありません

ビット 5 から 3: REF[2:0]。 REF (AGND、RefHI および RefLO) は、アナログ接地および基準の電圧の特定の組み合わせを選択して、アナログアレイリファレンス制御を設定します。これらの基準電圧の多くは、精密内部基準 (1.300 ボルトで動作するシリコンバンドギャップ) に基づいています。この基準は良好な熱安定性および電源電圧変動除去特性を備えています。

あるいは、電源はアナログ接地および基準を供給するために拡大または縮小することができます。これは電源電圧に比例する信号で特に役立ちます。表 21-3 を参照してください。

ユーザが供給する外部精密基準は、ポート 2 入力 (28 ピン以上のパーツで利用可能) に接続することができます。これは、+/-1.000 V (AGND から) ADC スケールのような特定のカスタマアプリケーション用の基準を設定するのに役立ちます。ポート 2 入力からの基準は、アナログブロックのオペアンプと同じ出力電圧範囲に制限されます。

ビット 2 から 0: PWR[2:0]。 PWR は、アナログリファレンスブロックのすべてのオペアンプのバイアス電流およびバンド幅を制御します。PWR は、アナログアレイの各種ロウにおけるオン/オフ制御も行います。表 21-2 を参照してください。

表 21-2. アナログアレイ電力コントロールビット

PWR[2:0]	CT ロウ	両 SC ロウ	基準バイアス
000b	オフ	オフ	オフ
001b	オン	オフ	低バイアス
010b	オン	オフ	中バイアス
011b	オン	オフ	バイアス
100b	オフ	オフ	オフ
101b	オン	オン	低バイアス
110b	オン	オン	中バイアス
111b	オン	オン	バイアス

その他の情報は、106 ページの ARF_CR レジスタを参照してください。

22. Switched Capacitor Block (スイッチドキャパシタブロック)



本章は、Analog Switched Capacitor Block (アナログスイッチドキャパシタブロック) およびその関連レジスタについて説明します。アナログスイッチドキャパシタ (SC) ブロックは、低オフセットの、低雑音演算増幅器のまわりに構築されます。

表 22-1. アナログスイッチドキャパシタブロックレジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
アナログスイッチドキャパシタタイプ C PSoC ブロックコントロールレジスタ										
x,xxh	ASCxxCR0	FCap	ClockPhase	ASign	ACap[4:0]				RW : 00	
x,xxh	ASCxxCR1	ACMux[2:0]			BCap[4:0]				RW : 00	
x,xxh	ASCxxCR2	AnalogBus	CompBus	AutoZero	CCap[4:0]				RW : 00	
x,xxh	ASCxxCR3	ARefMux[1:0]		FSW1	FSW0	BMuxSC[1:0]		PWR[1:0]		RW : 00
アナログスイッチドキャパシタタイプ D PSoC ブロックコントロールレジスタ										
x,xxh	ASDxxCR0	FCap	ClockPhase	ASign	ACap[4:0]				RW : 00	
x,xxh	ASDxxCR1	AMux[2:0]			BCap[4:0]				RW : 00	
x,xxh	ASDxxCR2	AnalogBus	CompBus	AutoZero	CCap[4:0]				RW : 00	
x,xxh	ASDxxCR3	ARefMux[1:0]		FSW1	FSW0	BSW	BMuxSD	PWR[1:0]		RW : 00

凡例

x: アドレスフィールド中のカンマの前の "x" は、レジスタが両方のレジスタバンクに存在することを示します。

xx: アドレスフィールド中のカンマの前の "xx" は、複数のレジスタのインスタンスがあることを示します。これらのレジスタの拡張アドレスリスティングについては、239 ページの "Analog Register Summary (アナログレジスタサマリ)" を参照してください。

アナログスイッチドキャパシタブロックは、rail-to-rail、入力および出力、低オフセットおよび低雑音オペアンプのまわりに構築されます。ブロック内の信号の位相を決定するコントロールレジスタのレジスタビット設定によって制御されるいくつかのアナログマルチプレクサがあります。オペアンプに接続されたこのブロックの内部に、ユーザが選択可能な 4 つのキャパシタアレイがあります。

ブロックには、主増幅器と同じ入力および出力に接続された、低電力の比較器も含まれています。この比較器は、主増幅器の電源がオフの場合、低電力のスリープモードでデジタル比較出力を供給するのに役立ちます。

4 つのアレイは A Cap Array、B Cap Array、C Cap Array、および F Cap Array と呼ばれ、ユーザが選択可能なユニット値があります:1 つのアレイはオペアンプのフィードバックパスにあり、3 つのアレイはオペアンプの入力パスにあります。コントロールレジスタのビット設定によって制御されるアナログマルチプレクサは、ブロック内部のキャパシタの位相を設定します。マルチプレクサのグループは、コントロールレジスタの設定によって修正される動作と共に、クロック PHI1 および PHI2 に同期する信号処理スイッチに使用されます。(ローカルのアナログ接地に関連する) オペアンプ出力をデジタル信号に変換するアナログ比

較器もあります。

タイプ C およびタイプ D と呼ばれる 2 つのタイプのアナログスイッチドキャパシタブロックがあります。主な違いは、C Cap Array の接続および二端子フィルタセクションのブロックの位置に関係しています。タイプ D ブロックは、B Cap Array の切り替えについてより柔軟性があります。

このブロックから 3 つの個別出力があります。これらの出力は次のバスに接続されます:

1. アナログ出力バス (ABUS) は、カラムのすべてのアナログブロックで共有されるアナログバスリソースです。この信号は出力バッファを通じて外部にも送られます。
2. 比較器バス (CBUS) は、カラムのすべてのアナログブロックで共有されるデジタルバスリソースです。
3. ローカル出力バス (OUT) は、近隣のブロック入力に送られるアナログノードです。

22.1 Architectural Description (アーキテクチャ上の説明)

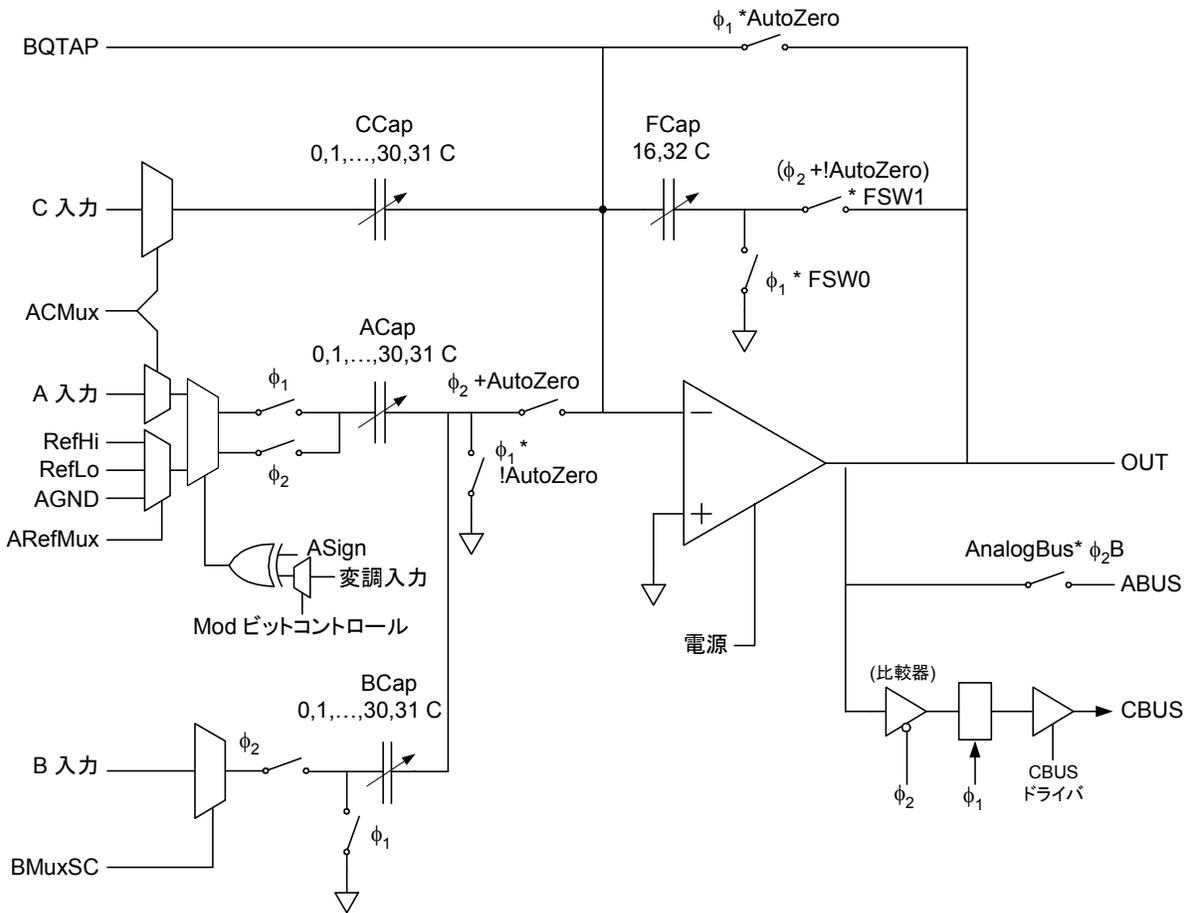


図 22-1. アナログスイッチドキャパシタタイプ C PSoC ブロック

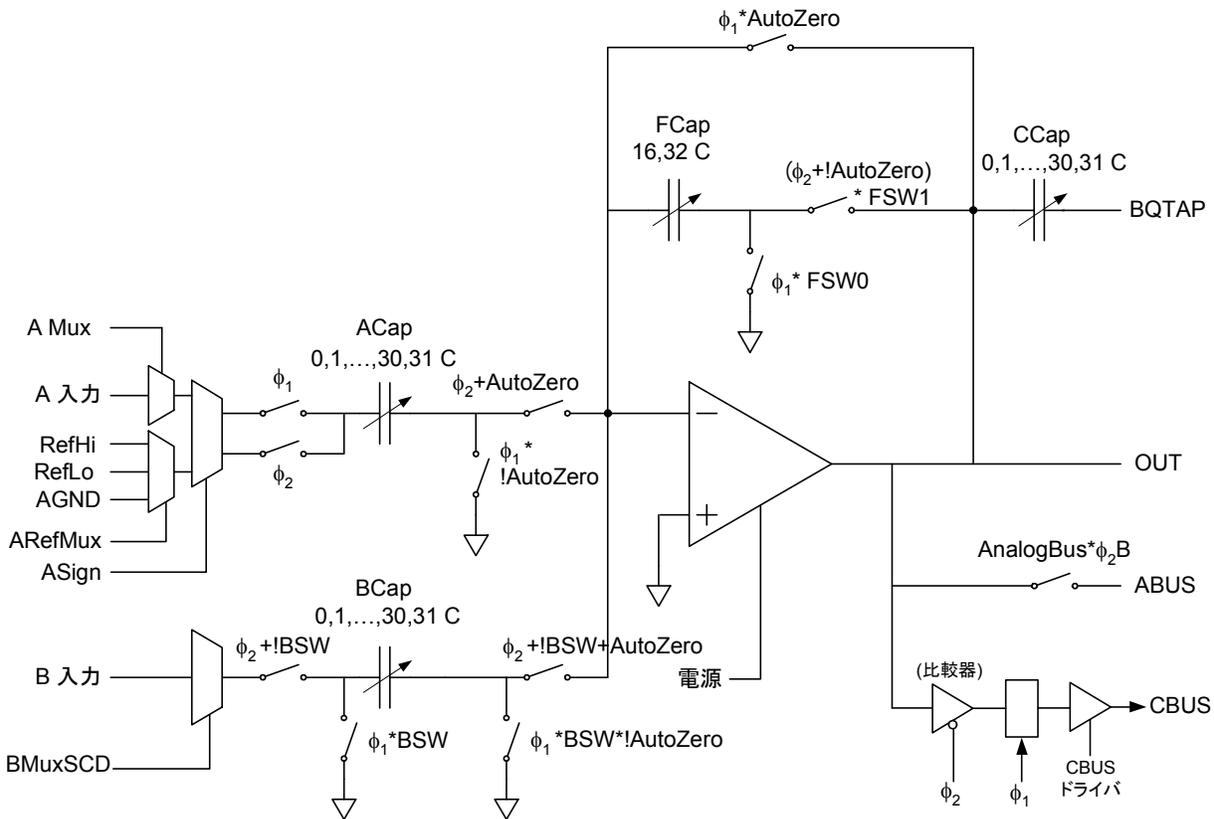


図 22-2. アナログスイッチドキャパシタタイプ D PSoc ブロック

22.2 Application Description (アプリケーションの説明)

アナログスイッチドキャパシタブロックは、デルタシグマ、逐次比較、およびインクリメンタル A/D 変換、キャパシタ DAC、および SC フィルタをサポートしています。キャパシタウェイトのユーザプログラミングが可能で、バイナリウェイトスイッチドキャパシタの 3 つの入力アレイがあります。これで、2 つの (CDAC) スケール入力および非スイッチドキャパシタ入力を合計することができます。非スイッチドキャパシタノードは、上の図で "BQTAP" と表記されています。BQTAP のローカル接続は、CY8C27xxx のアナログ両カラム内の水平に隣接する SW-C ブロック間です。SC ブロック C の入力にはこの追加のスイッチドキャパシタがあるため、そのようなスイッチドキャパシタオールパスフィルタの入カステージ用に設定されます。SC ブロック D 積分器が続く場合、ブロックのこの組み合わせは完全なスイッチドキャパシタオールパスを供給するために使用することができます。

22.3 Register Definitions (レジスタ定義)

XCap フィールドはキャパシタ X のバイナリエンコード値を格納するために使用されます。X は、ASCxxCRx および ASDxxCRx レジスタの両方で A (ACap)、B (BCap)、または C (CCap) になります。図 22-3 は、ACap[4:0]=14h=10100b=20d の場合のスイッチ設定を示しています。

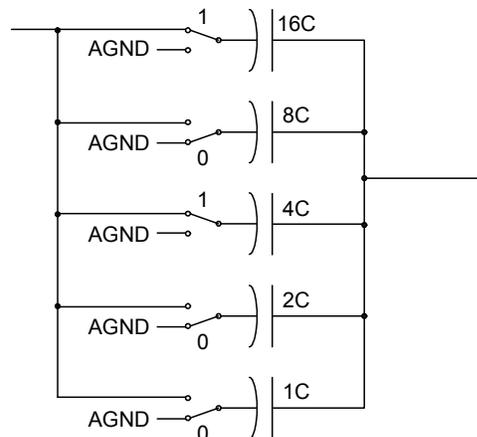


図 22-3. スイッチ設定の例

アナログスイッチドキャパシタタイプ C PSoC ブロックコントロールレジスタ

22.3.1 ASCxxCR0 レジスタ

ビット 7: FCap。このビットは、積分器のスイッチドフィードバックキャパシタのサイズを制御します。

ビット 6: ClockPhase。このビットは、入力クロック整相と関連する内部クロック整相を制御します。ClockPhase はアナログカラムバスの出力に影響し、コントロール 2 レジスタ (ASC10CR2、ASC12CR2、ASC21CR2、ASC23CR2) の AnalogBus バスによって制御されます。

Bit[6] は、内部からブロックへのクロックを反転する ClockPhase 選択です。出力バスの駆動が可能なカラムの増幅器用の SC ブロックの通常動作中、接続は PHI2 の後半の半分でのみ行われます (PHI1 および PHI2 の前半の半分では、出力バスは駆動された最後の電圧でフロートします)。これは、出力バスおよびその関連するキャパシタンスを使用してサンプルおよび保持操作を形成します。このデザインは、SC 操作の中間状態 (PHI のリセット状態および PHI2 中の有効な状態へのセトリング) によって出力バスが乱されることを防ぎます。

次の例外があります: 1) (問題の SC ブロック用の) CR0 の ClockPhase ビットが 1 にセットされている場合、出力は PHI2 全体で有効です。2) アナログクロックソースコントロールレジスタのビット 6 で SHDIS 信号がセットされている場合、サンプルおよび保持操作はすべてのカラムで無効になり、SC ブロックの有効にされた出力はすべて、それぞれの PHI2 の全区間でそれぞれの出力バスに接続されます。

このビットは、比較器出力 (CBUS) のラッチにも影響を与えます。両クロック相 PHI1 および PHI2 は、メカニズムをラッチする出力に関係します。あるクロック相の立ち上がりエッジでラッチから出力される次の値のキャプチャが発生し (キャプチャポイントイベント)、別のクリック相の立ち上がりエッジで値が現れます (出力ポイントイベント)。このビットはキャプチャポイントイベントをトリガするクロック相、および出力ポイントイベントをトリガする別のクロック相を決定します。比較器バスへの値の出力は、出力ポイントイベント間で安定したままになります。

ビット 5: ASign。このビットは、ACap キャパシタのボトムプレート上のスイッチのスイッチ整相を制御します。ボトムプレートは入力またはリファレンスをサンプリングします。

ビット 4 から 0: ACap[4:0]。ACap ビットは A パス中のキャパシタの値を設定します。

その他の情報は、114 ページの [ASCxxCR0 レジスタ](#) を参照してください。

22.3.2 ASCxxCR1 レジスタ

ビット 7 から 5: ACMUX[2:0]。ACMux は、A および C キャパシタ分岐両方の入力多重化を制御します。ハイオーダービット、ACMux[2] は、C 分岐の 2 つの入力のうち 1 つを選択します。

ビット 4 から 0: BCap[4:0]。BCap ビットは B パス中のキャパシタの値を設定します。

その他の情報は、115 ページの [ASCxxCR1 レジスタ](#) を参照してください。

22.3.3 ASCxxCR2 レジスタ

ビット 7: AnalogBus。このビットは、アナログカラムバスへの出力をゲートします。アナログカラムバスの出力は、コントロール 0 レジスタ (ASC10CR0、ASC12CR0、ASC21CR0、ASC23CR0) の ClockPhase ビットの状態によって影響を受けます。AnalogBus が 0 に設定されている場合、アナログカラムバスへの出力はトリステートです。AnalogBus が 1 に設定されている場合、アナログカラムバスに出力される信号は ClockPhase ビットによって選択されます。ClockPhase ビットが 0 の場合、ブロック出力は PHI2 の最後の部分のサンプリングクロックによってゲートされます。ClockPhase ビットが 1 の場合、ブロック出力はアナログカラムバス (ABUS) を連続的に駆動します。

ビット 6: CompBus。このビットは、カラム比較器バス (CBUS) への出力を制御します。比較器バスがカラムで駆動されていない場合、Low にされる点に注意してください。比較器出力は内部 PHI1 の立ち上がりエッジで評価されてラッチされるので、内部 PHI2 中に利用可能です。

ビット 5: AutoZero。このビットは、オペアンプの反転入力への出力のショートを制御します。ショートされた場合、オペアンプは基本的にフォロワーです。出力はオペアンプオフセットです。積分器のフィードバックキャパシタを使用することで、ブロックはオフセットを記憶してオフセットキャンセルスキームを作成することができます。AutoZero は、A および B 分岐間のスイッチのペアおよびオペアンプのサモンノードも制御します。AutoZero が有効な場合、スイッチのペアはアクティブです。AutoZero は、コントロール 3 レジスタの FSW1 ビットの機能にも影響します。

ビット 4 から 0: CCap[4:0]。CCap ビットは C パス中のキャパシタの値を設定します。

その他の情報は、116 ページの [ASCxxCR2 レジスタ](#) を参照してください。

22.3.4 ASCxxCR3 レジスタ

ビット 7 および 6: ARefMux[1:0]。これらのビットは、A キャパシタ分岐のリファレンス入力を選択します。

ビット 5: FSW1。このビットは、積分器キャパシタパスのスイッチを制御するために使用されます。このビットは、積分器キャパシタにオペアンプの出力を接続します。フィードバックスイッチの状態は、コントロール 2 レジスタ (ASC10CR2、ASC12CR2、ASC21CR2、ASC23CR2) の AutoZero ビットの状態によって影響を受けます。FSW1 ビットが '0' にセットされた場合、スイッチは常に無効です。FSW1 ビットが '1' にセットされた場合、スイッチの状態は AutoZero ビットによって決定されます。AutoZero ビットが '0' の場合、スイッチは常に有効です。AutoZero ビットが '1' の場合、スイッチは内部 PHI2 が High の場合にのみ有効です。

ビット 4: FSW0。このビットは、積分器キャパシタパスのスイッチを制御するために使用されます。このビットは、アナロググラウンドにオペアンプの出力を接続します。

ビット 3 および 2: BMuxSC[1:0]。これらのビットは、B キャパシタ分岐の入力多重化を制御します。

ビット 1 および 0: PWR[1:0]。これらのビットは、4 つの電力レベルのうち 1 つを選択するためのエンコーディングとして使用できます。ブロックはオフ状態で常に電力を供給します。

その他の情報は、117 ページの [ASCxxCR3 レジスタ](#) を参照してください。

アナログスイッチドキャパシタタイプ D PSoC ブロックコントロールレジスタ

22.3.5 ASDxxCR0 レジスタ

ビット 7: FCap。このビットは、積分器のスイッチドフィードバックキャパシタのサイズを制御します。

ビット 6: ClockPhase。このビットは、入力クロック整相と関連する内部クロック整相を制御します。ClockPhase はアナログカラムバスの出力に影響し、コントロール 2 レジスタ (ASC11CR2、ASC13CR2、ASC20CR2、ASC22CR2) の AnalogBus バスによって制御されます。

Bit[6] は、内部からブロックへのクロックを反転する ClockPhase 選択です。出力バスの駆動が可能なカラムの増幅器用の SC ブロックの通常動作中、接続は PHI2 の後半の半分でのみ行われます (PHI1 および PHI2 の前半の半分では、出力バスは駆動された最後の電圧でフロートします)。これは、出力バスおよびその関連するキャパシタンスを使用してサンプルおよび保持操作を形成します。このデザインは、SC 操作の中間状態 (PHI のリセット状態および PHI2 中の有効な状態へのセトリング) によって出力バスが乱されることを防ぎます。

次の例外があります: 1) (問題の SC ブロック用の) CR0 の ClockPhase ビットが 1 にセットされている場合、出力は PHI2 全体で有効です。2) アナログクロック選択レ

スタのビット 6 で SHDIS 信号がセットされている場合、サンプルおよび保持操作はすべてのカラムで無効になり、SC ブロックの有効にされた出力はすべて、それぞれの PHI2 の全区間でそれぞれの出力バスに接続されます。

このビットは、比較器出力 (CBUS) のラッチにも影響を与えます。両クロック相 PHI1 および PHI2 は、メカニズムをラッチする出力に関係します。あるクロック相の立ち下がりエッジでラッチから出力される次の値のキャプチャが発生し (キャプチャポイントイベント)、別のクリック相の立ち上がりエッジで値が現れます (出力ポイントイベント)。このビットはキャプチャポイントイベントをトリガするクロック相、および出力ポイントイベントをトリガする別のクロック相を決定します。比較器バスへの値の出力は、出力ポイントイベント間で安定したままになります。

ビット 5: ASign。このビットは、A キャパシタのボトムプレート上のスイッチのスイッチ整相を制御します。ボトムプレートは入力またはリファレンスをサンプリングします。

ビット 4 から 0: ACap[4:0]。ACap ビットは A パス中のキャパシタの値を設定します。

その他の情報は、118 ページの [ASDxxCR0 レジスタ](#) を参照してください。

22.3.6 ASDxxCR1 レジスタ

ビット 7 から 5: AMux[2:0]。これらのビットは、A キャパシタ分岐の入力多重化を制御します。

ビット 4 から 0: BCap[4:0]。BCap ビットは B パス中のキャパシタの値を設定します。

その他の情報は、119 ページの [ASDxxCR1 レジスタ](#) を参照してください。

22.3.7 ASDxxCR2 レジスタ

ビット 7: AnalogBus。このビットは、アナログカラムバスへの出力をゲートします。アナログカラムバスの出力は、コントロール 0 レジスタ (ASD11CR0、ASD13CR0、ASD20CR0、ASD22CR0) の ClockPhase ビットの状態によって影響を受けます。AnalogBus が 0 に設定されている場合、アナログカラムバスへの出力はトリステートです。AnalogBus が 1 に設定されている場合、アナログカラムバスに出力される信号は ClockPhase ビットによって選択されます。ClockPhase ビットが 0 の場合、ブロック出力は PHI2 の最後の部分のサンプリングクロックによってゲートされます。ClockPhase ビットが 1 の場合、ブロック出力はアナログカラムバス (ABUS) を連続的に駆動します。

ビット 6: CompBus。このビットは、カラム比較器バス (CBUS) への出力を制御します。比較器バスがカラムで駆動されていない場合、Low にされる点に注意してください。比較器出力は内部 PHI1 の立ち上がりエッジで評価されてラッチされるので、内部 PHI2 中に利用可能です。

ビット 5: AutoZero。このビットは、オペアンプの反転入力への出力のショートを制御します。ショートされた場合、オペアンプは基本的にフォロワーです。出力はオペアンプオフセットです。積分器のフィードバックキャパシタを使

用することで、ブロックはオフセットを記憶してオフセットキャンセルスキームを作成することができます。
AutoZero は、A および B 分岐間のスイッチのペアおよびオペアンプのサモンノードも制御します。AutoZero が有効な場合、スイッチのペアはアクティブです。AutoZero は、コントロール 3 レジスタの FSW1 ビットの機能にも影響します。

ビット 4 から 0: CCap[4:0]。CCap ビットは C パス中のキャパシタの値を設定します。

その他の情報は、120 ページの ASDxxCR2 レジスタを参照してください。

22.3.8 ASDxxCR3 レジスタ

ビット 7 および 6: ARefMux[1:0]。これらのビットは、A キャパシタ分岐のリファレンス入力を選択します。

ビット 5: FSW1。このビットは、積分器キャパシタパスのスイッチを制御するために使用されます。このビットは、積分器キャパシタにオペアンプの出力を接続します。スイッチの状態は、コントロール 2 レジスタ (ASD11CR2、ASD13CR2、ASD20CR2、ASD22CR2) の AutoZero ビットの状態によって影響を受けます。FSW1 ビットが '0' にセットされた場合、スイッチは常に無効です。FSW1 ビットが '1' にセットされた場合、スイッチの状態は AutoZero ビットによって決定されます。AutoZero ビットが '0' の場合、スイッチは常に有効です。AutoZero ビットが '1' の場合、スイッチは内部 PHI2 が High の場合にのみ有効です。

ビット 4: FSW0。このビットは、積分器キャパシタパスのスイッチを制御するために使用されます。このビットは、アナロググラウンドにオペアンプの出力を接続します。

ビット 3: BSW。このビットは、B 分岐のスイッチを制御するために使用されます。無効な場合、B キャパシタ分岐は SC A ブロックの C 分岐のような連続時間分岐です。有効な場合、内部 PHI1 では、キャパシタの両端がアナログ接地にスイッチされます。内部 PHI2 では、一端が B 入力にスイッチされ、別の一端が集計ノードにスイッチされます。

ビット 2: BMuxSD。これらのビットは、B キャパシタ分岐の入力多重化を制御します。B 分岐はスイッチまたはアンスイッチすることができます。

ビット 1 および 0: PWR[1:0]。これらのビットは、4 つの電力レベルのうちの 1 つを選択するためのエンコーディングとして使用できます。ブロックはオフ状態で常に電力を供給します。

その他の情報は、121 ページの ASDxxCR3 レジスタを参照してください。

23. Continuous Time Block (連続時間ブロック)



本章は、Analog Continuous Time Block (アナログ連続時間ブロック) およびその関連レジスタについて説明します。このブロックは、可変利得または減衰オペアンプ回路、2 つの CT ブロック (微分利得) を使用する計装用増幅器、連続時間 周波、アンチエイリアシングフィルタおよび平凡な応答時間のアナログ比較器をサポートします。

表 23-1. アナログ連続時間ブロックレジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
x,7xh	ACBxxCR3					LPCMPEN	CMOUT	INSAMP	EXGAIN	RW : 00
x,7xh	ACBxxCR0	RTapMux[3:0]				Gain	RTopMux	RBotMux[1:0]		RW : 00
x,7xh	ACBxxCR1	AnalogBus	CompBus	NMux[2:0]			PMux[2:0]			RW : 00
x,7xh	ACBxxCR2	CPhase	CLatch	CmopCap	TMUXEN	TestMux[1:0]		PWR[1:0]		RW : 00

凡例

x: アドレスフィールド中のカンマの前の "x" は、レジスタが両方のレジスタバンクに存在することを示します。

x: アドレスフィールド中のカンマの後の "x" は、複数のレジスタのインスタンスがあることを示します。これらのレジスタの拡張アドレスリスティングについては、239 ページの "Analog Register Summary (アナログレジスタサマリ)" を参照してください。

23.1 Architectural Description (アーキテクチャ上の説明)

アナログ連続時間ブロックは、rail-to-rail、入力および出力、低オフセットおよび低雑音オペアンプのまわりに構築されます。ブロック内の信号の位相を決定するコントロールレジスタのレジスタビット設定によって制御されるいくつかのアナログマルチプレクサがあります。オペアンプのフィードバックパスにも精度抵抗行列があり、レジスタビットの設定によって制御されます。

ブロックには、主増幅器と同じ入力および出力に接続された、低電力の比較器も含まれています。この比較器は、主増幅器の電源がオフの場合、低電力のスリープモードでデジタル比較出力を供給するのに役立ちます。

このブロックから 3 つの個別出力があります。これらの出力は次のバスに接続されます:

1. そのブロックのカラムのすべてのアナログブロックで共有されるアナログバスリソースであるアナログ出力バス (ABUS)。この信号は出力バッファを通じて外部にも送られます。
2. そのブロックのカラムのすべてのアナログブロックで共有されるデジタルバスリソースである比較器バス (CBUS)。
3. 隣接ブロックに送られるローカル出力バス (OUT、GOUT および LOUT)。GOUT および LOUT はブロックの利得/損失モード設定を参照して、隣接ブロックの GIN/LIN 入力に接続します。

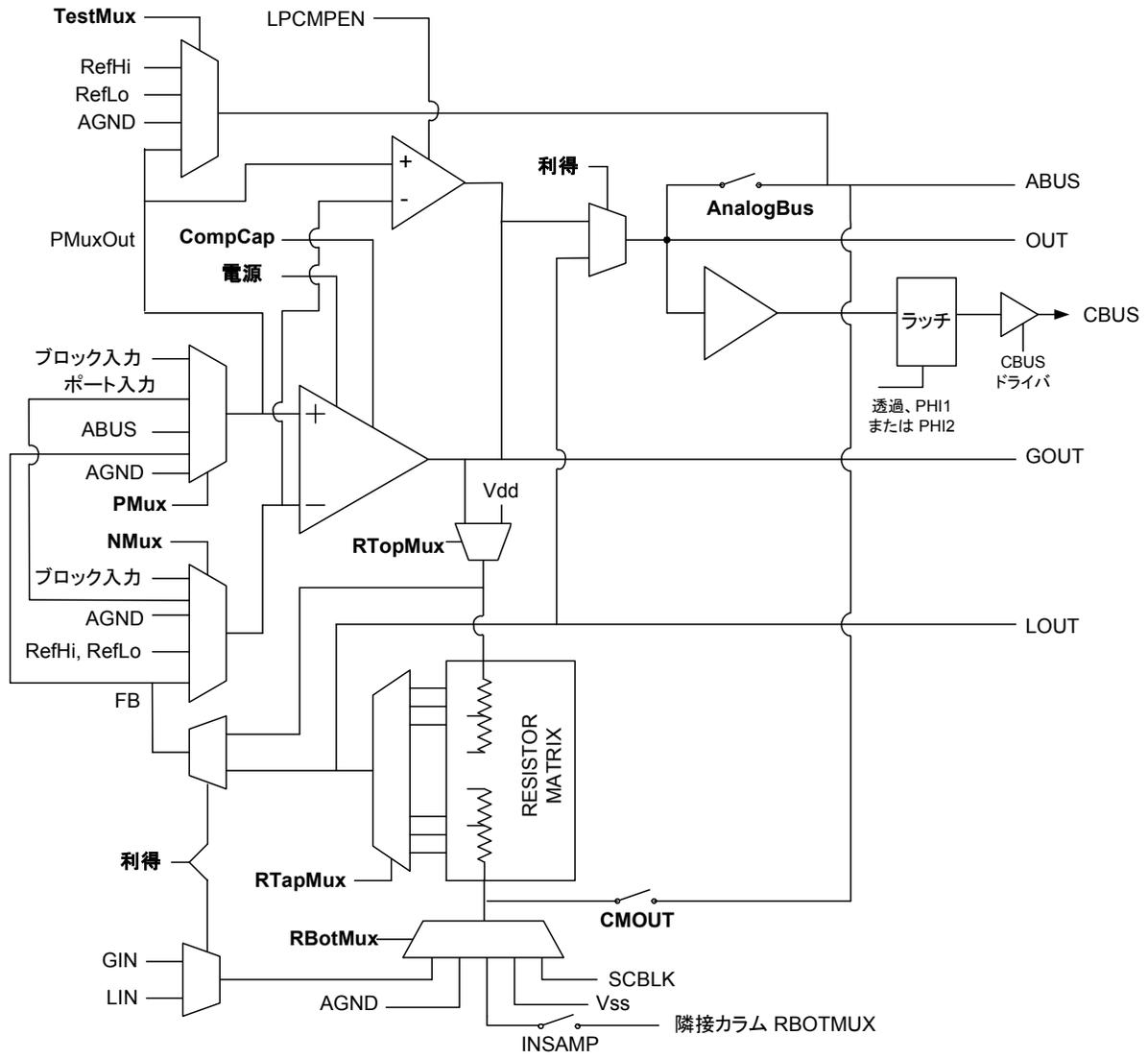


図 23-1. アナログ連続時間ブロックダイアグラム

23.2 Register Definitions (レジスタ定義)

23.2.1 ACBxxCR0 レジスタ

ビット 7 から 4: RTapMux[3:0]。これらのビットは、CR レジスタの EXGAIN ビット (B0) との組み合わせにより、抵抗ストリングのセンタータップを制御します。ユニットの相対的な量のみがテーブルで示される点に注意してください。

ビット 3: Gain。このビットは、抵抗ストリングがオペアンプのまわりに利得 (センタータップから反転オペアンプ入力) として接続されるか損失 (センタータップからブロックの出力) として接続されるかどうかを制御します。Gain 単独の設定は利得または損失ブロックを保証しない点に注意してください。抵抗の他の一端のルーティングがこれを決定します。

ビット 2: RTopMux。このビットは、Vdd またはオペアンプ出力のいずれかに接続することができる、抵抗ストリングの上端を制御します。

ビット 1 および 0: RBotBux[1:0]。これらのビットは、CR3 レジスタの INSAMP ビット (B1) との組み合わせにより、抵抗ストリングの下端の接続を制御します。

その他の情報は、[111 ページの ACBxxCR0 レジスタ](#)を参照してください。

23.2.2 ACBxxCR1 レジスタ

ビット 7: AnalogBus。このビットは、アナログカラムバスを制御します。CMOS スイッチはアナログバスにオペアンプ出力を接続します。

ビット 6: CompBus。このビットは、比較器ロジックを駆動するトリステートバッファを制御します。アナログカラム中に比較器バスを駆動しているブロックがない場合、外部的に Low で駆動されます。

ビット 5 から 3: NMux[2:0]。これらのビットは、オペアンプの反転入力への入力の多重化を制御します。ブロック外部からの 7 つの選択肢に加えて、内部フードバック選択肢があります。

ビット 2 から 0: PMux[2:0]。これらのビットは、オペアンプの非反転入力への入力の多重化を制御します。ブロック外部からの 7 つの選択肢に加えて、内部フードバック選択肢があります。

その他の情報は、[112 ページの ACBxxCR1 レジスタ](#)を参照してください。

23.2.3 ACBxxCR2 レジスタ

ビット 7: CPhase。このビットは、比較器バスがラッチされる内部クロック相を制御します。

ビット 6: CLatch。このビットは、ラッチがアクティブかどうかまたは常に透過かどうかを制御します。

ビット 5: CompCap。このビットは、補正キャパシタがオペアンプ中でスイッチされるかどうかを制御します。補正キャパシタをスイッチしないことで、増幅器が比較器として使用されている場合、非常に速い応答を得ることができます。

ビット 4: TMUXEN。TMUXEN ビットが High の場合、TestMux[1:0] の値はその特定の連続時間ブロック用の ABus にどの testmux 入力を接続するかを決定します。TMUXEN ビットが Low の場合、TestMux[1:0] の値に関係なく ABus に testmux 入力は接続されません。

ビット 3 および 2: TextMux[1:0]。TestMux は、ブロックバイパスモードを選択します。

ビット 1 および 0: PWR[1:0]。3 つの電力レベルまたはオフのうち 1 つを選択するようにエンコードされます。ブロックはオフ状態で電力を供給します。Turbo モードとの組み合わせにより、6 つの電力レベルを提供します。Turbo モードは、アナログリファレンスコントロールレジスタの HBE ビットによって制御されます。

その他の情報は、[113 ページの ACBxxCR2 レジスタ](#)を参照してください。

23.2.4 ACBxxCR3 レジスタ

ビット 7 から 4: 予約。

ビット 3: LPCMPEN。各連続時間ブロックには、ブロックの主オペアンプ/比較器とパラレルに接続された低電力比較器があります。低電力比較器は、低雑音、低オフセット、および 速よりも低電力が重要な状況で使用されます。低電力比較器は、LPCMPEN ビットが High に設定されている場合に動作します。主オペアンプ/比較器の出力が低電力比較器の出力に接続されるため、比較器の 1 つのみを特定の時間にアクティブにすべきです。主オペアンプ/比較器は、ACBxxCR2: PWR[1:0] を 00b に設定するか、ARF_CR: PWR[2:0] を x00b に設定することでオフにされます。低電力比較器は、ACBxxCR2 および ARF_CR レジスタの PWR ビットによって影響されません。

ビット 2: CMOUT. アナログアレイは 2 つの異なる計装用増幅器の形式を構築するために使用されます。2-オペアンプ計装用増幅器を構成するには 2 つの連続時間ブロックを組み合わせます (図 23-2 を参照)。

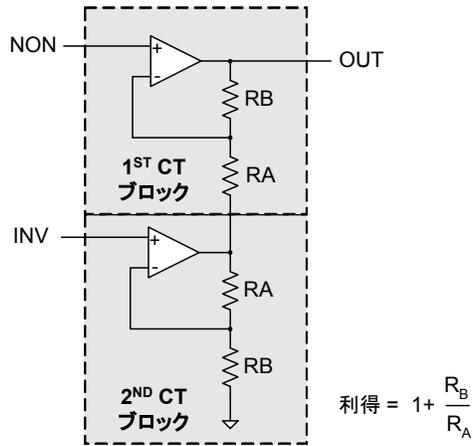


図 23-2. 2-オペアンプ計装用増幅器

3-オペアンプ計装用増幅器を構成するには、2 つの連続時間ブロックと 1 つのスイッチドキャパシタブロックを組み合わせます (図 23-3 を参照)。

3-オペアンプ計装用増幅器はより多くのリソースを必要としますが、より大きな共通モード入力範囲を処理することができます。ビット 2 (CMOUT) およびビット 1 (INSAMP) 制御スイッチは 3-オペアンプ計装用増幅器に関係しています。ビット 2 (CMOUT) が High の場合、連続時間ブロック間の抵抗の接続によって形成されたノードは、その連続時間ブロックの ABus に接続されます。このノードは、計装用増幅器への入力のコモンモードです。CMOUT ビットは、3-オペアンプ計装用増幅器用のオプションです。

ビット 1: INSAMP. このビットは、3-オペアンプ計装用増幅器の一部として 2 つの連続時間ブロックの抵抗を接続するために使用されます。INSAMP ビットは 3-オペアンプ計装用増幅器では High に設定しなければなりません (図 23-3 を参照)。

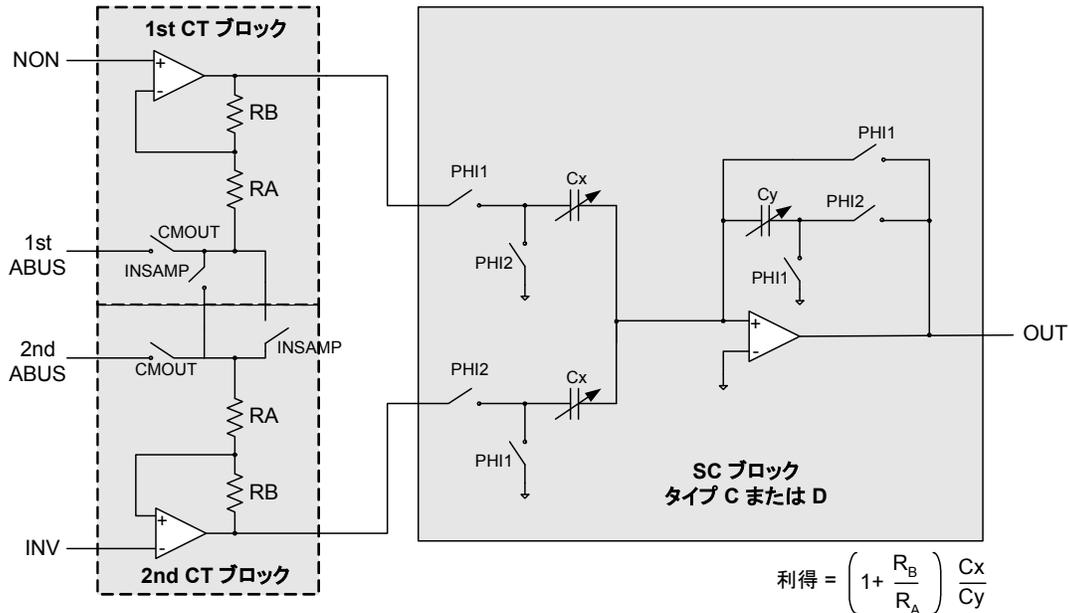


図 23-3. 3-オペアンプ計装用増幅器

ビット 0: EXGAIN。 連続時間ブロックの抵抗タップは、ACBxxCR0 RtapMux[3:0] の値と組み合わされた ACBxxCR3 EXGAIN の値によって指定されます。02h から 15h までの RtapMux 値では、EXGAIN はタップの選択に影響しません。詳細は、ACBxxCR0 レジスタを参照してください。EXGAIN ビットは、RtapMux = 01h で 1 つの追加タップ選択、RtapMux = 00h で 2 つ目の追加タップ選択を許可します (図 23-4 を参照)。

その他の情報は、110 ページの ACBxxCR3 レジスタを参照してください。

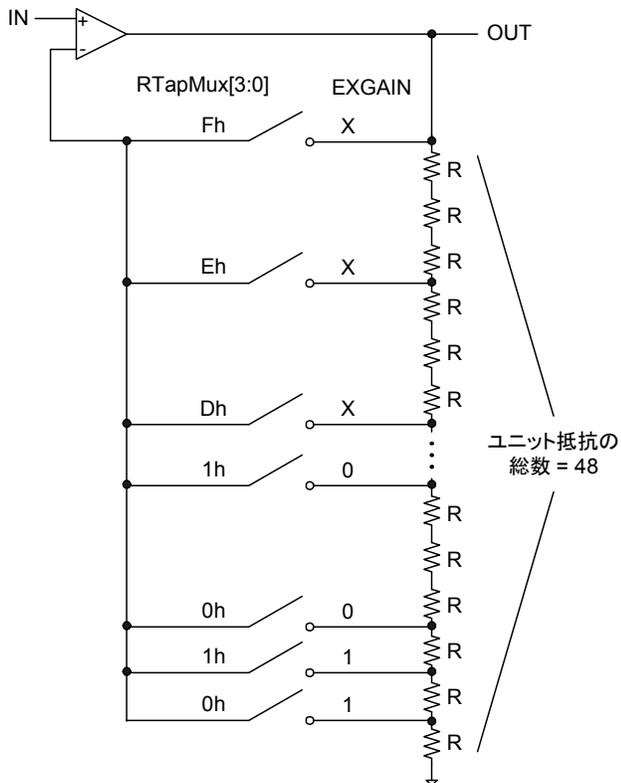


図 23-4. 連続時間ブロック (利得) 構成

SECTION F SYSTEM RESOURCES (システムリソース)

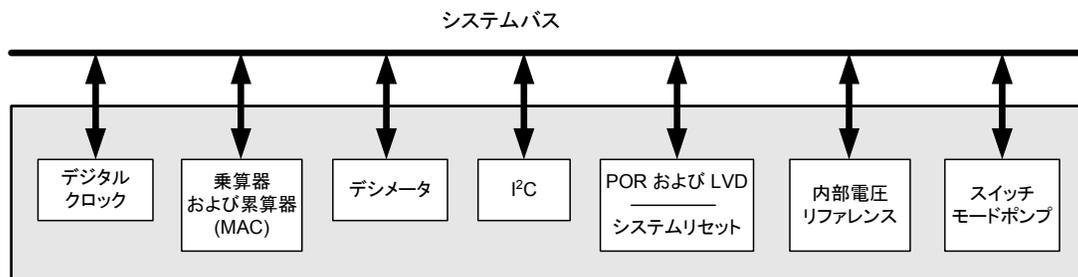


System Resources (システムリソース) セクションでは、PSoC デバイスで利用可能なシステムリソースおよびそれらのリソースに関連するレジスタについて説明します。このセクションには、次の章があります:

- Digital Clocks (デジタルクロック)、273 ページ
- Multiply Accumulate (MAC) (乗算器および累算器)、279 ページ
- Decimator (デシメータ)、283 ページ
- I²C、285 ページ
- POR and LVD (POR および LVD)、301 ページ
- Internal Voltage Reference (内部電圧リファレンス)、303 ページ
- Switch Mode Pump (SMP) (スイッチモードポンプ)、305 ページ
- System Resets (システムリセット)、307 ページ

Top-Level System Resources Architecture (トップレベルシステムリソースアーキテクチャ)

下記の図は、PSoC のシステムリソースのトップレベルアーキテクチャの説明です。図の各コンポーネントは、このセクションで詳細に説明されています。



PSoC システムリソースブロックダイアグラム

System Resources Register Summary (システムリソースレジスタサマリ)

下記の表は、デバイスおよびその個々のブロックが使用するすべての PSoC レジスタの一覧です。

システムリソースレジスタのサマリ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス	
DIGITAL CLOCK REGISTERS (デジタルクロックレジスタ)											
0,DAh	INT_CLR0	VC3	Sleep	GPIO	Analog3	Analog2	Analog1	Analog0	V Monitor	RW : 00	
0,E0h	INT_MSK0	VC3	Sleep	GPIO	Analog3	Analog2	Analog1	Analog0	V Monitor	RW : 00	
1,DEh	OSC_CR4								VC3 Input Select[1:0]	RW : 00	
1,DFh	OSC_CR3	VC3 Divider[7:0]								RW : 00	
1,E0h	OSC_CR0	32k Select	PLL Mode	No Buzz	Sleep[1:0]		CPU Speed[2:0]			RW : 00	
1,E1h	OSC_CR1	VC1 Divider[3:0]				VC2 Divider[3:0]				RW : 00	
1,E2h	OSC_CR2	PLLGAIN					EXTCLKEN	IMODIS	SYSCCLKX2 DIS	RW : 00	
MULTIPLY ACCUMULATE (MAC) REGISTERS (乗算器および累算器レジスタ)											
0,E8h	MUL_X	Data[7:0]								W : XX	
0,E9h	MUL_Y	Data[7:0]								W : XX	
0,EAh	MUL_DH	Data[7:0]								R : XX	
0,EBh	MUL_DL	Data[7:0]								R : XX	
0,ECh	MAC_X/ACC_DR1	Data[7:0]								RW : 00	
0,EDh	MAC_Y/ACC_DR0	Data[7:0]								RW : 00	
0,EEh	MAC_CL0/ACC_DR3	Data[7:0]								RW : 00	
0,EFh	MAC_CL1/ACC_DR2	Data[7:0]								RW : 00	
DECIMATOR REGISTERS (デシメータレジスタ)											
0,E4h	DEC_DH	Data High Byte[7:0]								RC : XX	
0,E5h	DEC_DL	Data Low Byte[7:0]								RC : XX	
0,E6h	DEC_CR0	IGEN[3:0]				ICLKS0	DCOL[1:0]		DCLKS0	RW : 00	
0,E7h	DEC_CR1	ECNT	IDEC			ICLKS1			DCLKS1	RW : 00	
I2C REGISTERS (I2C レジスタ)											
0,D6h	I2C_CFG		PSelect	Bus Error IE	Stop IE	Clcok Rate		Enable Master	Enable Slave	RW : 00	
0,D7h	I2C_SCR	Bus Error	Lost Arb	Stop Status	ACK	Address	Transmit	LRB	Byte Complete	R : 00	
0,D8h	I2C_DR	Data[7:0]								RW : 00	
0,D9h	I2C_MSCR					Bus Busy	Master Mode	Restart Gen	Start Gen	R : 00	
POR AND LVD REGISTERS (POR および LVD レジスタ)											
1,E3h	VLT_CR	SMP		PORLEV[1:0]		LVDTBEN	VM[2:0]			RW : 00	
1,E4h	VLT_CMP						PUMP	LVD	PPOR	R : 00	
INTERNAL VOLTAGE REFERENCE REGISTER (内部電圧リファレンスレジスタ)											
1,EAh	BDG_TR		AGNDBYP	TC[1:0]		V[3:0]				W : 00	
SWITCH MODE PUMP (SMP) REGISTER (スイッチモードポンプレジスタ)											
1,E3h	VLT_CR	SMP		PORLEV[1:0]		LVDTBEN	VM[2:0]			RW : 00	
SYSTEM RESET REGISTERS (システムリセットレジスタ)											
0,FEh	CPU_SCR1					ECO_EXW	ECO_EX			IRAMDIS	RW : 00
0,FFh	CPU_SCR0	GIES		WDRS	PORS	Sleep			STOP	RW : XX	

凡例

C: Clearable レジスタまたはビット。

X: パワーオンリセットが不明な場合の値。

24. Digital Clocks (デジタルクロック)



本章は、Digital Clocks (デジタルクロック) およびその関連レジスタについて説明します。これは、PSoC デバイスで利用可能なクロックオプションの概要となります。特定の発振器の詳細は、35 ページの "SECTION B CORE ARCHITECTURE (コアアーキテクチャ)" で個々の発振器の章を参照してください。

表 24-1. デジタルクロックレジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス	
0,DAh	INT_CLR0	VC3	Sleep	GPIO	Analog3	Analog2	Analog1	Analog0	V Monitor	RW : 00	
0,E0h	INT_MSK0	VC3	Sleep	GPIO	Analog3	Analog2	Analog1	Analog0	V Monitor	RW : 00	
1,DEh	OSC_CR4								VC3 Input Select[1:0]		RW : 00
1,DFh	OSC_CR3	VC3 Divider[7:0]								RW : 00	
1,E0h	OSC_CR0	32k Select	PLL Mode	No Buzz	Sleep[1:0]		CPU Speed[2:0]			RW : 00	
1,E1h	OSC_CR1	VC1 Divider[3:0]				VC2 Divider[3:0]				RW : 00	
1,E2h	OSC_CR2	PLL GAIN					EXTCLKEN	IMODIS	SYSCLKX2 DIS	RW : 00	

24.1 Architectural Description (アーキテクチャ上の説明)

PSoC M8C コアには、図 24-1 で示すように、PSoC 混合信号アレイの柔軟性を める多くのクロックソースがあります。

24.1.1 内部主発振器

内部主発振器 (IMO) は、PSoC 混合信号アレイ中のほとんどのクロックソースが基準とする基本モジュールです。IMO のデフォルトモードはチップの多くの他の回路で使用される 24 MHz の基準クロックを作成します。IMO は、発振器が精度 32.768 kHz の水晶リファレンスにロックされる場合に PLL モードで動作するように設定されます。PSoC デバイスには、IMO を、IMO が通常提供するクロックのすべてのベースになる、外部的に供給されるクロックを切り替えるオプションがあります。

外部クロックと内部主発振器のどちらが選択されていても、すべてのチップ機能は SYSCLK から計測されるか、SYSCLK に再同期されます。選択された 32K 発振器に加えて、(ロウ入力からの) 外部の非同期信号はすべて、デジタルブロックで使用される SYSCLK と再同期されます。

IMO については、67 ページの "Internal Main Oscillator (IMO) (内部主発振器)" の章で詳しく説明されています。

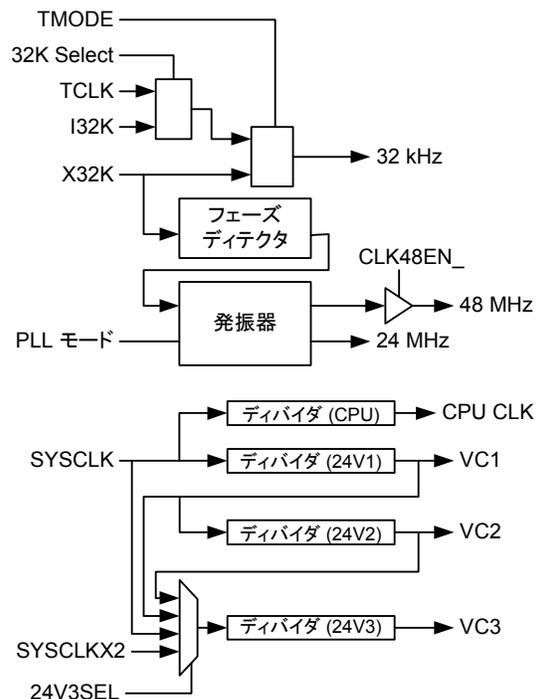


図 24-1. PSoC クロックソースの概要

24.1.2 内部低速発振器 (ILO)

スリープ発振器とも呼ばれる、内部低速発振器 (ILO) は、デバイスが水晶から動作していない場合は常にオンです。ILO は汎用クロックとして利用可能ですが、スリープまたはウォッチドッグタイマのクロックソースでもあります。

ILO については、69 ページの "Internal Low Speed Oscillator (ILO) (内部低速発振器)" の章で詳しく説明されています。

24.1.3 32 kHz 水晶発振器

PSoC は、外部水晶を使用するように設定されます。このように設定された場合、内部低速発振器はオフになり、水晶がすべての 32 kHz クロックのクロックソースになります。

水晶発振器については、71 ページの "32 kHz Crystal Oscillator (ECO) (32 kHz 水晶発振器)" の章で詳しく説明されています。

24.1.4 外部クロック

デバイスの主システムクロック (SYSCLK) である 24 MHz の内部主発振器 (IMO) と外部から供給されるクロックとの切り替えは、PSoC 混合信号アレイにおける機能です。

ピン P1[4] は、外部クロックの入力ピンとして選択されず。このピンは、アナログ IO、水晶、インシステムシリアルプログラミング (ISSP) のような特別な機能と関係がなく、P1[0] および P1[1] 水晶ピンとも物理的に接近していないために選択されました。

ユーザは 1 MHz から 24 MHz の間の周波数の外部クロックを供給することができます。EXTCLKEN ビットのリセット状態は '0' なので、デバイスは常に IMO に制御されてブートします。システムをリセット状態から外部クロックで開始する方法はありません。

EXTCLKEN ビットがセットされている場合、外部クロックは大部分のチップクロック関数を駆動する内部クロックツリー SYSCLK のソースになります。内部低速発振器 (ILO) または水晶発振器から派生した場合でも、32 kHz クロックを含む、すべての外部および内部信号はこのクロックソースに同期されます。

24.1.4.1 クロックダブラ

システムクロックから駆動されるブロックの 1 つに SYSCLKX2 出力を駆動するクロックダブラ回路があります。この倍速クロック (IMO が選択されたクロックの場合 48 MHz) は、デジタルブロックのクロックソースとして使用されます。外部クロックが選択された場合でも、SYSCLKX2 信号は利用可能で、外部クロックピンで入力される周波数のダブラとして役立ちます。

外部クロック入力の仕様に従うことで、SYSCLKX2 によって計測されるデジタルブロックの内部回路がタイミングに合うことが保証されます。しかし、倍速クロックは入力ク

ロックの両方のエッジから生成されるため、デューティサイクルが 50% と大幅に異なる場合、クロックジッタが使用されます。また、ダブラのクロックの High 時間は 21 ns に固定されるため、SYSCLKX2 のデューティサイクルは、図 24-2 で示すように、周波数に反比例します。入力周波数に関係なく、SYSCLKX2 の High 区間は 21 ns (理論値) です。

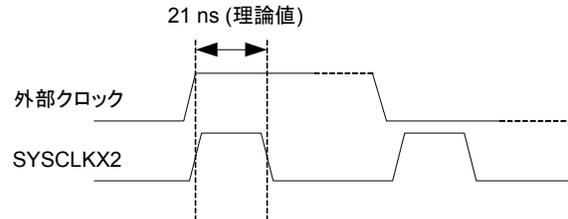


図 24-2. クロックダブラの動作

24.1.4.2 スイッチ操作

IMO と外部クロックとの切り替えは、いつでもファームウェア中で行われ、ユーザにわかるようになっています。すべてのチップリソースは SYSCLK から派生または SYSCLK に同期したクロック上で実行されるため、切り替えが行われると、アナログおよびデジタル機能は一瞬中断されます。

IMO から外部クロックに切り替えると、IMO は節電のためにオフになります。この操作は EXTCLKEN ビットを設定する命令の直後に IMODIS ビットを設定して行います。しかし、外部クロックから IMO に切り替える場合は、IMODIS ビットは必ずクリアされなければならない、ファームウェアで遅延が実装されていなければならない。この遅延により、EXTCLKEN ビットがクリアされる前に IMO を起動する時間に余裕ができます。

切り替えのタイミングは、CPU クロックディバイダが 1 で分割するように設定されているか、2 以上で分割するように設定されているかによって異なります。CPU クロックディバイダが 2 以上で分割するように設定されている場合、図 24-3 で示すように、EXTCLKEN ビットは SYSCLK の立ち上がりエッジの直後にセットされます。その後、SYSCLK 出力は SYSCLK の次の立ち下がりエッジの後で、次の立ち上がりエッジの前に無効になります。これで、グリッチの自由な移行が保証され、SYSCLK から出力ディスエーブルまでの完全なサイクルのセットアップ時間が提供されます。一旦現在のクロック選択が無効になると、新しく選択されたクロックのイネーブルは、そのクロックの倍に同期されます。同期後、次の負のエッジにおいて、SYSCLK は新しく選択されたクロックの出力が可能になります。

図 24-4 で示すように、24 MHz の場合、IOW_ のアサーションと EXTCLKEN ビットのセットは SYSCLK の立ち下がりエッジで発生します。SYSCLK は既に Low なので、出力は直ちに無効にされ、この結果、SYSCLK からディスエーブルまでのセットアップ時間は 1.5 SYSCLK になります。

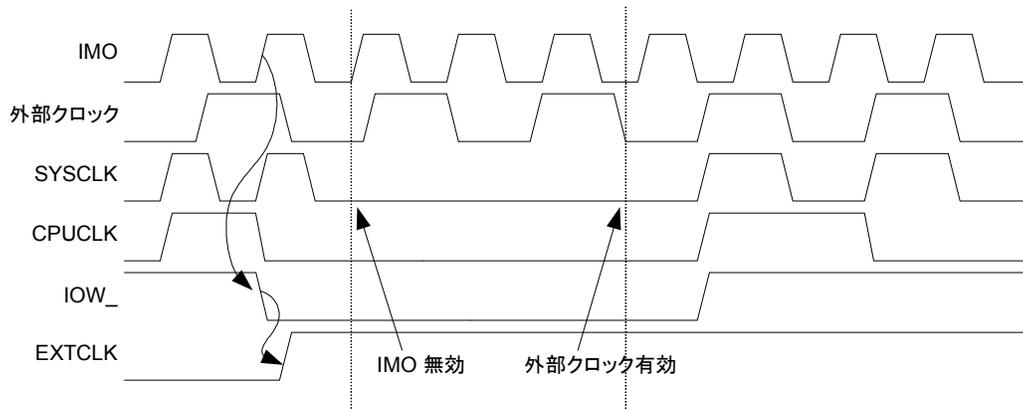


図 24-3. IMO から 2 以上の CPU クロックディバイダを持つ外部クロックへの切り替え

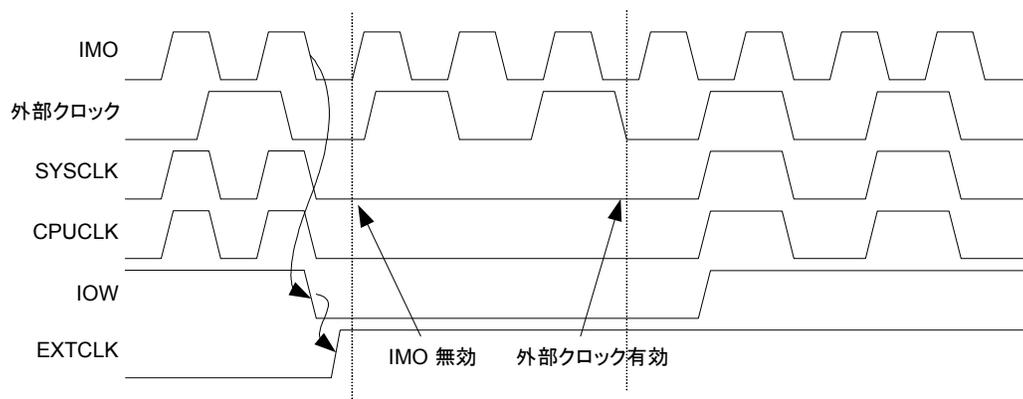


図 24-4. IMO から CPU が 1 つの CPU クロックディバイダで実行される外部クロックへの切り替え

24.2 Register Definitions (レジスタ定義)

24.2.1 INT_CLR0 レジスタ

INT_CLR0 レジスタは、いくつかの異なるリソースによって使用されるビットを保持します。デジタルクロックは INT_CLR0 のビット 7 のみを VC3 クロック用に使用し、ビット 6 から 0 は他のリソースによって使用されます。INT_CLR0 レジスタの詳細については、"Interrupt Controller (割り込みコントローラ)" の章の INT_CLRx レジスタを参照してください。

その他の情報は、133 ページの INT_CLR0 レジスタを参照してください。

24.2.2 INT_MSK0 レジスタ

INT_MSK0 レジスタは、いくつかの異なるリソースによって使用されるビットを保持します。デジタルクロックは INT_MSK0 のビット 7 のみを VC3 クロック用に使用し、ビット 6 から 0 は他のリソースによって使用されます。スリープビット (ビット 6) は、スリープタイマが割り込みソースとして使用されるかどうかを制御します。INT_MSK0 レジスタの詳細については、Interrupt Controller (割り込みコントローラ) の章の "INT_MSKx レジスタ" を参照してください。

その他の情報は、139 ページの INT_MSK0 レジスタを参照してください。

24.2.3 OSC_CR0 レジスタ

ビット 7: 32k Select. デフォルトでは、32 kHz クロックソースは内部低速発振器 (ILO) です。オプションで、外部水晶発振器 (ECO) が選択されます。

ビット 6: PLL Mode. これは、直接 PLL に影響する OSC_CR0 レジスタの唯一のビットです。このビットがセットされている場合、PLL が有効になります。EXTCLK ビットは、PLL 操作中 low にセットされるべきです。

ビット 5: No Buzz. 通常、CPU_SCR レジスタでスリープビットがセットされると、バンドギャップリファレンスを含め、すべてのチップシステムの電源が落とされます。しかし、スリープ間隔よりも低いレートで POR および LVD イベントの検出を行うために、バンドギャップ回路は、スリープ間隔に依存せず、一般的により低いスリープシステムデューティサイクル (ECO_TR でセット) で約 60 us 周期的に電源が入られます。No Buzz ビットがセットされている場合、スリープシステムデューティサイクルの値は無視され、バンドギャップ回路はスリープ中でもオンにされます。この結果、わずかに低い平均スリープ電流で、LVD または POR イベントへの応答がより速くなります (周期的ではなく連続的に検出される)。

ビット 4 および 3: Sleep[1:0]. 利用可能なスリープ間隔を表 24-2 に示します。ILO が 32 kHz クロックソースを選択した場合、スリープ間隔は近似値であることを忘れないでください。

表 24-2. スリープ間隔

スリープ間隔 OSC_CR[4:3]	スリープタイ マクロック	スリープ期間 (理 論値)	ウォッチドッグ期 間 (理論値)
00b (デフォルト)	64	1.95 ms	6 ms
01b	512	15.6 ms	47 ms
10b	4096	125 ms	375 ms
11b	32,768	1 sec	3 sec

ビット 2 から 0: CPU Speed[2:0]. PSoC M8C は、一連の CPU クロック速度 (表 24-3) で、M8C のパフォーマンスおよび電源要件をアプリケーションに適合させて動作します。

CPU Speed ビットのリセット値はゼロです。したがって、デフォルトの CPU 速度はクロックソースの 1/8 です。内部主発振器が CPU 速度回路のデフォルトクロックソースなので、デフォルトの CPU 速度は 3MHz です。外部的に供給されるクロックでサポートされている周波数に関する詳細は、274 ページの "外部クロック" を参照してください。

CPU 周波数は、OSC_CR0 レジスタへの書き込みによって変更されます。2 の累乗の分割回路から生成された 8 つの周波数があり、3 ビットコードで選択されます。どの場合でも、CPU 8:1 クロックマルチプレクサは利用可能な周波数の 1 つを選択し、出力で 24 MHz マスタークロックに再同期されます。

CPU 速度ビットの設定に関係なく、実際の CPU 速度が 12 MHz を超える場合、24 MHz の動作要件が適用されます。このシナリオの例は、20 MHz の周波数を提供する外部クロックを使用するように設定されたデバイスです。CPU 速度レジスタの値が 011b の場合、CPU クロックは 20 MHz になります。したがって、デバイスの供給電源要件は、パーツが内部主発振器から離れて 24 MHz で動作している場合と同じです。動作電圧要件は、CPU 速度が 12.0 MHz 以下になるまで緩和されません。

表 24-3. OSC_CR0[2:0] ビット: CPU 速度

ビット	デバイダのソースクロック	
	内部主発振器	外部クロック
000b	3 MHz	EXTCLK / 8
001b	6 MHz	EXTCLK / 4
010b	12 MHz	EXTCLK / 2
011b	24 MHz	EXTCLK / 1
100b	1.5 MHz	EXTCLK / 16
101b	750 kHz	EXTCLK / 32
110b	187.5 kHz	EXTCLK / 128
111b	93.7 kHz	EXTCLK / 256

その他の情報は、181 ページの OSC_CR0 レジスタを参照してください。

24.2.4 OSC_CR1 レジスタ

ビット 7 から 4: VC1 Divider[3:0]. VC1 クロックネットは、PSoC M8C で利用可能な変数クロックネットの 1 つです。VC1 クロックネットのソースは、シンプルな 4 ビットディバイダです。ディバイダのソースは 24 MHz システムクロックですが、デバイスが外部クロックを使用するように設定されている場合、ディバイダへの入力は外部クロックになります。このため、VC1 クロックネットは常に 24MHz クロックから分割された結果になるわけではありません。VC1 クロックネットを制御する 4 ビットディバイダは、1 から 16 の整数値を使用して分割するように設定されます。表 24-4 は、VC1 クロックネットのすべての値の一覧です。

表 24-4. OSC_CR1[7:4] ビット: VC1 Divider の値

ディバイダのソースクロック		
ビット	内部主発振器	外部クロック
0h	24 MHz	EXTCLK / 1
1h	12 MHz	EXTCLK / 2
2h	8 MHz	EXTCLK / 3
3h	6 MHz	EXTCLK / 4
4h	4.8 MHz	EXTCLK / 5
5h	4 MHz	EXTCLK / 6
6h	3.43 MHz	EXTCLK / 7
7h	3 MHz	EXTCLK / 8
8h	2.67 MHz	EXTCLK / 9
9h	2.40 MHz	EXTCLK / 10
Ah	2.18 MHz	EXTCLK / 11
Bh	2.00 MHz	EXTCLK / 12
Ch	1.85 MHz	EXTCLK / 13
Dh	1.71 MHz	EXTCLK / 14
Eh	1.6 MHz	EXTCLK / 15
Fh	1.5 MHz	EXTCLK / 16

ビット 3 から 0: VC2 Divider[3:0]. VC2 クロックネットは、PSoC M8C で利用可能な変数クロックネットの 1 つです。VC2 クロックネットのソースは、シンプルな 4 ビットディバイダです。ディバイダのソースは、VC1 クロックネットです。VC2 クロックネットを制御する 4 ビットディバイダは、1 から 16 の整数値を使用して分割するように設定されます。表 24-5 は、VC2 クロックネットのすべての値の一覧です。

表 24-5. OSC_CR1[3:0] ビット: VC2 Divider の値

ディバイダのソースクロック		
ビット	内部主発振器	外部クロック
0h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 1$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 1$
1h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 2$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 2$
2h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 3$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 3$
3h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 4$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 4$
4h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 5$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 5$
5h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 6$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 6$
6h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 7$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 7$
7h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 8$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 8$
8h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 9$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 9$
9h	$(24 / (\text{OSC_CR1}[7:4]+1)) / 10$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 10$
Ah	$(24 / (\text{OSC_CR1}[7:4]+1)) / 11$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 11$
Bh	$(24 / (\text{OSC_CR1}[7:4]+1)) / 12$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 12$
Ch	$(24 / (\text{OSC_CR1}[7:4]+1)) / 13$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 13$
Dh	$(24 / (\text{OSC_CR1}[7:4]+1)) / 14$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 14$
Eh	$(24 / (\text{OSC_CR1}[7:4]+1)) / 15$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 15$
Fh	$(24 / (\text{OSC_CR1}[7:4]+1)) / 16$	$(\text{EXTCLK} / (\text{OSC_CR1}[7:4]+1)) / 16$

その他の情報は、182 ページの OSC_CR1 レジスタを参照してください。

24.2.5 OSC_CR2 レジスタ

ビット 7: PLLGAIN. これは、直接 PLL に影響する OSC_CR2 レジスタの唯一のビットです。このビットがセットされている場合、PLL は低利得モードのままです。

ビット 6 から 3: 予約。

ビット 2: EXTCLKEN. EXTCLKEN ビットがセットされている場合、外部クロックは大部分のチップクロック関数を駆動する内部クロックツリー SYSCLK のソースになります。内部低速発振器 (ILO) または水晶発振器から派生した場合でも、32 kHz クロックを含む、すべての外部および内部信号はこのクロックソースに同期されます。外部クロックが有効な場合、PLL モードはオフにすべきです。

ビット 1: IMODIS. このビットがセットされている場合、内部主発振器は無効になります。倍回路が有効 (SYSCLKX2DIS=0) な場合、内部主発振器は有効になります。

ビット 0: SYSCLKX2DIS. このビットがセットされている場合、内部主発振器の倍回路は無効になります。デバイス全体の消費電流は約 1mA 減少します。倍クロックが必要でないアプリケーションではこの倍回路をオフにすることを推奨します。

その他の情報は、183 ページの OSC_CR2 レジスタを参照してください。

24.2.6 OSC_CR3 レジスタ

ビット 7 から 0: **VC3 Divider[7:0]**。PSoC デバイスのクロック構造の柔軟性の例として、93.7 kHz の外部クロックで動作するデバイスを考えてみましょう。このクロック値は、5.89 kHz の VC1 クロックネット周波数を達成するために VC1 デバイダで割られます。VC2 デバイダは、別の 16 の要因によって周波数が減少され、VC2 のクロックネット周波数は 366.02 Hz になります。最後に、VC3 デバイダは、VC2 をその入力クロックとして選択して 256 で割り、VC3 のクロックネット周波数は 1.43 Hz になります。

表 24-6. OSC_CR3[7:0] ビット: VC3 Divider の値

ビット	デバイダのソースクロック			
	SYSCCLKX2	SYSCCLK	VC1	VC2
00h	SYSCCLKX2	SYSCCLK	VC1	VC2
01h	SYSCCLKX2 / 2	SYSCCLK / 2	VC1 / 2	VC2 / 2
02h	SYSCCLKX2 / 3	SYSCCLK / 3	VC1 / 3	VC2 / 3
03h	SYSCCLKX2 / 4	SYSCCLK / 4	VC1 / 4	VC2 / 4
...
FCh	SYSCCLKX2 / 253	SYSCCLK / 253	VC1 / 253	VC2 / 253
FDh	SYSCCLKX2 / 254	SYSCCLK / 254	VC1 / 254	VC2 / 254
FEh	SYSCCLKX2 / 255	SYSCCLK / 255	VC1 / 255	VC2 / 255
FFh	SYSCCLKX2 / 256	SYSCCLK / 256	VC1 / 256	VC2 / 256

前述したように、VC3 クロックネットはシステム割り込みを生成することができます。一旦入力クロックと VC3 クロックのデバイダ値が選択されると、割り込みを有効にするために必要な追加ステップは、レジスタ INT_MSK0[7] に VC3 マスクビットをセットすることだけです。一旦 VC3 マスクビットがセットされると、VC3 クロックは、VC3 デバイダのレジスタ値に 1 を加えたものと同じクロック期間ごとに保留割り込みを生成します。つまり、VC3 デバイダのレジスタ値が 05h (6 で分割) の場合、割り込みは VC3 の入力クロックの 6 期間ごとに発生します。デバイダ値が 00h (1 で分割) の場合、割り込みは VC3 の入力クロックの 1 期間ごとに発生します。VC3 マスクビットは、発行された割り込みが保留になるかどうかのみを制御します。VC3 割り込みのイネーブルはないため、VC3 割り込みは常に発行されます。発行と保留に関する詳細は、Interrupt Controller (割り込みコントローラ) の章を参照してください。

その他の情報は、180 ページの [OSC_CR3 レジスタ](#) を参照してください。

24.2.7 OSC_CR4 レジスタ

ビット 7 から 2: 予約。

ビット 1 および 0: **VC3 Input Select [1:0]**。VC3 クロックネットは入力を生成できる唯一のクロックネットです。VC3 は、その入力クロックが設定可能なソースから得られるという点で VC2 にとっても似ています。図 24-1 に示すように、4-1 マルチプレクサは VC3 への入力として使用されるクロックを決定します。マルチプレクサは、48 MHz、24 MHz、VC1、または VC2 のいずれかのクロックを、デバイダへの入力クロックとして使用します。VC3 デバイダの入力クロックの選択は 4-1 マルチプレクサによって行われるので、OSC_CR4[1:0] ビットが変更されたとき、小さなパルスとグリッチが VC3 デバイダに送られます。OSC_CR4[1:0] が変更されたか、グリッチに反応しない場合に、VC3 クロックを使用するブロックが無効になるように注意してください。VC1 や VC2 クロックデバイダとは異なり、VC3 クロックデバイダは 8 ビット幅です。このため、表 24-6 で示されるように、256 の有効なデバイダ値があります。

表 24-7. OSC_CR4[1:0] ビット: VC3

ビット	マルチプレクサの出力
00b	SYSCCLK
01b	VC1
10b	VC2
11b	SYSCCLKX2

VC3 デバイダは 4 つの入力クロックを選択可能ですが、その選択がすべてのデバイス設定用に周波数を固定していない点に注意することは重要です。外部クロックが使用されている場合、24 MHz および 48 MHz の両方のクロックの周波数は非常に異なります。また、マルチプレクサへの VC1 および VC2 入力のデバイダ値についても考慮する必要があります。

その他の情報は、179 ページの [OSC_CR4 レジスタ](#) を参照してください。

25. Multiply Accumulate (MAC) (乗算器および累算器)



本章は、Multiply Accumulate (MAC) (乗算器および累算器) およびその関連レジスタについて説明します。MAC ブロックは、高速な 8 ビットマルチプレクサまたは 32 ビットの累算器を持つ高速な 8 ビットマルチプレクサです。

表 25-1. MAC レジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
0,E8h	MUL_X	Data[7:0]								W : XX
0,E9h	MUL_Y	Data[7:0]								W : XX
0,EAh	MUL_DH	Data[7:0]								R : XX
0,EBh	MUL_DL	Data[7:0]								R : XX
0,ECh	MAC_X/ACC_DR1	Data[7:0]								RW : 00
0,EDh	MAC_Y/ACC_DR0	Data[7:0]								RW : 00
0,EEh	MAC_CL0/ACC_DR3	Data[7:0]								RW : 00
0,EFh	MAC_CL1/ACC_DR2	Data[7:0]								RW : 00

凡例

X: パワーオンリセットが不明な場合の値。

25.1 Architectural Description (アーキテクチャ上の説明)

MAC のアーキテクチャ上の説明を次に示します。

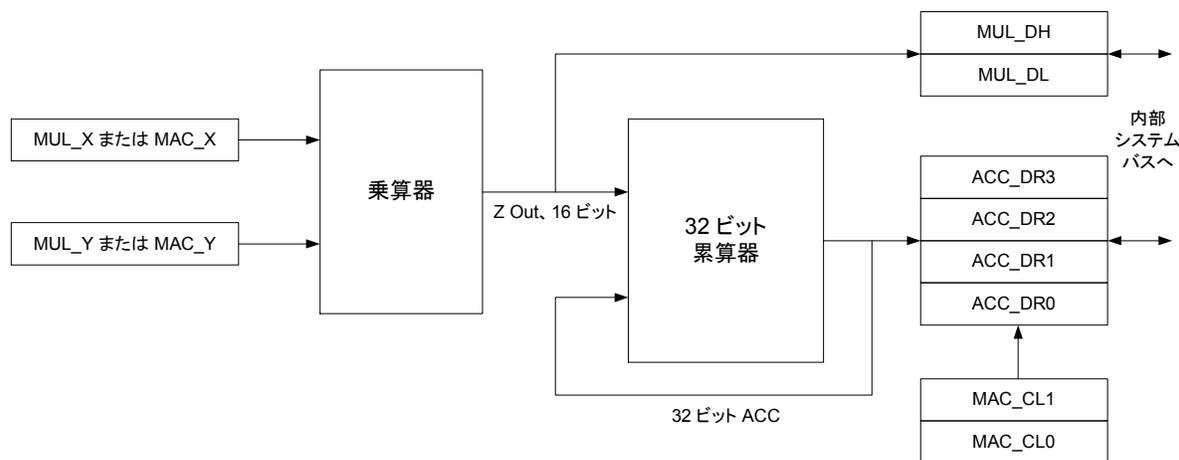


図 25-1. MAC ブロックダイアグラム

25.2 Application Description (アプリケーションの説明)

25.2.1 累算のない乗算

単純な乗算の場合、MAC ブロックは乗算の被乗数として 2 つの 8 ビットの符号付き数字を許容します。乗算の結果は 16 ビットの符号付き形式で格納されます。単純な乗算では、MUL_X、MUL_Y、MUL_DH、および MUL_DL の 4 つのレジスタが使用されます。

乗算を実行するには、MUL_X または MUL_Y レジスタに値を書き込みます。被乗数を書き込むと、直ちに積が MUL_DH および MUL_DL レジスタで利用可能になります。電力供給時のリセットの後、または外部リセットの後、MAC レジスタはゼロにリセットされません。このため、最初の被乗数の書き込みの後、積は不定になります。2 番目の被乗数の書き込みの後、積レジスタは最初の積と 2 番目の被乗数で更新されます (書き込みの 1 つが MUL_X に、別の書き込みが MUL_Y に行われていると仮定した場合)。乗算は結合されるので、X と Y への書き込みの順序は重要ではありません。

要約すると、乗算入力レジスタ MUL_X または MUL_Y のいずれかに値が書き込まれた場合は常に、MUL_X と MUL_Y の積が計算されて MUL_DH と MUL_DL に格納されます。

25.2.2 乗算の後の累算

積の累算は、単純な乗算の上に実装される特徴です。連続した乗算の積を累算するために MAC を使用した場合、2 つの 8 ビットの符号付きの値が入力に使用されます。乗算の積は 32 ビットの符号付きの値として累算されます。

ユーザは、乗算/累算と乗算のみのどちらを利用するか選択することができます。ユーザがどちらの演算を選択するかは、入力レジスタの選択によって決定されます。乗算は MUL_X または MUL_Y 乗算入力レジスタへの書き込みが行われた直後に実行され、結果は MUL_DH および MUL_DL 乗算結果レジスタに格納されます。乗算/累算は MAC_X または MAC_Y 乗算/累算入力レジスタへの書き込みが行われた直後に実行され、結果は ACC_DR3、ACC_DR2、ACC_DR1 および ACC_DR0 累算結果レジスタに格納されます。MUL_X または MAC_X への書き込みは、乗算と乗算/累算の両方への X 値としての入力です。MUL_Y または MAC_Y への書き込みは、乗算と乗算/累算の両方への Y 値としての入力です。MAC_CL0 または MAC_CL1 レジスタへの書き込みは、4 つの累算レジスタの値をクリアします。

累算された積をクリアするには、MAC_CL0 または MAC_CL1 レジスタに書き込みを行ってください。

25.3 Register Definitions (レジスタ定義)

25.3.1 MUL_X レジスタ

乗算 X (MUL_X) レジスタは、PSoC MAC の符号付き 8 ビット乗算器の 2 つの被乗数レジスタのうちの 1 つです。この書き込み専用レジスタへの書き込みが行われると、書き込まれた値と MUL_Y レジスタの現在の値の積が計算されます。

その他の情報は、147 ページの MUL_X レジスタを参照してください。

25.3.2 MUL_Y レジスタ

乗算 Y (MUL_Y) レジスタは、PSoC MAC の符号付き 8 ビット乗算器の 2 つの被乗数レジスタのうちの 1 つです。この書き込み専用レジスタへの書き込みが行われると、書き込まれた値と MUL_Y レジスタの現在の値の積が計算されます。

その他の情報は、148 ページの MUL_Y レジスタを参照してください。

25.3.3 MUL_DH レジスタ

MUL_X と MUL_Y レジスタの乗算の積は、符号付きの 16 ビット値として格納されます。読み取り専用乗算データ High (MUL_DH) レジスタは、16 ビットの積の最上位バイトを保持します。

その他の情報は、149 ページの MUL_DH レジスタを参照してください。

25.3.4 MUL_DL レジスタ

MUL_X と MUL_Y レジスタの乗算の積は、符号付きの 16 ビット値として格納されます。読み取り専用乗算データ Low (MUL_DL) レジスタは、16 ビットの積の最下位バイトを保持します。

その他の情報は、150 ページの MUL_DL レジスタを参照してください。

25.3.5 MAC_X/ACC_DR1

このレジスタは、2 つの別々の機能を実行するため、2 つの名前が同じアドレスを参照するために使用されます。アドレスが書き込まれると、累算付きの乗算が実行されます。乗算累算 X (MAC_X) レジスタは、累算付きの符号付き 8 ビット乗算器の 2 つの被乗数レジスタのうちの 1 つです。このレジスタへの書き込みが行われると、書き込まれた値と MAC_Y レジスタの現在の値の積が計算され、その積が 32 ビットの累算器の値に追加されます。このアドレスが読み取られた場合、累算器のデータレジスタ 1 が読み取られます。このレジスタは、累算器の値を保持するために使用される 4 つのバイトの 2 番目のバイトを保持します。このバイトは、累算器の値の下位 16 ビットの最上位バイトです。

その他の情報は、151 ページの [MAC_X/ACC_DR1 レジスタ](#) を参照してください。

25.3.6 MAC_Y/ACC_DR0

このレジスタは、2 つの別々の機能を実行するため、2 つの名前が同じアドレスを参照するために使用されます。アドレスが書き込まれると、累算付きの乗算が実行されます。乗算累算 Y (MAC_Y) レジスタは、累算付きの符号付き 8 ビット乗算器の 2 つの被乗数レジスタのうちの 1 つです。このレジスタへの書き込みが行われると、書き込まれた値と MAC_X レジスタの現在の値の積が計算され、その積が 32 ビットの累算器の値に追加されます。このアドレスが読み取られた場合、累算器のデータレジスタ 0 が読み取られます。このレジスタは、累算器の値を保持するために使用される 4 つのバイトの最下位のバイトを保持します。

その他の情報は、152 ページの [MAC_Y/ACC_DR0 レジスタ](#) を参照してください。

25.3.7 MAC_CL0/ACC_DR3

このレジスタは、2 つの別々の機能を実行するため、2 つの名前が同じアドレスを参照するために使用されます。アドレスに何らかの値が書き込まれると、累算器の 32 ビットすべてがゼロにリセットされます。このアドレスが読み取られた場合、累算器のデータレジスタ 3 が読み取られます。このレジスタは、累算器の値を保持するために使用される 4 つのバイトの最上位のバイトを保持します。

その他の情報は、153 ページの [MAC_CL0/ACC_DR3 レジスタ](#) を参照してください。

25.3.8 MAC_CL1/ACC_DR2

このレジスタは、2 つの別々の機能を実行するため、2 つの名前が同じアドレスを参照するために使用されます。アドレスに何らかの値が書き込まれると、累算器の 32 ビットすべてがゼロにリセットされます。このアドレスが読み取られた場合、累算器のデータレジスタ 2 が読み取られます。このレジスタは、累算器の値を保持するために使用される 4 つのバイトの 3 番目のバイトを保持します。このバイトは、累算器の値の上位 16 ビットの最下位バイトです。

その他の情報は、154 ページの [MAC_CL1/ACC_DR2 レジスタ](#) を参照してください。

26. Decimator (デシメータ)



本章は、PSoC Decimator (デシメータ) およびその関連レジスタについて簡単に説明します。これは、PSoC デバイスで利用可能なクロックオプションの概要となります。デシメータブロックは、デジタル信号処理アプリケーションのハードウェア補助回路です。デシメータは、シグマ-デルタ AD コンバータおよびインクリメンタル AD コンバータに使用されます。

表 26-1. デシメータレジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
0,E4h	DEC_DH	Data High Byte[7:0]								RC : XX
0,E5h	DEC_DL	Data Low Byte[7:0]								RC : XX
0,E6h	DEC_CR0	IGEN[3:0]				ICLKS0	DCOL[1:0]		DCLKS0	RW : 00
0,E7h	DEC_CR1	ECNT	IDEC				ICLKS1	DCLKS1		RW : 00

凡例

C: Clearable レジスタまたはビット。

X: パワーオンリセットが不明な場合の値。

デシメータは、ブロックのデータ入力ピンに適用される離散時間および離散振幅信号の単積分または重積分のいずれかを行います。積分値は最大 16 ビット長で、レジスタインターフェイス経由で読み取りまたはクリアされます。

デシメータへのデータ入力は 1 ビットのみなので、入力信号の振幅は次の 2 つの値のいずれかです:

エンコーディング	ウェイト
0	-1
1	+1

入力信号は離散時間なので、各エンコーディングのウェイトは、その瞬間に信号がある領域に類似しています。したがって、信号を積分するには、ウェイトの合計を時間の期間で計算する必要があります。デシメータが単積分として設定された場合がまさにこれにあたります。入力クロックの各期間で、現在の領域 (積分値) は 1 増加 (ウェイト = +1、エンコーディング = 1) するか 1 減少 (ウェイト = -1、エンコーディング = 0) します。

26.1 Register Definitions (レジスタ定義)

26.1.1 DEC_DH レジスタ

デシメータデータ High レジスタ (DEC_DH) は、2 つの目的があるレジスタです。レジスタが読み取られたとき、16 ビットデシメータ値の最上位バイトが返されます。デシメータの設定に応じて、この値は 2 番目の積分の結果、または 16 ビットカウンタの上位バイトのいずれかになります。DEC_DH レジスタの 2 つ目の関数は、レジスタが書

き込まれると常にアクティベートされます。この関数は、デシメータの値をクリアします。DEC_DH レジスタが書き込まれると、デシメータの値は、書き込まれている値に関係なくクリアされます。DEC_DH または DEC_DL レジスタのいずれかがデシメータの値をクリアするために書き込まれます。このレジスタは 00h にリセットされない点に注意してください。DEC_DH レジスタは、不定値にリセットされます。

その他の情報は、143 ページの DEC_DH レジスタを参照してください。

26.1.2 DEC_DL レジスタ

デシメータデータ Low レジスタ (DEC_DL) は、2 つの目的があるレジスタです。レジスタが読み取られたとき、16 ビットデシメータ値の最下位バイトが返されます。デシメータの設定に応じて、この値は 2 番目の積分の結果、または 16 ビットカウンタの下位バイトのいずれかになります。DEC_DL レジスタの 2 つ目の関数は、レジスタが書き込まれると常にアクティベートされます。この関数は、デシメータの値をクリアします。DEC_DL レジスタが書き込まれると、デシメータの値は、書き込まれている値に関係なくクリアされます。DEC_DH または DEC_DL レジスタのいずれかがデシメータの値をクリアするために書き込まれます。このレジスタは 00h にリセットされない点に注意してください。DEC_DL レジスタは、不定値にリセットされます。

その他の情報は、144 ページの DEC_DL レジスタを参照してください。

26.1.3 DEC_CR0 レジスタ

このレジスタは、インクリメンタル ADC および DELSIG ADC の両方のハードウェアサポートにアクセスするコントロールビットを含んでいます。インクリメンタルサポート用の上位 4 ビット、IGEN[3:0] は、デジタルブロックの出力によってゲートされるカラム比較器ビットを選択します。そのデジタルブロックの出力は、一般的には PWM 信号で、ADC 変換区間に相当します。これは、比較器出力が正確な変換時間にのみ処理されることを保証します。ゲート機能用に選択されたデジタルブロックは、このレジスタの ICLKS0 ビット、および DEC_CR1 の ICLKS1 ビットによって制御されます。チップリソースに応じて、16 のデジタルブロックのうち 1 つが選択されます。

DELSIG ADC は比較器信号でポスト処理演算の一部を行うためにハードウェアデシメータを使用します。DCOL[1:0] は、デシメータデータ (比較器ビット) およびクロック入力 (PHI クロック) のカラムソースを選択します。

さらに、デシメータには CPU によって続けて読み取られる出力レジスタに現在のデシメータ値をサンプリングするタイマ信号が必要です。このタイマ区間は、DELSIG 変換時間の機能になるようにセットされ、ビット DCLKS0 および DEC_CR1 の DCLKS1 で (チップリソースに応じて) 16 のデジタルブロックから 1 つ選択されます。

その他の情報は、145 ページの [DEC_CR0 レジスタ](#) を参照してください。

26.1.4 DEC_CR1 レジスタ

ビット 7: ECNT。 ECNT ビットは、デシメータハードウェアブロックの操作を制御するモードビットです。デフォルトでは、デシメータはハードウェア DELSIG 処理で使用される重積分関数に設定されます。ECNT ビットがセットされている場合、デシメータブロックは単積分関数に変換されます。これは、インクリメンタル ADC 関数のハードウェアサポートで使用される 16 ビットカウンタに相当します。

ビット 6: IDEC。 デシメータを使用する関数は、現在のデシメータ値をサンプリングするデジタルブロックタイマが必要です。通常、この信号の正のエッジがサンプリングされるデシメータ出力になります。しかし、IDEC ビットがセットされている場合、選択されたデジタルブロック入力の立ち下がりがエッジがサンプリングされるデシメータ値になります。

ビット 5 および 4: 予約。

ビット 3: ICLKS1。 このレジスタの ICLKS1 ビットはインクリメンタルおよび DELSIGN ADC ハードウェアサポート用のデジタルブロックソースを選択します (DEC_CR0 レジスタを参照)。

ビット 2 および 1: 予約。

ビット 0: DCLKS1。 このレジスタの DCLKS1 ビットはインクリメンタルおよび DELSIGN ADC ハードウェアサポート用のデジタルブロックソースを選択します (DEC_CR0 レジスタを参照)。

その他の情報は、146 ページの [DEC_CR1 レジスタ](#) を参照してください。

本章は、I2C ブロックおよびその関連レジスタについて説明します。I2C 通信ブロックは、完全な I2C スレーブ/マスターを実装するようにデザインされたシリアルプロセッサです。

表 27-1. I2C レジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
0,D6h	I2C_CFG		PSelect	Bus Error IE	Stop IE	Clccl Rate		Enable Master	Enable Slave	RW : 00
0,D7h	I2C_SCR	Bus Error	Lost Arb	Stop Status	ACK	Address	Transmit	LRB	Byte Complete	R : 00
0,D8h	I2C_DR	Data[7:0]								RW : 00
0,D9h	I2C_MSCR					Bus Busy	Master Mode	Restart Gen	Start Gen	R : 00

I2C 通信ブロックは、2 線式の I2C シリアル通信バスに接続するように設計されたシリアルからパラレルへのプロセッサです。ブロックは、過度のホストプロセッサの介入とオーバーヘッドの必要性を除去するために、フレーミングビットのステータス検出と生成用に I2C の特定のサポートを提供します。

I2C ブロックは、2 つの専用 GPIO ピンを通じて、直接外部の I2C インターフェイスへのデータ (SDA) およびクロック (SCL) 信号を制御します。ホストファームウェアは IO レジスタの読み書きによりブロックと対話し、ポーリングおよび割り込みによってファームウェア同期が実装されます。

次の機能が必要です:

- マスター/スレーブ、トランスミッタ/レシーバ操作
- CPU オーバーヘッドを減らすためのバイト処理
- 割り込みまたはポーリング CPU インターフェイス
- マスタークロックレート: 50K, 100K, 400K
- マルチマスタークロック同期
- マルチマスターモードアービトラーションのサポート
- 7 ビットまたは 10 ビットアドレッシング (ファームウェアのサポートによる)
- SMBus 操作 (ファームウェアのサポートによる)

ハードウェア機能により、基本的な I2C 制御、データ、およびステータスプリミティブを提供します。ハードウェアサポートとファームウェアのコマンドシーケンス処理の組み合わせにより、必要な I2C 機能を実装するための高度な柔軟性を提供します。

ハードウェアの制限:

1. 自動アドレス比較のハードウェアサポートはありません。スレーブモードが有効な場合、各スレーブアドレスはホストへの割り込みをブロックしてバスをストールさせます。
2. 受信または送信データはバッファされないため、自動受信確認のサポートはありません。ホストプロセッサは各バイトの境界で、バイトまたは ACK 受信バイトのいずれかを送信します。

27.1 Architectural Description (アーキテクチャ上の説明)

I2C ブロックはプリミティブな操作のセットをサポートし、I2C プロトコル特有のステータス条件のセットを検出するように設計されています。これらのプリミティブな操作と条件は、必要なデータ転送モードをサポートするようにファームウェアレベルで組み合わせられます。ホストは制御オプションをセットアップして、IO 書き込みによりユニットへコマンドを発行し、IO 読み取りおよび割り込みによってステータスを取得します。

ブロックは、スレーブ、マスター、またはその両方のいずれかを操作します。ユニットがスレーブモードで有効な場合、常にスタート条件を待つか、データを送受信します。マスターモードはスレーブモードとともに動作することができます。マスターモードは、スタートまたはストップ条件を生成して、他のマスターがバス上にあるかどうかを決定することができます。マルチマスターモードでは、クロック同期がサポートされます。マスターモードが有効でス

レーブモードが有効でない場合、ブロックは外部的に生成されたスタート条件による割り込みは生成しません。

27.1.1 基本的な I2C のデータ転送

図 27-1 に、7 ビットアドレス形式の I2C バスにおけるデータ転送の基本的な形式を示します。(より詳細な記述に関しては、Phillips Semiconductor の I2C 仕様、バージョン 2.1 を参照してください)。

(「マスター」によって生成された) スタート条件は、7 ビットのスレーブアドレス (10 ビットアドレスモードもあります) と R/W ビットからなる、データバイトに続きます。R/W ビットは、データ転送の向きを設定します。アドレスされたスレーブは、データラインを 9 番目のビット時間の間 low にすることで ACK を要求されます。ACK が受信された場合、転送が行われ、マスターは R/W の向きに依存して、不定数のバイトを送信または受信することができます。スレーブが ACK に応答しない場合、マスターによって転送を終了するストップ条件または再試行を行うリスタート条件が生成されます。

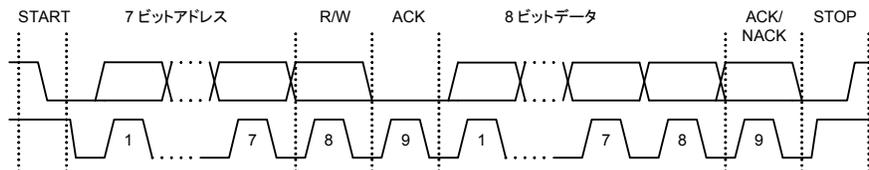


図 27-1. 基本的な I2C データ転送 (7 ビットアドレス形式)

27.2 Application Description (アプリケーションの説明)

27.2.1 スレーブ操作

スレーブモードが有効な場合、バス上では常にスタート条件を待っています。スタート条件が検出されると、送信アドレス/R/W バイトがファームウェアによってユニットから受信され読み取られます。アドレスの 8 ビットが受信されたポイントで、バイトの完全な割り込みが生成されます。クロックの次の low で、ホストがアドレスバイトを読み取り、自身のアドレスと比較する機会が得られるまで、SCL ラ

インが低く保持されバスはストールされます。その後、比較に基づいて ACK または NACK コマンドが発行されま

ず。
アドレス一致がある場合、図 27-2 の 2 つの分岐で示されるように、R/W ビットはスレーブモードでデータ転送をどのような順で行うかを決定します。I2C のハンドシェイク方法 (スレーブが SCL ラインを low にしてバスをストールする) は、ホストにバス上のイベントや条件に応答する時間を与えるために、必要に応じて使用されます。図 27-2 は、スレーブ側から見た典型的なデータ転送をグラフで表したものです。

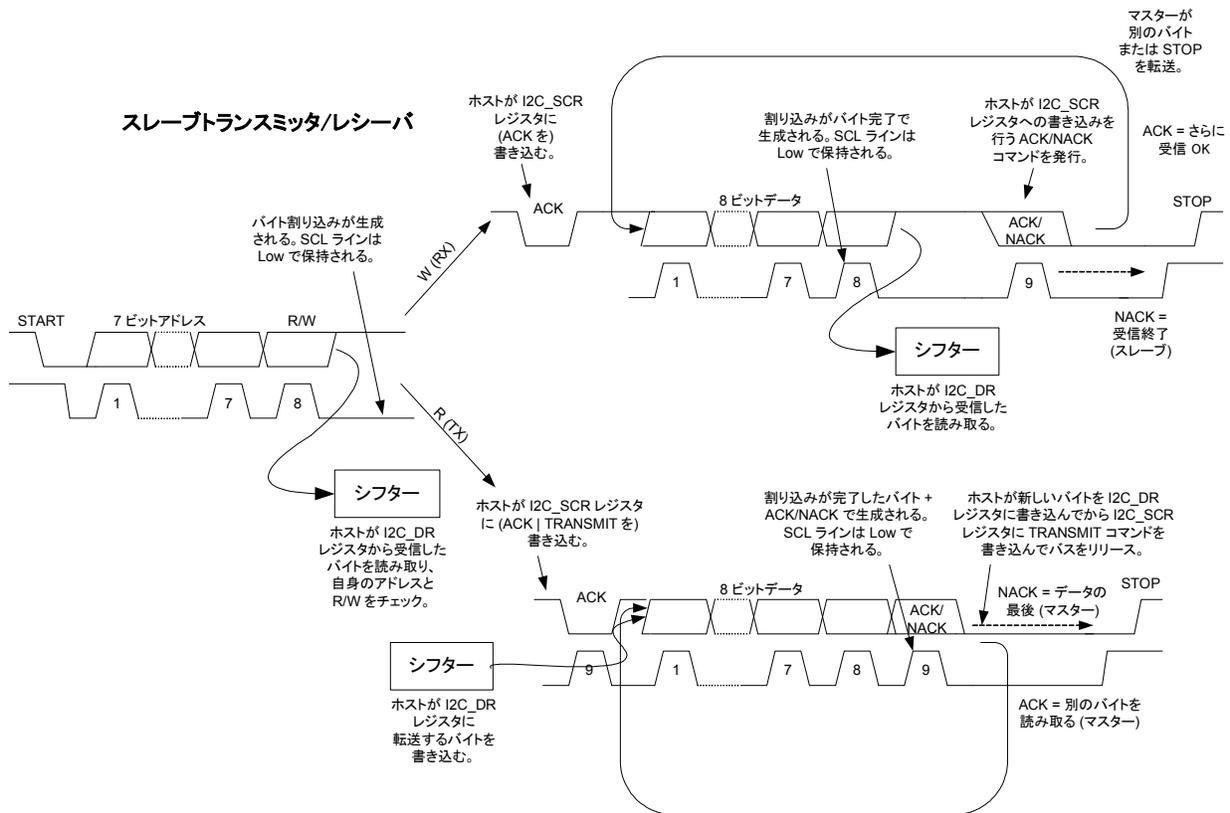


図 27-2. スレーブ操作

27.2.2 マスター操作

マスターモードの処理を準備するために、ホストはバスがフリーかどうかを決定しなければなりません。これは、BusBusy ステータスをポーリングして行われます。バスがビジーの場合、ストップ条件を検出するために割り込みが有効にされます。バスが利用可能になったら、ファームウェアは I2C_DR レジスタにアドレスバイトを書き込み、I2C_MSCR レジスタの Start Gen ビットをセットすべきです。

スレーブサブユニットが有効でない場合、ブロックはマスターオンリーモードになります。このモードでは、ユニットは外部的に生成されたスタート条件による割り込みの生成およびバスのストールを行いません。

マルチマスター環境では、次の 2 つが発生する可能性があります：

1. ホストが遅すぎたためにマスターとしてバスを保存することができず、別のマスターがスタートを生成して、Address/R/W バイトを送信する。この場合、マスターとしてのユニットはスタートの生成に失敗し、スレーブ

モードにされます。スタートは保留され、バスがフリーになる場合に後で生成されます。割り込みがスレーブモードで発生する場合、ホストは I2C_MSCR レジスタのスタートビット（このユニットからのスタートがマスターとして成功した場合にセットされます）を読み取ることで、スタートコマンドに失敗したかどうかを調べることができます。このビットがスタート/アドレス割り込み時に '1' であれば、それはユニットがスレーブモードで動作していることを意味します。この場合、データレジスタにはマスターのアドレスデータが含まれます。

2. 別のマスターがこのユニットとして同時に送信を開始すると、アービトレーションが発生します。このユニットがアービトレーションを失うと、LostArb ステータスビットがセットされます。この場合、ブロックはバスをリリースしてスレーブ操作に切り替えます。Start/Address 割り込みが発生した場合、データレジスタには残ったマスターのアドレスデータが含まれます。

図 27-3 は、マスター側から見た典型的なデータ転送をグラフで表したものです。

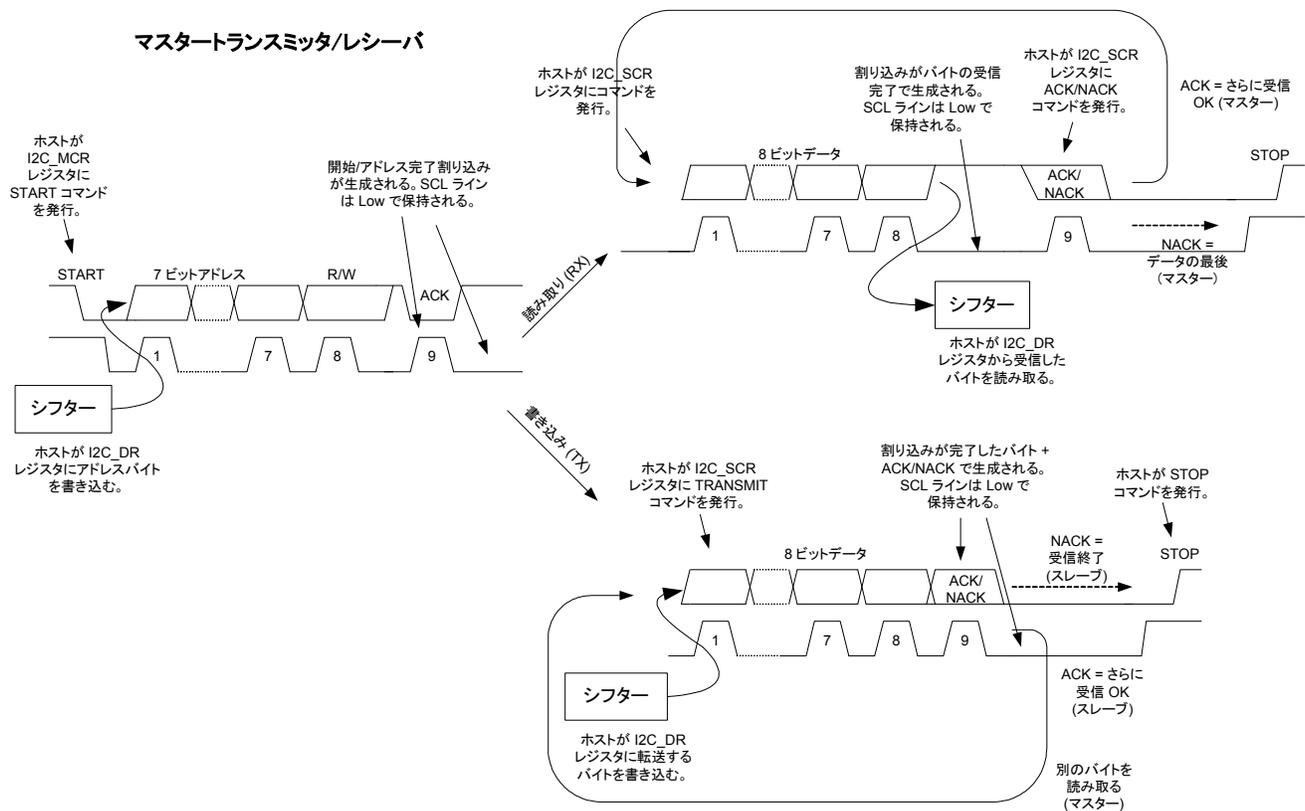


図 27-3. マスター操作

27.3 Register Definitions (レジスタ定義)

I2C ブロックには、User IO スペースにある 4 つのレジスタが含まれています: 設定レジスタ (I2C_CFG)、ステータスおよびコントロールレジスタ (I2C_SCR)、マスターステータスおよびコントロールレジスタ (I2C_MSCR)、データレジスタ (I2C_DR)。

設定レジスタは、基本操作モード、ポーレートの設定、および割り込みの選択に使用されます。ステータスおよびコントロールレジスタは、データバイトのフローを制御して転送中のバス状態を追跡するためにマスターとスレーブの両方で使用されます。データおよびアドレスバイトはデータレジスタに書き込みおよびデータレジスタから読み取りされます。マスターステータスおよびコントロールレジスタは、I2C フレーミング制御を実装してバスビジーステータスを提供します。

27.3.1 I2C_CFG レジスタ

このレジスタは I2C 設定レジスタで、マスターおよびスレーブモード操作両方の設定ビットを含んでいます。これらのビットは、ポーレート選択およびオプションの割り込みを制御します。これらの値は一般的に設定につき 1 回設定されます。このレジスタ中のビットはすべて RW です。

表 27-2. I2C_CFG 設定レジスタ

ビット	アクセス	説明	モード
0	R/W	Enable Slave '0' = 無効 '1' = 有効	マスター/ スレーブ
1	R/W	Enable Master '0' = 無効 '1' = 有効	マスター/ スレーブ
3:2	R/W	Clock Rate 00 = 100K, Standard モード 01 = 400K Fast モード 10 = 50K Standard モード 11 = 予約	マスター/ スレーブ
4	R/W	Stop IE ストップ割り込みイネーブル。 0 = 無効。 1 = 有効。割り込みはストップ条件の検出時に生成されます。	マスターの み
5	R/W	Bus Error IE ストップ割り込みイネーブル。 0 = 無効。 1 = 有効。割り込みはバスエラーの検出時に生成されます。	マスター/ スレーブ
6	R/W	I2C Pin Select 0 = P1[7], P1[5] 1 = P1[1], P1[0]	マスター/ スレーブ

ビット 7: 予約。

ビット 6: PSelect. デフォルト値 (0) では、I2C のピンはクロックが P1[7] でデータが P1[5] です。このビットが

セットされている場合、I2C のピンはクロックが P1[1] でデータが P1[0] になります。このビットは、Enable Master または Enable Slave ビットのいずれかがセットされている間は変更されません。しかし、PSelect ビットがイネーブルビットとして同時にセットされます。I2C が使用する 2 つのピンのセットは等価ではありません。通常は、デフォルトセット、P1[7] および P1[5] を使用してください。代用セット、P1[1] および P1[0] は、8 ピンの PSoC パーツで使用するために提供されています。

インシステムシリアルプログラミング (ISSP) が使用され、代用 I2C ピンセットが使用された場合、PSoC テストコントローラと I2C バス間の相互作用について考慮する必要があります。ISSP のインターフェイス要件は、それを満たすようにあらかじめ調査すべきです。

ISSP が使用されない場合でも、ピン P1[1] と P1[0] は他の IO ピンと異なり POR または XRES イベントにตอบสนองします。XRES イベントの後、両方のピンはしばらくの間抵抗性 0 状態になり、最後に High-Z 駆動モード状態になります。POR イベントの後、P1[0] は 1 でなくなり、しばらくの間抵抗性 0 状態になり、最後に High-Z 駆動モード状態になります。POR イベントの後、P1[1] はしばらくの間抵抗性 0 状態になり、最後に High-Z 駆動モード状態になります。

代用 I2C ピンを選択した場合のもう 1 つの問題は、これらのピンは水晶のピンであるということです。このため、代用 I2C ピンが選択されていると、水晶は使用されません。

ビット 5: Bus Error IE (バスエラー割り込みイネーブル). このビットは、バスエラーの検出が割り込みを生成するかどうかを制御します。バスエラーは一般的には位置の違うスタートまたはストップ条件により発生します。定義については、Bus Error ステータスビットの説明を参照してください。

これはマスター操作を考慮する場合に重要な割り込みです。I2C バスでスタートまたはストップを間違えた場合、すべてのスレーブデバイス (このデバイスを含まず、スレーブモードが有効な場合) はバスインターフェイスをリセットしてこの信号に同期します。しかし、ハードウェアがマスターモード操作でバスエラーを検出した場合、デバイスはバスをリリースしてアイドル状態に移行します。この場合、進行中のマスター操作はそれ以上のステータスや関連する割り込みを持たないため、マスターはその処理のステータスを決定することができません。即時のバスエラー割り込みは、この転送が成功しなかったとマスターに通知します。

ビット 4: Stop IE (ストップ割り込みイネーブル). このビットがセットされている場合、マスターまたはスレーブはストップを検出したときに割り込みを行うことができます。この割り込みと関連するステータスビットは、スレーブステータスおよび制御レジスタの Stop Status ビットです。Stop Status ビットが '0' から '1' に変わると、割り込みが生成されます。Stop Status ビットは自動的にクリアされない点に注意することは重要です。つまり、ビットが既にセットされている場合、ビットがファームウェアによってクリアされ、次のストップ条件が生成されるまで新しい割り込みは生成されません。

ビット 3 および 2: Clock Rate. Clock Rate ビットで、4 つのサンプリングおよびビットレートを選択することができます。すべてのブロッククロックは、理論値 24 MHz の SYSCLK 入力に基づいています。サンプリングレートとボーレートは次のように決定されます:

- サンプリングレート = SYSCLK/Pre-scale 要因
- ボーレート = 1/(サンプリングレート X ビットあたりのサンプル数)

内部 24 MHz 発振器を使用した場合の理論値を図 27-3 に示します。

表 27-3. I2C クロックレート

Clock Rate [1:0]	I2C モード	SYSCLK Pre-scale 要因	ビットあたりのサンプル数	内部サンプリング周波数/期間 (24 MHz)	マスターボーレート (理論値)	スタート/ストップ保持時間 (8 クロック)
00b	Standard	/16	16	1.5 MHz/667 ns	93.75 kHz	5.3 us
01b	Fast	/4	16	6 MHz/167 ns	375 kHz	1.33 us
10b	Standard	/16	32	1.5 MHz/667 ns	46.8 kHz	10.7 us
11b	予約					

ビット 1: Enable Master. このビットがセットされている場合、マスターステータスおよびコントロールレジスタは (リセット状態でない限り) 有効で I2C 転送はマスターモードで開始することができます。マスターが有効で動作中の場合、ブロックは、クロックレートレジスタで定義された 4 つのボーレートのうちの 1 つで I2C バスを計測します。マスターモードで動作中、ハードウェアはマルチマスター可能で、クロック同期とアービトレーションの両方を実装します。Slave Enable ビットがセットされていない場合、ブロックはマスターオンリーモードで動作します。すべての外部スタート条件は無視されます (この場合でも Bus Busy ステータスビットはバスのアクティビティを追跡します)。ブロックイネーブルは SYSCLK クロック入力に同期されます (詳細は 294 ページの "Timing Diagrams (タイミングダイアグラム)" を参照してください)。

ビット 0: Enable Slave. スレーブが有効な場合、ブロックは任意のスタート条件のもとで割り込みおよび I2C 転送の始まりを示す受信バイトを生成します。スレーブとして動作している場合、ブロックは外部マスターから計測されるので、現在選択しているクロックレートで定義されている最大までの任意の周波数で動作します。内部クロックは、データ出力から次のクロックまでの適切なセットアップ時間がスレーブストールのリリースにあることを保証するために、スレーブモードでのみ使用されます。Enable Slave と Enable Master ビットが両方も '0' の場合、ブロックはリセットで保持され、すべてのステータスはクリアされます。Master/Slave Enable ビット間の相互作用については、図 27-4 を参照してください。ブロックイネーブルは SYSCLK クロック入力に同期されます (詳細は 294 ページの "Timing Diagrams (タイミングダイアグラム)" を参照してください)。

その他の情報は、129 ページの I2C_CFG レジスタを参照してください。

入力周波数が 24 MHz 以外のクロック (例えば、外部クロックを持つ PSoC チップのクロック) の場合、ボーレートとサンプリングレートはそのクロックに応じて変更されます。ブロックが Standard モードで動作するか Fast モードで動作するかはサンプリングレートに依存します。サンプリングレートは、スタートおよびストップ条件のようなバリエーションを解決できるものでなければなりません。(最小のスタートおよびストップ保持時間に関しては、Phillips Semiconductor の I2C 仕様、バージョン 2.1 を参照してください)。

表 27-4. Enable Master/Slave ブロック操作

Enable Master	Enable Slave	ブロック操作
いいえ	いいえ	無効: ブロックは GPIO ピン P1_5 および P1_7 から分離されます (ピンは汎用 IO として使用されず)。マスターまたはスレーブのいずれかが有効な場合、GPIO ピンは I2C ハードウェアの制御下にあり利用できません。 すべての内部レジスタ (I2C_CFG を除く) はリセットで保持されます。
いいえ	はい	スレーブオンリーモード: 任意の外部スタート条件により、ブロックはアドレスバイトの受信を開始します。現在の状態に関係なく、任意のスタートはインターフェイスをリセットし、受信処理を開始します。任意のストップ条件により、ブロックはアイドル状態に戻ります。 I2C_MSCR レジスタはリセットで保持されます。
はい	いいえ	マスターオンリーモード: このモードでは、外部 Start 条件は無視されます。外部トラフィック上の No Byte Complete 割り込みは生成されますが、Bus Busy ステータスビットはスタートおよびストップステータスをキャプチャし続けるため、バスが利用可能かどうかを決定するためにマスターによってポーリングされます。 クロック同期とアービトレーションを含め、すべてのマルチマスター機能が有効になります。 ブロックは Clock Rate (クロックレート) レジスタの設定に基づいてクロックを生成します。
はい	はい	マスター/スレーブモード: このモードでは、マスターとスレーブの両方の操作が行われます。ブロックはスレーブとしてアドレスされますが、ファームウェアはマスターモード転送も開始します。 この設定でマスターがアドレスバイト中でアービトレーションを失うと、ハードウェアはスレーブモードにされて受信バイトがスレーブアドレス割り込みを生成します。

27.3.2 I2C_SCR レジスタ

このレジスタは I2C ステータスおよびコントロールレジスタで、マスターおよびスレーブの両方のデータ転送を制御するために使用されます。このレジスタには、現在の I2C 転送の状態を決定するためのステータスビット、および次のバイト転送のアクションを決定するコントロールビットが含まれています。各バイト転送の最後に、I2C ハードウェアはホストプロセッサへの割り込みを行い、ホストが次のコマンドで介入するまで、クロックの後に続く最低値でバスをストールします。このレジスタは必要に応じて読み取ることができますが、次の書き込みでバスのストールはリリースされ、転送が再開されます。

Byte Complete、LRB、Address、Stop Status、Lost Arb、および Bus Error の 6 つのステータスビットがあります。これらのビットは R/C アクセスで、ハードウェアによってセットされますが、ビット位置に '0' を書き込むことでクリアされます。特定の条件下では、ステータスはハードウェアによって自動的にクリアされます。詳細は、表 27-5 を参照してください。

Transmit および ACK の 2 つのコントロールビットがあります。これらのビットは R/W アクセスです。これらのビットは、ハードウェアによってクリアされることもあります。

表 27-5. I2C_SCR ステータスおよびコントロールレジスタ

ビット	アクセス	説明	モード
0	R/C	Byte Complete 送信モード: 1 = データの 8 ビットが送信され、ACK または NACK が受信されました。 受信モード: 1 = データの 8 ビットが受信されました。 スタートが検出された場合、このビットは自動的にクリアされます。	マスター / スレーブ
1	R/C	LRB 最後の受信ビット。レシーバからの肯定応答ビットである、送信シーケンスの 9 番目のビットの値。 0 = 最後の送信バイトはレシーバによって肯定応答 (ACK) されました。 1 = 最後の送信バイトはレシーバによって否定応答 (NACK) されました。 スタートが検出された場合、このビットは自動的にクリアされます。	マスター / スレーブ
2	R/W	送信 0 = 受信モード。 1 = 送信モード。 このビットは、バイト転送の向きを定義するためファームウェアによってセットされます。 スタートが検出された場合、このビットは自動的にクリアされます。	マスター / スレーブ
3	R/C	アドレス 1 = 送信または受信バイトはアドレスです。 このステータスビットは、ビット位置に '0' を書き込むことによりファームウェアによってクリアされなければなりません。	マスター / スレーブ

表 27-5. I2C_SCR ステータスおよびコントロールレジスタ (続き)

ビット	アクセス	説明	モード
4	R/W	ACK Acknowledge Out 0 = 最後の受信バイトを否定応答 (NACK) します。 1 = 最後の受信バイトを肯定応答 (ACK) します。 このビットは、次の Byte Complete イベント時にハードウェアによって自動的にクリアされます。	マスター / スレーブ
5	R/C	Stop Status 1 = ストップ条件が検出されました。 このステータスビットは、ビット位置に '0' を書き込むことによりファームウェアによってクリアされなければなりません。ハードウェアによってクリアされることはありません。	マスター / スレーブ
6	R/C	Lost Arb 1 = アービトレーション機能が失われました。 このビットはアービトレーション機能が失われると直ちにセットされます。しかし、割り込みは発生させません。このステータスは次の Byte Complete 割り込みの後にチェックされます。 スタートが検出された場合、このビットは自動的にクリアされます。	マスターのみ
7	R/C	Bus Error 1 = 位置の違うスタートまたはストップ条件が検出されました。 このステータスビットは、ビット位置に '0' を書き込むことによりファームウェアによってクリアされなければなりません。ハードウェアによってクリアされることはありません。	マスターのみ

ビット 7: バスエラー。 Bus Error ステータスはバス上で位置の違うスタートまたはストップ条件を検出します。これらは、ノイズ、悪いデバイス、または I2C バストラフィックとまだ同期されていない他のデバイスです。以前に示された I2C 仕様によれば、すべての互換デバイスはスタートまたはストップを受信したときにデバイスのインターフェイスをリセットしなければなりません。これは、スタートによりアドレス受信が開始されストップによりスレーブにアイドルするスレーブモードではごく自然なことです。マスターモードでは、このイベントはマスターがバスをリリースしてアイドル状態になるようにします。しかし、マスターは外部のスタートやストップ条件には応答しないので、このイベントの即時割り込みにより、マスターはバスの状態を追跡しつづけることができます。

バスエラーは次のように定義されます。スタートはブロックがアイドル (マスターまたはスレーブ) またはスレーブレシーバが ACK の後の新しいバイトの最初のビットを受信する準備ができていない場合にのみ有効です。他のタイミングのスタート条件では、Bus Error ビットがセットされません。ストップはブロックがアイドルまたはスレーブレシーバが ACK の後の新しいバイトの最初のビットを受信する準備ができていない場合にのみ有効です。他のタイミングのストップ条件では、Bus Error ビットがセットされます。

ビット 6: Lost Arb. このビットは、マスターモード転送中に I2C バスの競合が検出された場合にセットされます。競合はマスターが SDA 出力ラインに '1' を書き込んでいる場合に指定されたサンプリングポイントで SDA 入力ラインから '0' が読み取られた場合に発生します。競合が発生すると、ブロックは直ちに SDA をリリースしますが、現在のバイトの最後へのクロックは続行します。バイト割り込みの結果により、ファームウェアは別のマスターへのアービトレーションが失われたかどうかを決定することができます。

シーケンスの発生はマスタートランスミッタとマスターレシーバ間で異なります。トランスミッタの場合、競合はデータビット上で発生します。次の Byte Complete 割り込みで、Lost Arbitration ステータスがセットされます。レシーバの場合、競合は ACK ビット上で発生します。最後の受信を NACK したマスターはアービトレーションを失います。しかし、ハードウェアは競合で残ったマスターの ACK に応じて次のバイトでシフトを行うため、次の Byte Complete 割り込みが発生します。この時点で、競合で残らなかったマスターが Lost Arbitration ステータスを読み取ることができます。競合は、8 つのデータビットサンプリングポイントおよび 1 つの ACK ビットサンプリングポイントでのみチェックされます。

ビット 5: Stop Status. このビットは、I2C ストップ条件の検出時にセットされます。このビットは、ファームウェアによって '0' に戻されるまでセットされたまま残ります。このビットは Byte Complete ステータスがセットされた場合にのみクリアされます。Stop Interrupt Enable ビットがセットされている場合、割り込みはストップ検出時にも生成されます。決して自動的にクリアされることはありません。

このビットを使用すると、スレーブは与えられたアドレスバイト割り込みで前のストップとリスタートを識別することができます。マスターモードでは、このビットは Stop IE ビットと組み合わせて使用され、バスがフリーの場合に割り込みを生成します。しかし、この場合、ビットは割り込みを行うために、ストップの受信よりも前にクリアされていなければなりません。

ビット 4: ACK. このコントロールビットは受信バイトに応じて送信される ACK データビットを定義します。受信するとき、Byte Complete 割り込みは 8 番目のデータビットが受信された後に生成されます。転送を続行 (または終了) するこのレジスタへの次の書き込みにおいて、このビットの状態が送信されるデータの次のビットを決定します。これはアクティブハイです。'1' は ACK を送信し、'0' は NACK を送信します。

マスターレシーバは、このビットに '0' (NACK) を書き込むことにより、通常転送を終了します。バスがリリースされ、ストップ条件が自動的に生成されます。スレーブレシーバも、これ以上バイトを受信できないことをマスターに知らせるために NACK を送信します。

ビット 3: Address. このビットは、アドレスが受信された場合にセットされます。スタートまたはリスタート とアドレスバイトからなります。このビットは、マスターとスレーブの両方に適用されます。

スレーブモードでは、このステータスがセットされている場合、ファームウェアはデータレジスタから受信アドレスを読み取り、自身のアドレスと比較します。アドレスが一致しなかった場合、ファームウェアはこのレジスタに NACK を書き込みます。次のアドレスが受信されるまで割り込みは発生しません。アドレスが一致した場合、ファームウェアは受信バイトを ACK した後、転送の次のバイトで Byte Complete 割り込みが生成されます。

このビットはマスターモードでアドレス転送が完了した場合にもセットされます。マスターアドレスの転送中に Lost Arb ビットによってアービトレーションが失われたことが示された場合、ブロックは可能であればスレーブモードになります。その後、このビットはブロックがスレーブとしてアドレスされていることを示します。

スレーブモードが有効でない場合でも、Byte Complete 割り込みは Lost Arbitration のマスターを知らせるために発生します。

ビット 2: Transmit. このビットは、次のバイト転送におけるシフターの向きを設定します。シフターは常に I2C バスからのデータをシフトしますが、'1' を書き込むことにより、シフターの出力は SDA 出力ラインを駆動します。このレジスタへの書き込みは次の転送を開始するため、データはこのビットの書き込みよりも前にデータレジスタに書き込まれていなければなりません。レシーブモードでは、以前に受信したデータはこの書き込みの前にデータレジスタから読み取られなければなりません。スレーブモードでは、ファームウェアは受信したスレーブアドレスの RW ビットからこの向きを取得します。マスターモードでは、ファームウェアは向きを決定し、その向きに従ってこのビットをセットします。

この向きの制御はデータ転送にのみ有効です。アドレスバイトの向きは、マスターまたはスレーブモードに応じて、ハードウェアにより決定されます。

マスタートランスミッタは、転送ビットにゼロを書き込むことにより転送を終了します。この操作により、バスはリリースされ、I2C_MSCR コントロールビットに応じて、ストップ条件、ストップ/スタートまたはリスタートが自動的に送信されます。

ビット 1: LRB (最後の受信ビット). これは以前に送信されたバイトに対する応答で最後に受信したビットです。トランスミットモードでは、ハードウェアはレシーバからの ACK ビットでデータレジスタおよびクロックからバイトを送信します。次のバイト完了割り込みで、ファームウェアはこのビットの値をチェックします。'0' は ACK 値で、'1' は NACK 値です。LRB の意味は、現在の操作モードに依存します。

マスタートランスミッタ:

'0': ACK、スレーブは以前のバイトを受け付けました。マスターは最初に I2C_DR レジスタへの書き込みを行った後、I2C_SCR レジスタの Transmit ビットを設定して別のバイトを送信します。オプションで、マスターは I2C_SCR レジスタの Transmit ビットをクリアします。この操作により、ストップが自動的に送信されます。スタートまたはリスタートビットが I2C_MSCR レジスタでセットされていた場合、ストップはスタートまたはリスタートに続きます。

'1': NACK、スレーブはデータをこれ以上受け付けできません。ストップは、(書き込まれる値に関係なく) I2C_SCR レジスタへの次の書き込みでハードウェアによって自動的に生成されます。しかし、ファームウェアが I2C_MSCR レジスタでスタートとリスタートビットのどちらをセットしていたかに依存して、ストップ/スタートまたはリスタート条件も生成されます。

スレーブトランスミッタ:

'0': ACK、マスターは別のバイトを読み取ります。スレーブは、転送を続行するため、次のバイトを I2C_DR レジスタにロードして I2C_SCR レジスタの Transmit ビットをセットする必要があります。

'1': NACK、マスターはバイトの読み取りを完了しました。スレーブは、(書き込まれる値に関係なく) I2C_SCR レジスタへの次の書き込みで IDLE 状態になります。

ビット 0: Byte Complete. I2C ハードウェアはバイト単位で動作します。トランスミットモードでは、このビットはセットされ、割り込みは 9 ビット (転送されたバイト + 受信した ACK) の最後で生成されます。レシーブモードでは、このビットはデータの 8 ビットが受信された後にセットされます。このビットがセットされている場合、割り込みは、SCL 入力クロックの立ち上がりと関連する、これらのデータサンプリングポイントで生成されます (詳細は、「Timing (タイミング)」セクションを参照してください)。ホストが SCL の次の立ち下がりがエッジ (約 1/2 ビット時間) の前にこのレジスタへの書き込みに応答した場合、転送は割り込みなしで続行されます。しかし、ホストがその時間内に応答できなかった場合、ハードウェアは SCL ラインを Low で保持し、I2C バスはストールします。マスターとスレーブの両方のモードで、次の I2C_SCR レジスタへの書き込みにより、ストールはリリースされます。

その他の情報は、130 ページの I2C_SCR レジスタを参照してください。

27.3.3 I2C_DR レジスタ

このレジスタは I2C データレジスタで、シフトレジスタへの読み取り/書き込みアクセスを提供します。このレジスタはバッファされないため、書き込みおよび有効なデータの読み取りは転送の特定のポイントでのみ発生します。次のような場合が該当します。

- **マスターまたはスレーブレシーバ** I2C_DR レジスタ中のデータは、Byte Complete ステータスビットがセットされているときに読み取られた場合のみ有効です。データバイトは I2C_SCR レジスタに書き込まれる (転送が続行される) 前にレジスタから読み取られなければなりません。
- **マスタースタートまたはリスタート** アドレスバイトは I2C_MSCR レジスタでスタートまたはリスタートビットがセットされる (スタートまたはリスタートが生成されてアドレスがシフトアウトされる) 前に I2C_DR で書き込まれなければなりません。
- **マスターまたはスレーブトランスミッタ** データバイトは I2C_SCR レジスタで転送ビットがセットされる (転送が続行される) 前に I2C_DR レジスタに書き込まれなければなりません。

その他の情報は、131 ページの I2C_DR レジスタを参照してください。

27.3.4 I2C_MSCR レジスタ

表 27-6. I2C_MSCR マスターステータスおよびコントロールレジスタ

ビット	アクセス	説明	モード
0	R/W	Start Gen 1 = スタート条件を生成してバイト (アドレス) を I2C バスに送ります。 このビットは、スタートの生成が完了したときにハードウェアによってクリアされます。	マスターのみ
1	R/W	Restart Gen 1 = リスタート条件を生成します。 このビットは、スタートの生成が完了したときにハードウェアによってクリアされます。	マスターのみ
2	RO	Master Mode このビットは、このブロックによって生成されるスタート条件が検出された場合は '1' にセットされ、ストップ条件が検出された場合は '0' にリセットされます。	マスターのみ
3	RO	Bus Busy このビットは、スタート条件が検出された場合は '1' にセットされ、ストップ条件が検出された場合は '0' にリセットされます。	マスターのみ

ビット 7 から 4: 予約。

ビット 3: Bus Busy. この読み取り専用ビットは、スタート条件により '1' にセットされ、ストップ条件により '0' にリセットされます。このビットは、バス転送をいつ開始するかを決定するためにファームウェアによってポールされます。

ビット 2: Master Mode. このビットは、デバイスがマスターとして動作していることを示します。このブロックのスタート条件の検出でセットされ、それに続くストップ条件の検出でリセットされます。

ビット 1: Restart Gen. このビットは、(Start Gen ビットのケース 1 および 2 で説明されたように) マスター転送の終わりにのみ使用されます。アドレスがデータレジスタにロードされ、このビットが NACK (マスターレシーバ) または転送ビットのリセット (マスタートランスミッタ) の前、またはスレーブによってマスタートランスミッタが NACK になった後にセットされた場合、アドレスバイトの送信に続けてリスタート条件が生成されます。

ビット 0: Start Gen. このビットをセットする前に、ファームウェアは I2C_DR レジスタに送信するアドレスバイトを書き込まなければなりません。このビットがセットされると、アドレスバイトの送信の直後にスタート条件が生成されます。(マスターが送信を開始するために I2C_SCR レジスタ中のコントロールは必要ありません; 向きは本質的に "転送" です。) ビットはスタートが生成された後自動的に '0' にリセットされます。

Start Gen ビットが設定された結果、次の 3 つのことが起こります:

1. バスがフリーでスタート条件が生成される。Byte Complete 割り込みがスタートとアドレスバイトが転送された後に生成されます。アドレスがレシーバによって

ACK された場合、ファームウェアはデータバイトの送信を行います。

2. スタートコマンドが遅すぎる。マルチマスター環境で別のマスターが有効なスタートを生成してバスがビジーな場合です。結果はスレーブモードが有効かどうかには依存します。

スレーブモードが有効な場合: スタートおよびアドレスバイト割り込みが生成されます。I2C_MSCR を読み取ると、マスターは Start Gen ビットがまだセットされていることを確認します。I2C_SCR でブロックがスレーブとしてアドレスされたことを示す Address ビットがセットされます。

スレーブモードが有効でない場合: バスがフリーになりスタート条件が続けて生成されるまで、Start Gen ビットはセットされたままでスタートはキューされます。割り込みは、スタートとアドレスバイトが送信されたときに後から生成されます。

3. スタートは生成されますが、マスターはマルチマスター環境で別のマスターへのアービトラージを失います。結果はスレーブモードが有効かどうかには依存します。

スレーブモードが有効な場合: スタートおよびアドレスバイト割り込みが生成されます。I2C_MSCR を読み取ったとき、マスターはスタートが生成されたことを示す Start Gen ビットがクリアされていることを確認するでしょう。しかし、Lost Arb ビットが I2C_SCR レジスタでセットされ、Address ステータスもセットされ、ブロックがスレーブとしてアドレスされたことを示します。ファームウェアはアドレスを ACK または NACK して転送を続行します。

スレーブモードが有効でない場合: スタートおよびアドレスバイト割り込みが生成されます。Start Gen ビットはクリアされ、Lost Arb ビットはセットされます。ハードウェアは必要に応じてバスをストールするコマンド入力待ちます。この場合、マスターはバスをリリースして転送を続行するために I2C_SCR レジスタをクリアし、ブロックはアイドル状態になります。

スタート条件を生成するために Start ビットが使用される場所は次の通りです:

1. マスターが転送を完了すると、マスターレシーバの場合は NACK が I2C_SCR レジスタに書き込まれ、マスタートランスミッタの場合は送信ビットがクリアされます。通常、このアクションはストールをフリーにしてストップ条件を生成します。しかし、Start ビットがセットされていてアドレスが I2C_SRC への書き込みよりも前にデータレジスタに書き込まれている場合、スタートの直後に (最小のバスフリー時間で) ストップが生成されます。この方法では、メッセージはチェーンします。
2. マスタートランスミッタが NACK を受け取った場合、次の I2C_SCR への書き込みで自動ストップ条件が生成されます。しかし、Start Gen ビットがその前にセットされていた場合、ストップがスタート条件の直後に続きます。

その他の情報は、132 ページの I2C_MSCR レジスタを参照してください。

27.4 Timing Diagrams (タイミングダイアグラム)

27.4.1 クロック生成

図 27-4 は、I2C 入力クロックスキームを示しています。SYSCLK ピンは、ボーレート選択を可能にする 4 ステージのリプルディバイダへの入力です。ブロックが無効な場合、すべての内部状態はリセット状態で保持されます。I2C_CFG レジスタの Master Enable または Slave Enable ビットのいずれかがセットされている場合、リセットは同期してリリースされ、クロック生成が有効になります。リプルディバイダの 2 つのタップは I2C_CFG レジスタの Clock Rate ビット (4、16) から選択可能です。最も高いボーレートを達成するために、追加オプションとして、ブロックは SYSCLK から直接計測されることがあります。2 つのディバイダタップのいずれかが選択された場合、クロックは SYSCLK と再同期されます。その結果、クロックは設計したすべての同期要素にルートされます。

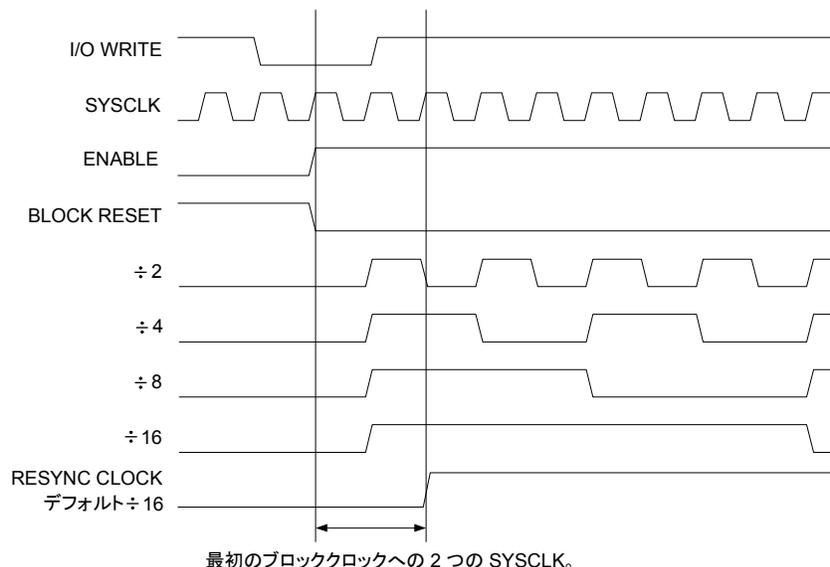


図 27-4. I2C 入力クロック

27.4.2 イネーブルおよびコマンド同期

図 27-5 は、ブロックが無効な場合、(I2C_CFG レジスタを除く) すべてのブロックリセットがアサートされることを示しています。Enable Master または Enable Slave ビットのいずれかがセットされている場合、ブロックリセットは SYSCLK の次の正のエッジで否定され、次のクロックエッジで十分な SYSCLK サイクルのセットアップ時間を保証します。

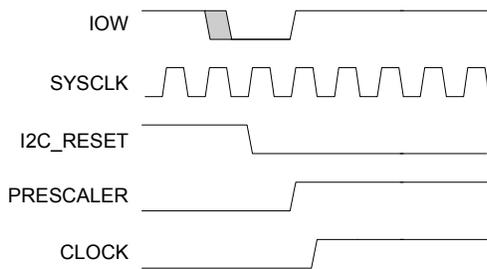


図 27-5. I2C イネーブル

27.4.3 基本的な入出力タイミング

図 27-7 は、16x サンプリングおよび 32x サンプリングの両方に有効な基本的な入出力タイミングを示しています。16x サンプリングの場合 N=4 で 32x サンプリングの場合 N=12 です。N は、8 と 16 クロックの半分のビット

図 27-6 は、Byte Complete が次のブロッククロックエッジと再同期された後の Start Gen コマンドまたは I2C_SCR 書き込みを示しています。I2C 処理は、この再同期クロックエッジに続く、選択されたブロックエッジ上で継続します。

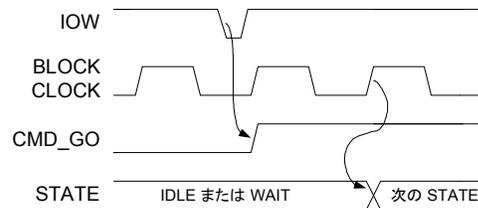


図 27-6. I2C コマンド

レートサンプリングから、それぞれ、3 つの入力レイテンシを引いた値になります (4 と 12 のカウントは 5 と 13 クロックに対応)。

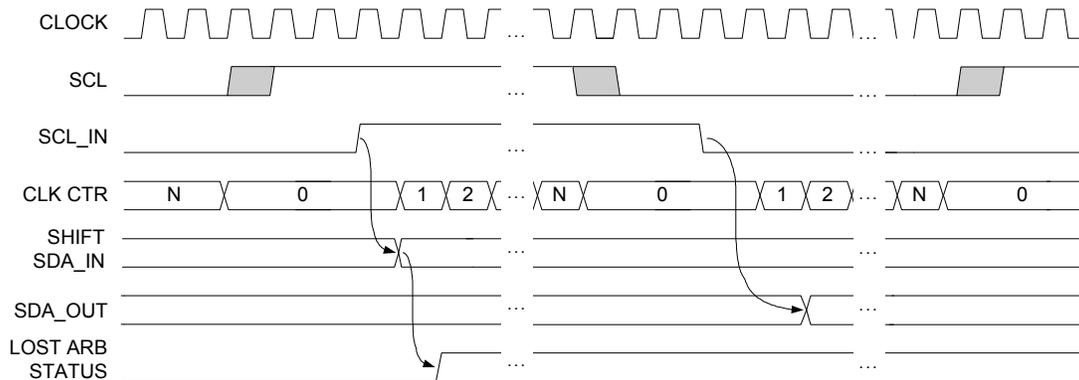


図 27-7. 基本的な入出力タイミング

27.4.4 ステータスタイミング

図 27-8 は、送信モードの 9 番目のクロック (バイト + ACK/NACK) の正のエッジおよび受信モードの 8 番目のクロックの正のエッジ上で発生する Byte Complete の割り込みタイミングを示しています。入力同期/フィルタ回路により、最大 3 サイクルのレイテンシがあります。図に示されるように、割り込みは有効な SCL の正のエッジ入力遷移に続くクロック上 (シンクロナイザの後) で発生しません。Address ビットは、同じタイミングで Slave アドレスが受信された後のみセットされます。LRB (最後の受信ビット) ステータスも、同じタイミングで転送バイトの後の 9 番目のビットにのみセットされます。

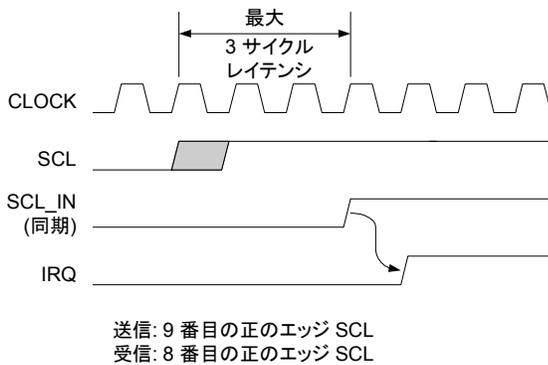


図 27-8. Byte Complete、Address、LRB タイミング

図 27-9 は、ストップステータスのタイミングを示しています。このビットは、SCL ラインが High の場合、同期されフィルタされた SDA ラインが '1' に遷移した 2 クロック後にセットされ (割り込みが発生し) ます。

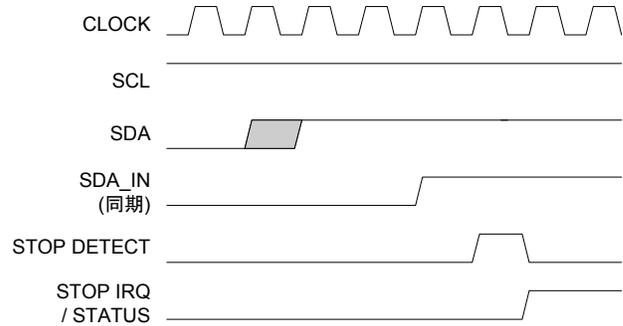
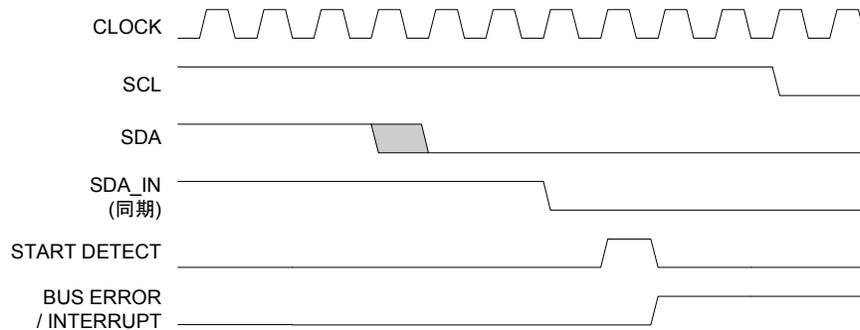


図 27-9. ストップステータスと割り込みタイミング

図 27-10 は、バスエラー割り込みのタイミングを示しています。Bus Error Status (および割り込み) は、内部スタートまたはストップが検出された 1 サイクル後 (同期されフィルタされた SDA 入力遷移の 2 サイクル後) に発生します。

位置の違うスタート



位置の違うストップ

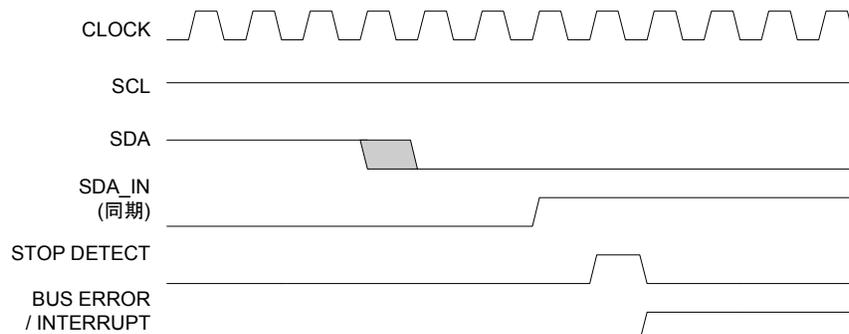


図 27-10. バスエラー割り込みタイミング

27.4.5 マスタースタートタイミング

ファームウェアが Start Gen コマンドを書き込むと、ハードウェアはこのビットを SYSCLK に再同期して、次のクロックエッジまで最低限の SYSCLK のセットアップ時間を確保します。スタートが初期化された場合、SCL ラインは (16/32x サンプルレイトに対応して) 6/14 クロック

の間 High 状態のままになります。最初の SCL High 期間で外部スタートが検出された場合、スタートシーケンスは異常終了されブロックは IDLE 状態に戻ります。しかし、次のストップが検出されると、ブロックは自動的に新しいスタートシーケンスを開始します。

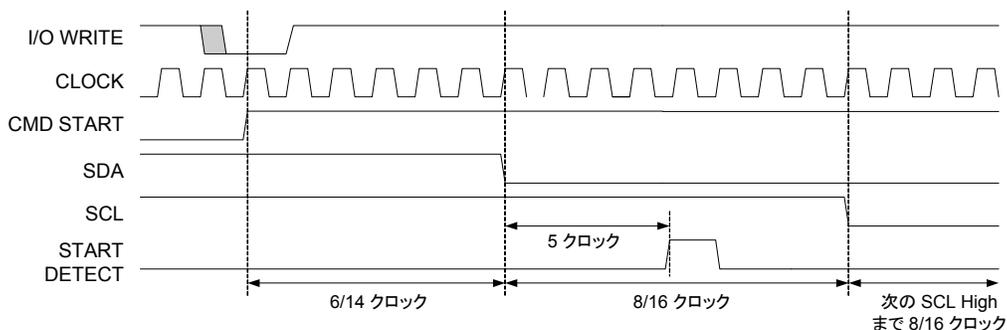


図 27-11. 基本的なマスタースタートタイミング

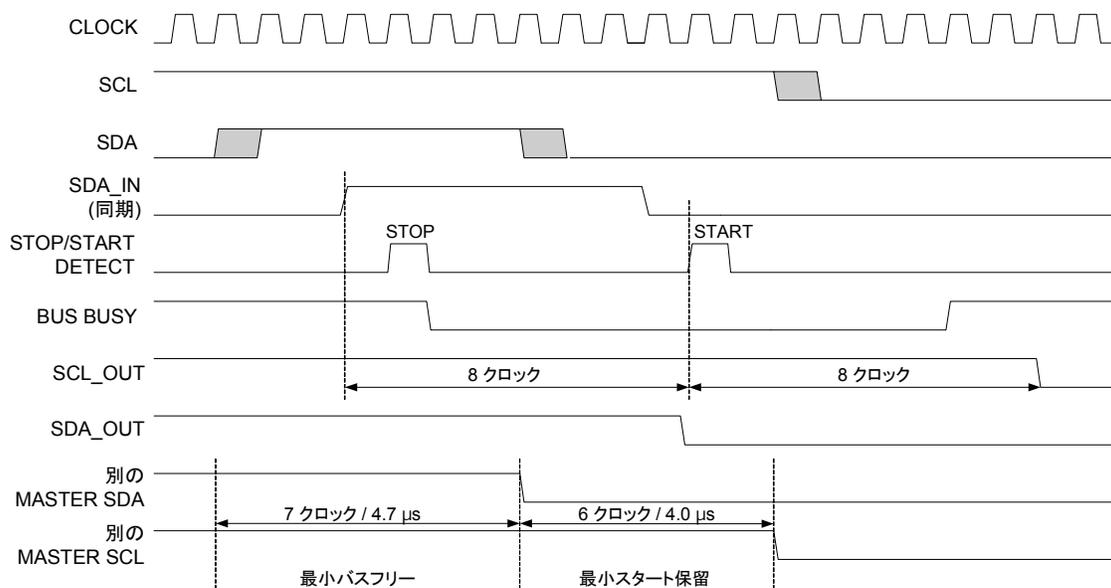


図 27-12. スタートが保留されたスタートタイミング

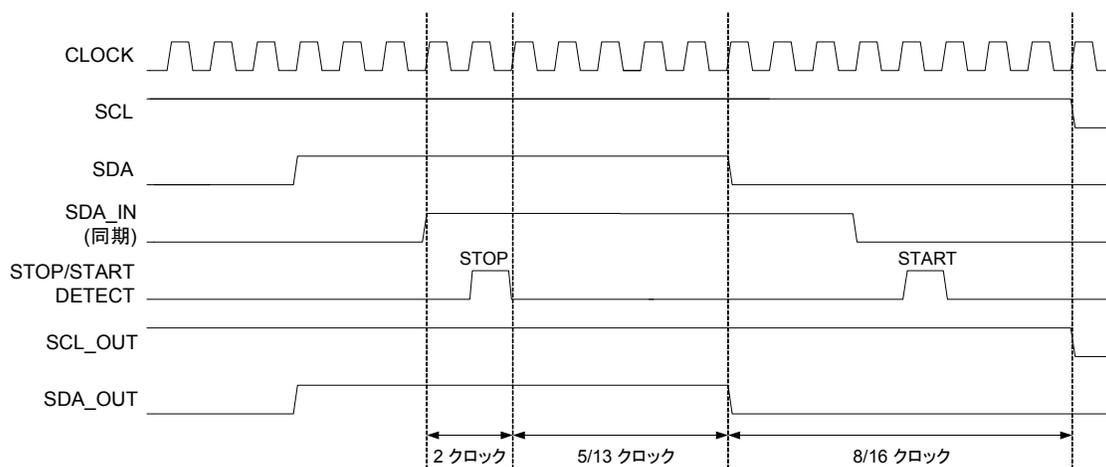


図 27-13. マスターストップ/スタートチェーン

27.4.6 マスタースタートタイミング

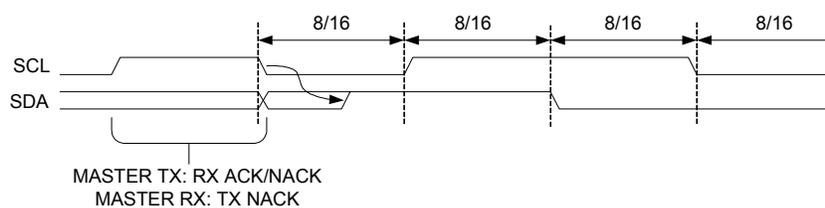


図 27-14. マスタースタートタイミング

27.4.7 マスターストップタイミング

図 27-15 は、基本的なマスターストップタイミングを示しています。ストップを生成するため、SDA ラインは基本的な SDA 出力タイミングに従って、最初 Low にされます。

その後、SCL の Low が完了して SCL ラインが High にされた後、SDA ラインはストップを示す High にされるまで、1/2 ビット時間 Low のままです。

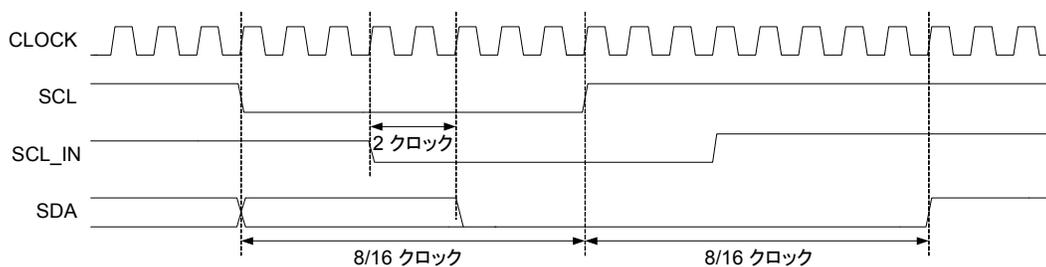


図 27-15. マスターストップタイミング

27.4.8 マスター/スレーブストールタイミング

Byte Complete 割り込みが発生すると、ホストファームウェアは転送を続行するため I2C_SCR レジスタへの書き込みに応答しなければなりません (または転送を終了します)。割り込みは、SCL_IN の立ち上がりエッジの 2 クロック後に発生します (ステータスタイミングを参照)。図 27-16 に示すように、ファームウェアは SCL_IN の立ち下

がりエッジの後 1 クロック経過するまでに I2C_SCR レジスタに書き込みます。そうでない場合、ストールが発生します。ストールは IO 書き込みでリリースされます。データ出力と SCL の次の立ち上がりエッジの間のセットアップ時間は常に N-1 クロックになります。

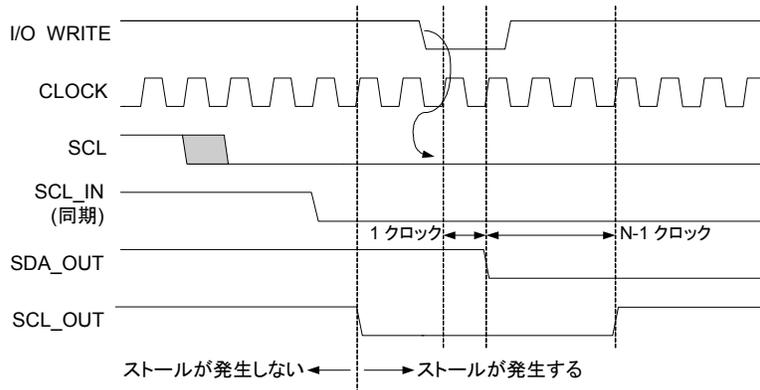


図 27-16. マスター/スレーブストールタイミング

27.4.9 マスターロストアービトレイションタイミング

図 27-17 は、ロストアービトレイションのシーケンスを示しています。競合が入力 (SDA_IN) サンプルポイントで検出された場合、SDA 出力は直ちに IDLE1 状態にリリースされます。しかし、マスターは Byte Complete 割り

込みまでクロック処理を続行し、それは通常の方法で処理されます。I2C_SCR レジスタへの任意の書き込みは、SCL_IN クロックの次の正のエッジの 1 クロック後に、マスターを IDLE 状態に戻します。

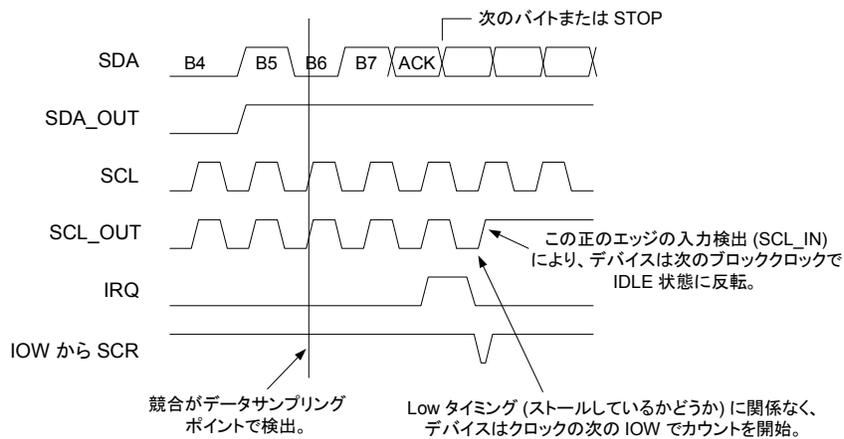


図 27-17. ロストアービトレイションタイミング (アドレスまたはデータの送信)

27.4.10 マスタークロック同期

図 27-18 は、マスタークロック同期に関連したタイミングを示しています。クロック同期は、バス上の唯一のマスターの場合でも常に使用できます。その場合、自身のクロックに同期しています。接続されている AND バスでは、'0' の SCL 出力はすべてのマスターから見られます。ハードウェアが '0' を出力にアサートした場合、SCL 入力のチップピンから入力シンクロナイザまで直ちにフィードバックされます。カウンタの値 (サンプリングレートに依存) は 3 クロックの入力同期で最悪のケースのレイテンシを考慮して、High および Low 時間の両方で 8/16 クロックのネット期

間を取ります。これは、クロックレート全体でビットあたり 16/32 クロックになります。

マルチマスター環境で、ハードウェアが SCL 出力で '1' を出力したときに、別のマスターがまだ '0' をアサートしている場合、クロックカウンタは SCL 入力ラインが SCL 出力ライン上の '1' と一致するまでホールドされます。一致したら、High 時間の残りがカウントダウンされます。この方法では、最も周波数の速いマスターがクロックの High 時間を決定し、最も周波数の遅いマスターがクロックの Low 時間を決定します。

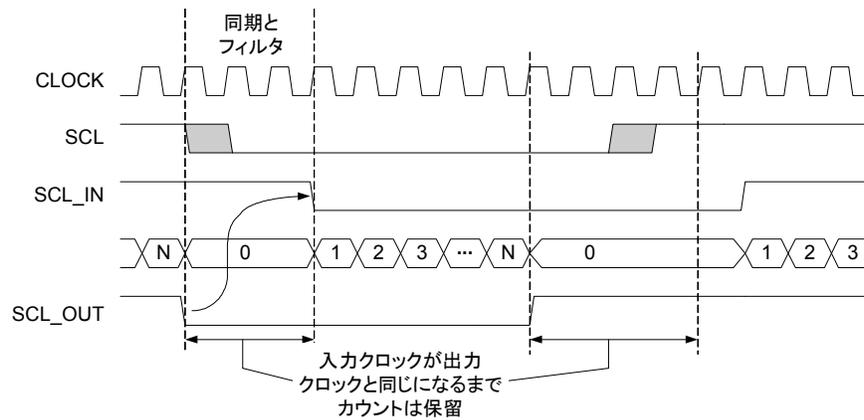


図 27-18. マスタークロック同期

28. POR and LVD (POR および LVD)



本章は、POR and LVD (POR および LVD) 回路およびその関連レジスタについて簡単に説明します。

表 28-1. POR および LVD レジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス	
1,E3h	VLT_CR	SMP		PORLEV[1:0]		LVDTBEN	VM[2:0]			RW : 00	
1,E4h	VLT_CMP						PUMP	LVD	PPOR		R : 00

パワーオンリセット (POR) および低電圧検出 (LVD) 回路は、低電圧状態からの保護を行います。POR 機能は、Vdd をチェックして、Vdd が仕様を満たすようになるまでシステムをリセット状態にします。LVD 機能は Vdd をチェックして、Vdd が選択した限界値以下に落ちた場合、システムに割り込みを行います。他の出力およびステータスビットは重要な電圧トリップレベルを示すために提供されます。

28.1 Register Definitions (レジスタ定義)

このブロックは VLT_CR および VLT_CMP (読み取り専用ステータスビット) の 2 つのレジスタを含んでいます。

28.1.1 VLT_CR レジスタ

VLT_CR レジスタはすべてのリセットでクリアされ、POR レンジが 5V レンジにセットされている場合、非常に遅い供給ランプ中に 5V へのリセットサイクルを引き起こすことがあります。これは、リセットが POR レンジの設定をクリアして 3V に戻し、新しいブート/スタートアップが (おそらく何回も) 発生するためです。そのようなサイクルが問題の場合、ユーザはこれをスリープモードでおよび/または電圧ステータスビットを読み取って管理することができます。

ビット 7: SMP。 SMP Low は、PUMP が High の場合に、スイッチモードポンプ回路を実行することができます。

ビット 6: 予約。

ビット 5 および 4: PORLEV[1:0]。 PORLEV[1:0] は PPOR スイッチで Vdd レベルをセットします。

ビット 3: LVDTBEN。 LVDTBEN は、LVD と AND されて低電圧状態が検出された場合に CPU クロックの速度を落とすスロットルバック信号を生成します。

ビット 2 から 0: VM[2:0]。 VM[2:0] は LVD と Pump Comparator スイッチで Vdd レベルをセットします。

その他の情報は、[184 ページの VLT_CR レジスタ](#)を参照してください。

28.1.2 VLT_CMP レジスタ

ビット 7 から 3: 予約。

ビット 2: PUMP。 PUMP は Switch Mode Pump Vdd 比較器の状態を読み取ります。LVD と PUMP 両方のトリップポイントは VLT_CR レジスタの VM[2:0] でセットされません。

ビット 1: LVD。 LVD は低電圧検出比較器の状態を読み取ります。LVD と PUMP 両方のトリップポイントは VLT_CR レジスタの VM[2:0] でセットされます。

ビット 0: PPOR。 PPOR ビットは PPOR 出力の状態を読み返します。これは PPOR を無効にする POR-LEV[1:0] セットで読み取る場合にのみ意味があります。その場合、PPOR ステータスビットは比較器の状態を直接示します。

その他の情報は、[185 ページの VLT_CMP レジスタ](#)を参照してください。

29. Internal Voltage Reference (内部電圧リファレンス)



本章は、Internal Voltage Reference (内部電圧リファレンス) およびその関連レジスタについて説明します。

表 29-1. 内部電圧リファレンスレジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
1,EAh	BDG_TR		AGNDBYP	TC[1:0]		V[3:0]				W:00

内部電圧リファレンスは、PSoC デバイス中の様々なサブシステムに 1.3V の絶対値を供給します。

29.1 Architectural Description (アーキテクチャ上の説明)

内部電圧リファレンスは 2 つのブロック (バンドギャップ電圧ジェネレータとサンプリング/ホールド用バッファ) からなります。バンドギャップ電圧ジェネレータは典型的な ($V_{BE} + K V_T$) デザインです。

バッファ回路は 1.30V のリファレンスを生成するためにバンドギャップ電圧に利得を供給します。簡単なモデルを図 29-1 に示します。増幅器とコンデンサ間の接続は CMOS スイッチにより行われ、リファレンス回路の電源が落ちている間、リファレンス電圧 (基準電圧) がシステムによって使用されるようにします。電圧リファレンスは室温で 1.30V にトリムされます。

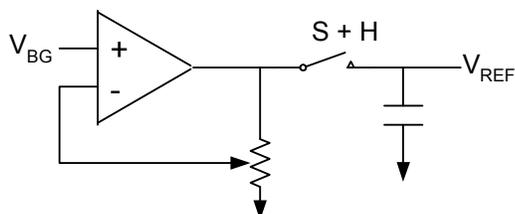


図 29-1. 電圧リファレンスモデル

温度比例電圧も温度感知で使用するこのブロックで生成されます。

29.2 Register Definitions (レジスタ定義)

Internal Voltage Reference (内部電圧リファレンス) は、単一の書き込み専用レジスタ BDG_TR で利得と温度係数をトリムされます。

29.2.1 BDG_TR レジスタ

ビット 7: 予約。

ビット 6: AGNDBYP. セットされている場合、このビットは AGND に RC フィルタを追加します。(R は内部 8.1K 抵抗で C は P2[4] 上のチップへの外部出力です。)

ビット 5 および 4: TC[1:0]. これらのビットは内部バンドギャップ電圧ジェネレータの温度係数設定です。10b は 0 TC のデザインセンターです。

ビット 3 から 0: V[3:0]. これらのビットはリファレンスバッファ中の利得設定です。4 mV の 16 ステップが利用可能です。1000b は 1.30 V のデザインセンターです。

その他の情報は、188 ページの BDG_TR レジスタを参照してください。

30. Switch Mode Pump (SMP) (スイッチモードポンプ)



本章は、Switch Mode Pump (SMP) (スイッチモードポンプ) およびその関連レジスタについて簡単に説明します。

表 30-1. スイッチモードポンプレジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
1,E3h	VLT_CR	SMP		PORLEV[1:0]		LVDTBEN	VM[2:0]			RW : 00

SMP 回路は単一電池セルから正常な動作電圧を生成するために使用されます。Vdd が 0 から V_{PPOR} (2.921V typical) まで安定していない間、IC 操作は POR 回路ピンから離れ、スイッチモードポンプに移ります。SMP はスイッチモード電圧ポンプをサポートするために駆動されます。ポンプは、SMP から Vdd ピンまでをポイントする外部ダイオード (V_{ss} への接続に少なくとも 0.1 uF のバイパスコンデンサが必要) で Vbat と SMP 間の外部インダクタを接続することで実現されています。インダクタは充電された後バイパスコンデンサに (フライバックで) リ

リースされます。これは、ポンプが回路を一時的にオフにするようにコマンドを受けるまでコンデンサをゆっくりと充電する方法で行われます。この回路は、電圧モニタ制御レジスタ (VLT_CR) で指定されたスイッチモードポンプ値に Vdd をポンプします。Vbat 値は操作中は 0.9V まで下げることができますが、この回路は電圧が 1.2V 以下の電池では開始を保証されていません。一旦 IC が電源投入およびブートシーケンス後に有効になると、ファームウェアは電圧モニタ制御レジスタ (VLT_CR) のビット 7 に 1 をセットして SMP 機能を無効にすることができます。

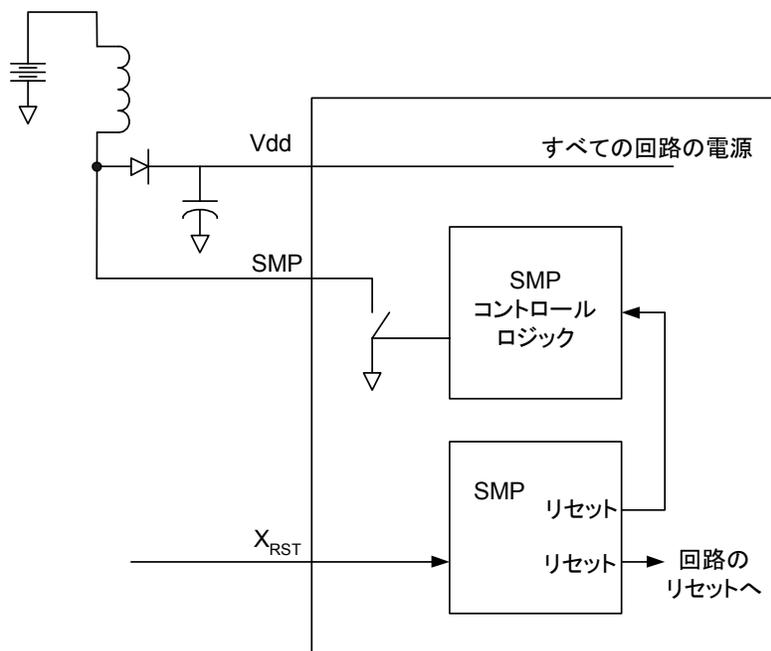


図 30-1. スイッチモードポンプ

ポンプのタイミングは、単一セル電圧で動作する低電圧リング発振器から送られます。回路が作動する初期電池電圧と温度の組み合わせは、通常この発振器の最低動作電圧によって設定されます。作動中の回路のオン/オフ操作は、パワーダウン機能によってゲート制御されます。初期化用に2つの(FETに接続されているダイオードの)電圧レベル検出回路があります。1番目の初期化回路は、バイパスコンデンサがパスFETによって十分に充電されるまで発振器を抑制します。これは、システムのブートストラップ用に十分なエネルギーが蓄積されることを保証します。2番目の初期化回路は、メインのスイッチングFETのゲート駆動電圧を拡張するブースト回路を制御します。ブーストは、オンになった直後のVddが低い場合にのみ有効になります。

PSoCチップがスリープモードに入ると、電源供給ポンプは電圧を維持するために動作したままになります。アプリケーションによっては、仕様スリープ電流よりも高くなる場合があります。ユーザが望めば、ポンプを(A/D変換のような)精度測定中に無効にした後で再度有効にすることができます(B7に1を書き込んでから0に戻す)。しかし、ユーザは連続した操作のために(バイパスコンデンサで)十分なホールドアップ時間が保証される素早い操作を行う責任があります。

30.1 Register Definitions (レジスタ定義)

30.1.1 VLT_CR レジスタ

VLT_CR レジスタはすべてのリセットでクリアされ、PORレンジが5Vレンジにセットされている場合、非常に遅い供給ランプ中に5Vへのリセットサイクルを引き起こすことがあります。これは、リセットがPORレンジの設定をクリアして3Vに戻し、新しいブート/スタートアップが(おそらく何回も)発生するためです。そのようなサイクルが問題の場合、ユーザはこれをスリープモードでおよび/または電圧ステータスビットを読み取って管理することができます。

ビット 7: SMP。 SMP Low は、PUMP が High の場合に、スイッチモードポンプ回路を実行することができます。

ビット 6: 予約。

ビット 5 および 4: PORLEV[1:0]。 PORLEV[1:0] は PPOR スイッチで Vdd レベルをセットします。

ビット 3: LVDTBEN。 LVDTBEN は、LVD と AND されて低電圧状態が検出された場合に CPU クロックの速度を落とすスロットルバック信号を生成します。

ビット 2 から 0: VM[2:0]。 VM[2:0] は LVD と Pump Comparator スイッチで Vdd レベルをセットします。

その他の情報は、[184 ページの VLT_CR レジスタ](#)を参照してください。

31. System Resets (システムリセット)



本章は、System Resets (システムリセット) およびその関連レジスタについて説明します。M8C は、いくつかの種類のリセットをサポートしています。各種リセットは、任意の電圧ランププロファイルでパワーオン中にエラーのない動作を提供し、ユーザが供給した外部リセットを許可して誤ったコード操作から回復できるようにデザインされています。

表 31-1. システムリセットレジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アクセス
0,FEh	CPU_SCR1					ECO_EXW	ECO_EX		IRAMDIS	RW : 00
0,FFh	CPU_SCR0	GIES		WDRS	PORS	Sleep			STOP	RW : XX

凡例

XX: リセット値は POR/XRES の後は 10h で、ウォッチドッグリセットの後は 20h です。

リセットが行われると、すべてのレジスタはデフォルト状態に戻ります。例外を次に説明します。

次の種類のリセットが発生する場合があります:

パワーオンリセット (POR)。このリセットは供給電圧が低い場合に発生し、複数のソースで構成されます。

外部リセット (XRES)。このアクティブハイリセットは Xres ピンを含むパーツ上でチップに送られます。

ウォッチドッグリセット (WDR)。このオプションのリセットはタイマが終了したとき、ユーザファームウェアによってクリアされる前に発生します。

内部リセット (IRES)。このリセットは、ブートシーケンス中に、フラッシュ読み取りが有効でないことを SROM コードが決定した場合に発生します。

リセットの発生は、ステータスおよび制御レジスタ (CPU_SCR、POR/XRES/WDR の場合) またはシステムステータスおよび制御レジスタ 1 (CPU_SCR1、IRES の場合) に記録されます。ファームウェアは、リセットの原因を断定するために、これらのレジスタを調べることができません。

31.1 Register Definitions (レジスタ定義)

31.1.1 CPU_SCR0 レジスタ

CPU_SCR0 レジスタのビットは PSoC デバイスの様々な機能についてイベントのステータスおよびコントロールを伝えるために使用されます。

ビット 7: GIES。 グローバル割り込みイネーブルステータスビットは、読み取り専用のステータスビットで現在は使

用されていません。GIES ビットは CPU_F レジスタの GIE ビットを読み取るために使用されていたレガシービットです。しかし、CPU_F レジスタは現在では読み取り可能です。このビットがセットされている場合、マイクロプロセッサが割り込みをサービスすることを示す CPU_F レジスタの GIE ビットもセットされていることを示します。

ビット 6: 予約。

ビット 5: WDRS。 ウォッチドッグリセットステータスビットは通常はゼロですが、ウォッチドッグリセットが発生するとセットされます。ビットは読み取り可能で、CPU_SCR0 レジスタでそのビット位置にゼロを書き込むことでクリア可能です。このビットはセットされません。

ビット 4: PORS。 パワーオンリセットステータス (PORS) ビットおよびウォッチドッグイネーブルビットは POR または外部リセットによって自動的にセットされます。ビットがユーザコードによってクリアされた場合、ウォッチドッグタイマが有効になります。一旦クリアされると、PORS ビットをリセットする唯一の方法は POR または外部リセットを行うことです。したがって、POR または外部リセットを行う以外にウォッチドッグタイマを無効にする方法はありません。

ビット 3: Sleep。 スリープビットは、本章で記述されているように、セットされたときに低電力スリープモードに入るために使用されます。

ビット 2 および 1: 予約。

ビット 0: STOP。 STOP ビットは読み取りおよび書き込み可能です。このビットがセットされている場合、PSoC M8C はリセットイベントが発生するまでコードの実行を停止します。これは、POR、ウォッチドッグリセット、または外部リセットのいずれかです。アプリケーションでリセットまでコードの実行を停止したい場合、このビットをセットするのではなく、HALT 命令を使用してください。

その他の情報は、157 ページの CPU_SCR0 レジスタを参照してください。

31.1.2 CPU_SCR1 レジスタ

CPU_SCR1 レジスタは、内部リセットおよびウォッチドッグリセットに関連するステータスおよびイベントのコントロールを伝えるために使用されます。

ビット 7 から 4: 予約。

ビット 3: ECO_EXW。 ECO Exists Written ビットは、以前書き込まれた ECO_EXW ビットを示すステータスビットとして使用されます。このビットは読み取り専用です。

ビット 2: ECO_EX。 ECO Exists ビットは、外部水晶がシステムに存在するかどうかを示すフラグとして使用します。水晶が存在する場合は '1'、水晶が存在しない場合は '0' になります。ビットが '0' の場合、ハードウェアは ECO の切り替えをロックします。ビットが '1' の場合、ハードウェアはファームウェアを ECO と ILO の間で自由に切り替えられるようにします。一旦書き込まれると、このビットは続けて変更することはできません。プログラム実行の完全性が高いと仮定されている場合、ビットはパワーオンリセット (POR) または外部リセット (XRES) イベントの後、速やかに書き込まれるべきです。ビットは一度だけ書き込まれます。

ビット 1: 予約。

ビット 0: IRAMDIS。 Initialize RAM Disable ビットは読み取りおよび書き込み可能なコントロールビットです。このビットのデフォルト値は 0 で、SRAM の最大量をリセット時に値 00h で初期化すべきことを示します。ビットがセットされると、SRAM の最小量がウォッチドッグリセットの後に初期化されます。このビットに関する詳細は、50 ページの "SRAM 関数の説明" を参照してください。

その他の情報は、156 ページの CPU_SCR1 レジスタを参照してください。

31.2 Timing Diagrams (タイミングダイアグラム)

31.2.1 パワーオンリセット (POR)

パワーオンリセット (POR) は、供給電圧が POR トリップポイント以下の場合には常にトリガされます。一旦供給電圧がこの電圧を超えれば、POR は終了します。POR ブロックの操作に関する詳細は、POR and LVD (POR および LVD) の章を参照してください。

POR は、曖昧な POR (IPOR) と正確な POR (PPOR) の 2 つの部分からなります。'POR' は、これらの 2 つの機能の OR を参照します。IPOR の精度は低く、そのトリップポイントは通常 PPOR のトリップポイントよりも低くなります。PPOR は POR トリップポイントの非常に正確な場所を (ブート中に) 測定する回路から送られます。

POR 中 (POR=1)、IMO の電源はスタートアップ中の電力

消費が少なくなるようにオフにされます。一旦 POR が再アサートされると、IMO が開始します (図 31-1 を参照)。

POR は、レジスタのリセットステータスビットを表 31-2 に示すように構成します。PPOR はバンドギャップトリムレジスタ (BDG_TR) に影響を与えませんが、IPOR はこのレジスタをリセットします。

31.2.2 外部リセット (XRES)

A XRES リセットは Xres ピンを High にすることで発生します。Xres ピンには常にオンのプルダウン抵抗があるため、操作用の外部プルダウンは必要なく、直接接地するか開いたままにできます。XRES の後の動作は POR に似ています。

XRES 中 (XRES=1)、IMO の電源はスタートアップ中の電力消費が少なくなるようにオフにされます。一旦 XRES が再アサートされると、IMO が開始します (図 31-1 を参照)。

XRES は、レジスタのリセットステータスビットを表 31-2 に示すように構成します。

31.2.3 ウォッチドッグタイマリセット (WDR)

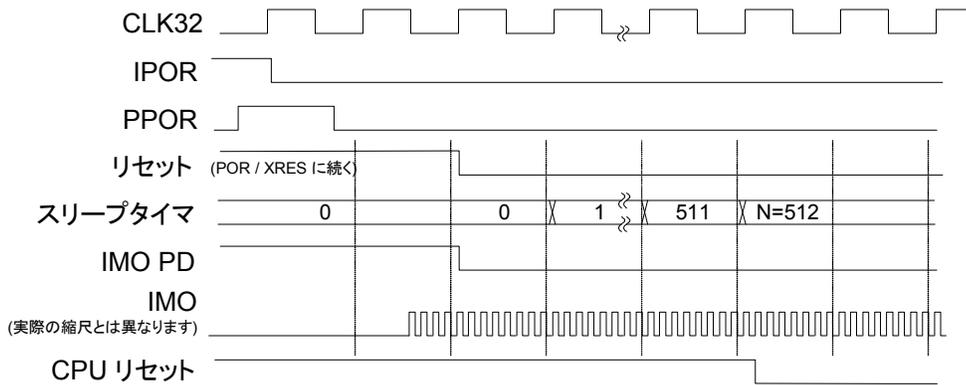
ユーザは、CPU_SCR0 レジスタの PORS ビットをクリアして WDR を有効にすることができます。一旦 PORS ビットがクリアされると、ウォッチドッグタイマは無効にできません。唯一の例外は、POR/XRES イベントの発生です。イベントが発生すると、WDR は無効になります。ウォッチドッグ操作の詳細は、83 ページの "ウォッチドッグタイマ (WDT)" を参照してください。

ウォッチドッグタイマが終了すると、ウォッチドッグイベントが発生してリセットシーケンスにつながります。いくつかの WDR のユニークな項目は次のとおりです。

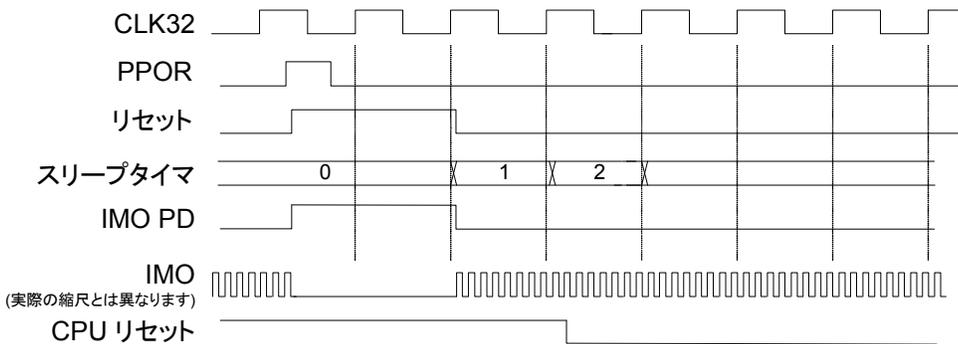
- チップリセットは CLK32K クロックの 1 サイクルの間 (リセット状態を) アサートします。
- IMO は WDR 中または WDR 後は停止しません (低電力になりません)。
- CPU 操作は内部リセットが再アサートされてから 1 CLK32K サイクル後に再スタートします (図 31-2 を参照)。

WDR は、レジスタのリセットステータスビットを表 31-2 に示すように構成します。

POR (PPOR が続く IPOR): POR High (IMO オフ) 中にリセット、その後 511(+) サイクル (IMO オン)、その後 CPU リセットリリース。XRES は、N=8 で同じです。



PPOR (IPOR なし): PPOR High 中および次の 32K サイクルの終わりまでリセット (IMO オフ)、CPU リセットリリース前に 1 サイクル IMO オン。5V レベルでは、リセットにより POR 範囲レジスタ (VLT_CR) がクリアされデフォルトの 3V 設定に戻るため、PPOR は短くなる傾向があります。



XRES: XRES High (IMO オフ) 中にリセット、その後 7(+) サイクル (IMO オフ)、その後 CPU リセットリリース。

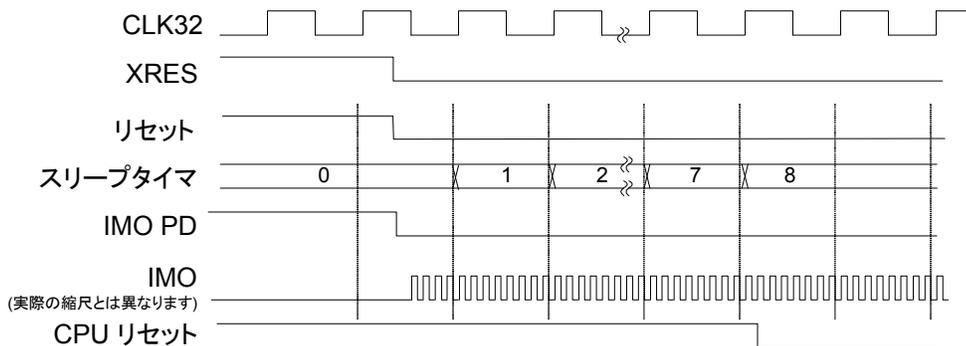
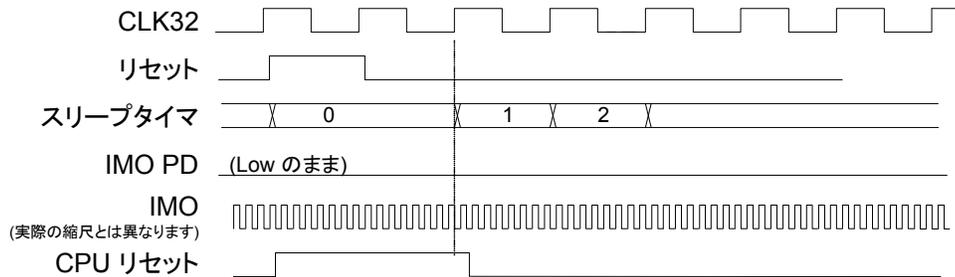


図 31-1. POR および XRES 中の主要な信号

WDR: 1 サイクルリセット、その後 CPU リセットリリース前に 1 追加サイクル。



IRES: 1 サイクルリセット、2048 サイクル低電力ホールドオフ、CPU リセットリリース前に IMO 1 サイクル。

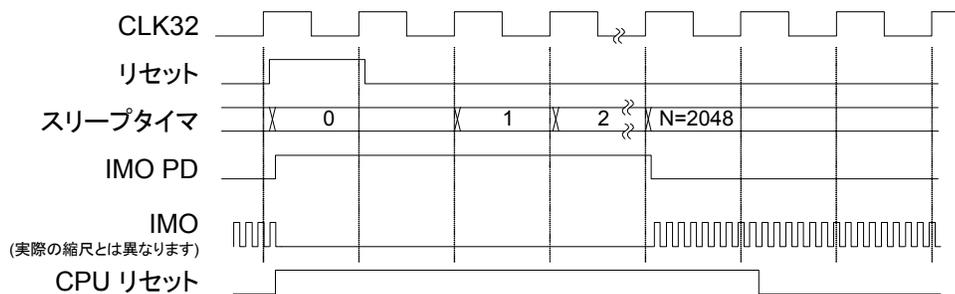


図 31-2. WDR および IRES 中の主要な信号

31.2.4 リセットの詳細

タイミングと機能の詳細は表 31-2 に要約されています。
 図 31-1 は、IPOR、PPOR、および XRES の適切な信号のいくつかを示しています。

表 31-2. 各種リセットの機能の詳細

項目	IPOR (POR の一部)	PPOR (POR の一部)	XRES	WDR
リセットの長さ	POR=1 の間	PPOR=1 の間プラス 30-60 us (1-2 クロック)	XRES=1 の間	30 us (1 クロック)
リセット中は低電力 (IMO オフ)?	はい	はい	はい	いいえ
リセットの後も低電力?	いいえ	いいえ	いいえ	いいえ
リセットの最後から CPU リセットデアサート**までの CLK32K サイクル	512*	1	8*	1
レジスタのリセット (CPU_SCR、CPU_SCR1 は次の行を参照)	すべて	すべて (POR はバンドトリムレジスタをリセットしないことを除く)	すべて	すべて
CPU_SCR、CPU_SCR1 のリセットステータスビット	PORS をセット WDRS をクリア IRAMDIS をクリア	PORS をセット	PORS をセット WDRS をクリア IRAMDIS をクリア	WDRS をセット
バンドギャップ電力	オン	オン	オン	オン

* このカウントはリセットと CLK32K クロック間の相対的なタイミングに依存して、1 CLK32K サイクルまで少なくなります。

** CPU リセットは CPU クロックと同期した後にリリースされます。

*** **注意:** IPOR と PPOR が電力供給時に同時に発生した場合、IPOR によりキーの取得が発生します。

31.3 Power Consumption (消費電力)

ILO ブロックはリセットシーケンス中のほとんどのイベントを計測するために使用する CLK32K クロックを駆動します。このクロックの電源は IPOR によって落とされますが、他のリセットでは落とされません。スリープタイムはインターバルタイミングを提供します。

POR または XRES 中、IMO の電源はスタートアップ中の電力消費が少なくなるようにオフにされます。

IRES 中および IRES に続いて (理論値 64 ms)、IMO は遅い供給ランプ中に平均消費電力が少なくなるようにオフにされます。

POR または XRES 中、またはその後にバンドギャップ回路の電源が供給されます。

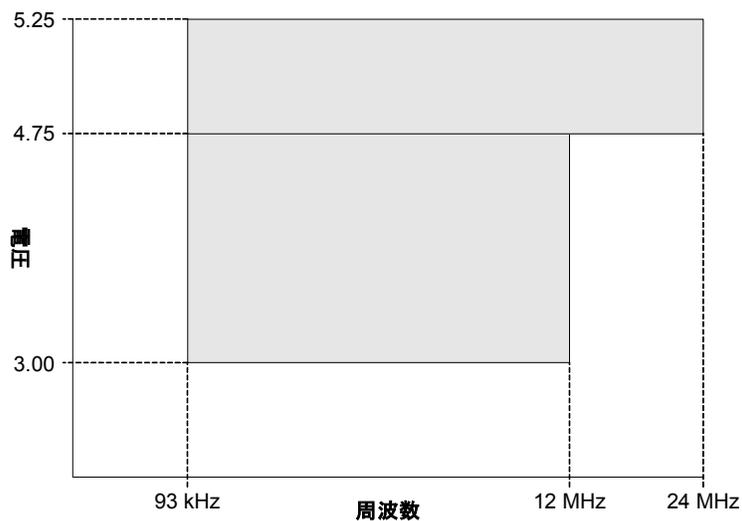
IRES に続いて、バンドギャップ回路の電源は、サンプリングされたバンドギャップ電圧の値をリフレッシュするために、ときどき供給されます。このサンプリングは、スリープモード中に使用される同じプロセスに続きます。

IMO は、CPU リセットがデアサートされる前、少なくとも 1 CLK32K サイクルの間は常にオンです。

SECTION G ELECTRICAL SPECIFICATIONS (電氣的仕様)



Electrical Specifications (電氣的仕様) セクションは、PSoC デバイスの直流および交流電氣的特性を紹介します。仕様は、特に明記されている箇所を除いて、 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ および $T_J \leq 100^{\circ}\text{C}$ で有効です。24 MHz で動作しているデバイスの仕様は、 $-40^{\circ}\text{C} \leq T_A \leq 70^{\circ}\text{C}$ および $T_J \leq 82^{\circ}\text{C}$ で有効です。



電圧周波数グラフ

次の表は、このセクションで使用されている測定単位の一覧です。

記号	測定単位	記号	測定単位
°C	温度 (摂氏)	μs	マイクロ秒
AC	交流	μV	マイクロボルト
dB	デシベル	μVrms	マイクロボルト二乗平均
DC	直流	mA	ミリアンペア
fF	フェムトファラッド	ms	ミリ秒
Hz	ヘルツ	mV	ミリボルト
k	キロ, 1000	ns	ナノ秒
K	210, 1024	nV	ナノボルト
KB	1024 バイト	Ω	オーム
Kbit	1024 ビット	pF	ピコファラッド
kHz	キロヘルツ	pp	ピークツーピーク
kΩ	キロオーム	ppm	濃度単位, 百万分の 1
MHz	メガヘルツ	sps	1 秒あたりのサンプル数
MΩ	メガオーム	σ	シグマ: 1 つの標準偏差
μA	マイクロアンペア	V	ボルト

Absolute Maximum Ratings (絶対最大定格)

Absolute Maximum Ratings (絶対最大定格)

記号	説明	Min	Typ	Max	単位	注記
T _{STG}	保存温度	-65	—	+100	°C	保存温度が高くなるとデータ保持時間が短くなります。
T _A	電力供給時の周囲温度	-40	—	+85	°C	
V _{dd}	V _{ss} に比例する V _{dd} 上の供給電圧	-0.5	—	+6.0	V	
V _{IO}	直流入力電圧	V _{ss} -0.5	—	V _{dd} +0.5	V	
—	トリステートに適用される直流電圧	V _{ss} -0.5	—	V _{dd} +0.5	V	
I _{MIO}	任意のポートピンへの最大電流	-25	—	+50	mA	
I _{MAIO}	アナログドライバとして設定された任意のポートピンへの最大電流	-50	—	+50	mA	
—	静電放電電圧	2000	—	—	V	
—	ラッチアップ電流	—	—	200	mA	

Operating Temperature (動作温度)

Operating Temperature (動作温度)

記号	説明	Min	Typ	Max	単位	注記
T _A	周囲温度	-40	—	+85	°C	
T _J	接合温度	-40	—	+100	°C	周囲から接合部への温度の上昇は、パッケージ特有です。34 ページの "Thermal Impedances (熱インピーダンス)" を参照。ユーザは、この要求を満たすために電力消費を制限しなければなりません。

DC Electrical Characteristics (直流電氣的特性)

DC Chip-Level Specifications (直流チップレベル仕様)

DC Chip-Level Specifications (直流チップレベル仕様)

記号	説明	Min	Typ	Max	単位	注記
V _{DD}	供給電圧	3.00	–	5.25	V	
I _{DD}	供給電流	–	5	8	mA	条件は、5.0V、25 °C、3 MHz、48 MHz 無効。 VC1=1.5 MHz、VC2=93.75 kHz、VC3=93.75 kHz。
I _{SB}	POR、LVD、スリープタイマ、および WDT におけるスリープ (モード) 電流。	–	3	6	μA	条件は、内部低速発振器 V _{DD} = 3.3 V、-40 °C ≤ T _A ≤ 85 °C。
I _{SBXTL}	POR、LVD、スリープタイマ、および WDT におけるスリープ (モード) 電流。	–	3	7	μA	条件は、適切にロードされた 1 uW max、32.768 kHz 水晶。V _{DD} = 3.3 V、-40 °C ≤ T _A ≤ 85 °C。
V _{REF}	基準電圧 (バンドギャップ)	1.275	1.3	1.325	V	適切な V _{DD} 用にトリム。

DC General Purpose IO (GPIO) Specifications (直流汎用 IO (GPIO) 仕様)

指定されている場合を除いて、V_{DD} = 3.0 ~ 5.5 および Temp = -40° C ~ 85° C。

DC GPIO Specifications (直流 GPIO 仕様)

記号	説明	Min	Typ	Max	単位	注記
R _{PU}	プルアップ抵抗	4	5.6	8	kΩ	
R _{PD}	プルダウン抵抗	4	5.6	8	kΩ	
V _{OH}	出力高レベル	V _{DD} -1.0	–	–	V	I _{OH} = 10 mA、V _{DD} = 4.5 ~ 5.5V (8 IO スイッチング、サイドあたり 4)
V _{OL}	出力低レベル	–	–	0.75	V	I _{OL} = 25 mA、V _{DD} = 4.5 ~ 5.5V (8 IO スイッチング、サイドあたり 4)
V _{IL}	入力低レベル	–	–	0.8	V	V _{DD} = 3.0 ~ 5.5
V _{IH}	入力高レベル	2.2	–	–	V	V _{DD} = 3.0 ~ 5.5
V _H	入力ヒステリシス	–	60	–	mV	
R _{ANALOG}	アナログ入力抵抗、AOUT 対 PIN	–	23	–	kΩ	
I _{IL}	入力漏洩 (絶対値)	–	1	200	nA	
C _{IN}	入力としてのピン上の容量性負荷	0.5	1.7	10	pF	パッケージおよびピン依存。
C _{OUT}	出力としてのピン上の容量性負荷	0.5	1.7	10	pF	パッケージおよびピン依存。

DC Operational Amplifier Specifications (直流オペアンプ仕様)

次の表は、 $5V \pm 5\%$ および $-40^\circ C \leq T_A \leq 85^\circ C$ 、 $3.3V \pm 10\%$ および $-40^\circ C \leq T_A \leq 85^\circ C$ の電圧および温度に対して、それぞれ保証される最大および最小仕様の一覧です。オペアンプは、Analog Continuous Time PSoC ブロックおよび Analog Switched Cap PSoC ブロック両方のコンポーネントです。保証される仕様は、Analog Continuous Time PSoC ブロックで測定されたものです。典型的なパラメータは $5V (25^\circ C)$ で適用される設計ガイダンス用のものです。

5V DC Operational Amplifier Specifications (5V 直流オペアンプ仕様)

記号	説明	Min	Typ	Max	単位	注記
V _{OSOA}	入力オフセット電圧 (絶対値) 低電力	–	1.6	10	mV	
	入力オフセット電圧 (絶対値) 中電力	–	1.3	8	mV	
	入力オフセット電圧 (絶対値) 高電力	–	1.2	7.5	mV	
TCV _{OSOA}	平均入力オフセット電圧ドリフト	–	7.0	35.0	$\mu V/^\circ C$	
I _{EBOA}	入力漏洩電流 (ポート 0 アナログピン)	–	1	200	nA	
C _{INOA}	入力容量 (ポート 0 アナログピン)	0.5	2.7	9.5	pF	パッケージおよびピン依存。
V _{CMOA}	同相電圧範囲	0.0	–	V _{dd}	V	同相入力電圧範囲は、アナログ出力バッファを通して測定されます。仕様は、アナログ出力バッファの特性による制限を含んでいます。
	同相電圧範囲 (高電力または高オペアンプバイアス)	0.5	–	V _{dd} -0.5		
CMRR _{OA}	同相信号除去比		–	–	dB	仕様は、高電力時に適用されます。他のすべてのバイアスモード (高電力、高オペアンプバイアスを除く) では、最小は 60 dB です。
	電力=低	60				
	電力=中	60				
	電力=高	60				
G _{OLOA}	オープンループゲイン		–	–	dB	仕様は、高電力時に適用されます。他のすべてのバイアスモード (高電力、高オペアンプバイアスを除く) では、最小は 60 dB です。
	電力=低	60				
	電力=中	60				
	電力=高	60				
V _{OHIGHOA}	高出力電圧振幅 (内部負荷の最悪のケース)					
	電力=低	V _{dd} -0.2	–	–	V	
	電力=中	V _{dd} -0.2	–	–	V	
	電力=高	V _{dd} -0.5	–	–	V	
V _{OLOWOA}	低高出力電圧振幅 (内部負荷の最悪のケース)					
	電力=低	–	–	0.2	V	
	電力=中	–	–	0.2	V	
	電力=高	–	–	0.5	V	
I _{SOA}	供給電力 (関連する AGND バッファを含む)					
	電力=低	–	150	200	μA	
	電力=低、オペアンプバイアス=高	–	300	400	μA	
	電力=中	–	600	800	μA	
	電力=中、オペアンプバイアス=高	–	1200	1600	μA	
	電力=高	–	2400	3200	μA	
	電力=高、オペアンプバイアス=高	–	4600	6400	μA	
PSRR _{OA}	電源電圧変動除去比	60	–	–	dB	

3.3V DC Operational Amplifier Specifications (3.3V 直流オペアンプ仕様)

記号	説明	Min	Typ	Max	単位	注記
V _{OSOA}	入力オフセット電圧 (絶対値) 低電力	–	1.65	10	mV	
	入力オフセット電圧 (絶対値) 中電力	–	1.32	8	mV	
	高電力は 5 ボルトのみ					
TCV _{OSOA}	平均入力オフセット電圧ドリフト	–	7.0	35.0	μV/oC	
I _{EBOA}	入力漏洩電流 (ポート 0 アナログピン)	–	1	200	nA	
C _{INOA}	入力容量 (ポート 0 アナログピン)	0.5	2.7	9.5	pF	パッケージおよびピン依存。
V _{CMOA}	同相電圧範囲	0.2	–	V _{DD} -0.2	V	同相入力電圧範囲は、アナログ出力バッファを通して測定されます。仕様は、アナログ出力バッファの特性による制限を含んでいます。
CMRR _{OA}	同相信号除去比		–	–	dB	仕様は、高電力時に適用されます。他のすべてのバイアスモード (高電力、高オペアンプバイアスを除く) では、最小は 60 dB です。
	電力=低	50				
	電力=中 電力=高	50 50				
G _{OLOA}	オープンループゲイン		–	–	dB	仕様は、高電力時に適用されます。他のすべてのバイアスモード (高電力、高オペアンプバイアスを除く) では、最小は 60 dB です。
	電力=低	60				
	電力=中 電力=高	60 80				
V _{OHIGHOA}	高出力電圧振幅 (内部負荷の最悪のケース)					
	電力=低	V _{DD} -0.2	–	–	V	
	電力=中 電力=高は 5V のみ	V _{DD} -0.2 V _{DD} -0.2	– –	– –	V V	
V _{OLOWOA}	低高出力電圧振幅 (内部負荷の最悪のケース)					
	電力=低	–	–	0.2	V	
	電力=中 電力=高	– –	– –	0.2 0.2	V V	
I _{SOA}	供給電力 (関連する AGND バッファを含む)					
	電力=低	–	150	200	μA	
	電力=低、オペアンプバイアス=高	–	300	400	μA	
	電力=中	–	600	800	μA	
	電力=中、オペアンプバイアス=高	–	1200	1600	μA	
	電力=高 電力=高、オペアンプバイアス=高	– –	2400 4600	3200 6400	μA μA	
PSRR _{OA}	電源電圧変動除去比	50	–	–	dB	

DC Analog Output Buffer Specifications (直流アナログ出力バッファ仕様)

次の表は、 $5V \pm 0.25V$ および $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 、 $3.3V \pm 0.3V$ および $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ の電圧および温度に対して、それぞれ保証される最大および最小仕様の一覧です。典型的なパラメータは $25^{\circ}C$ で適用される設計ガイダンス用のものです。

5V DC Analog Output Buffer Specifications (5V 直流アナログ出力バッファ仕様)

記号	説明	Min	Typ	Max	単位	注記
V_{OSOB}	入力オフセット電圧 (絶対値)	-	3	12	mV	
TCV_{OSOB}	平均入力オフセット電圧ドリフト	-	+6	-	$\mu V/^{\circ}C$	
V_{CMOB}	同相入力電圧範囲	.5	-	Vdd - 1.0	V	
R_{OUTOB}	出力抵抗 電力 = 低 電力 = 高	- -	1 1	- -	Ω Ω	
$V_{OHIGHOB}$	高出力電圧振幅 (Vdd/2 に対する負荷 = 32 オーム) 電力 = 低 電力 = 高	.5 x Vdd + 1.3 .5 x Vdd + 1.3	- -	- -	V V	
V_{OLOWOB}	高出力電圧振幅 (Vdd/2 に対する負荷 = 32 オーム) 電力 = 低 電力 = 高	- -	- -	.5 x Vdd - 1.3 .5 x Vdd - 1.3	V V	
I_{SOB}	バイアスセルを含む供給電流 (無負荷) 電力 = 高	-	1.5	3.7	mA	電力 = 低との差。
$PSRR_{OB}$	電源電圧変動除去比	60	-	-	dB	

3.3V DC Analog Output Buffer Specifications (3.3V 直流アナログ出力バッファ仕様)

記号	説明	Min	Typ	Max	単位	注記
V_{OSOB}	入力オフセット電圧 (絶対値)	-	3	12	mV	
TCV_{OSOB}	平均入力オフセット電圧ドリフト	-	+6	-	$\mu V/^{\circ}C$	
V_{CMOB}	同相入力電圧範囲	.5	-	Vdd - 1.0	V	
R_{OUTOB}	出力抵抗 電力 = 低 電力 = 高	- -	1 1	- -	Ω Ω	
$V_{OHIGHOB}$	高出力電圧振幅 (Vdd/2 に対する負荷 = 32 オーム) 電力 = 低 電力 = 高	.5 x Vdd + 0.4 .5 x Vdd + 0.4	- -	- -	V V	
V_{OLOWOB}	高出力電圧振幅 (Vdd/2 に対する負荷 = 32 オーム) 電力 = 低 電力 = 高	- -	- -	.5 x Vdd - 0.8 .5 x Vdd - 0.8	V V	
I_{SOB}	バイアスセルを含む供給電流 (無負荷) 電力 = 高	-	1.2	2.3	mA	電力 = 低との差。
$PSRR_{OB}$	電源電圧変動除去比	60	-	-	dB	

DC Switch Mode Pump Specifications (DC スイッチモードポンプ仕様)

DC Switch Mode Pump (SMP) Specifications (DC スイッチモードポンプ (SMP) 仕様)

記号	説明	Min	Typ	Max	単位	注記
V _{PUMP}	出力電圧	3.02	–	5.15	V	平均、リップル無視
I _{PUMP}	平均出力電流 v _i = 1.5V, V _o = 3.25V v _i = 1.5V, V _o = 5.0V	8	–	–	mA	2 uH インダクタ、1 uF コンデンサ、ホトダイオードを含む。
		5	–	–	mA	
I _{SHORT}	短絡電流	–	12	–	mA	
V _{INPUMP}	入力電圧範囲	1.0	–	3.3	V	
V _{IN-PUMP(MIN)}	ポンプスタート用最小入力電圧	1.1	–	–	V	
V _{OUTPUMP}	出力電圧 (V _i 範囲上)	–	5	–	%V _O	
ΔV _{OUTPUMP}	ラインレギュレーション (V _i 範囲上)	–	5	–	%V _O	
ΔV _{OUTPUMP}	ロードレギュレーション	–	5	–	%V _O	
ΔV _{OUTPUMP}	出力電圧リップル (容量/ロードに依存)	–	25	–	mV _{pp}	ノート 2 の設定、ロードは 5mA。
–	効率	35	50	–	%	ノート 2 の設定、ロードは 5mA、V _{out} は 3.25V。
F _{PUMP}	スイッチング周波数	–	1.3	–	MHz	
DC _{PUMP}	スイッチングデューティサイクル	–	50	–	%	

DC Analog Reference Specifications (直流アナログ基準仕様)

次の表は、 $5V \pm 0.25V$ および $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 、 $3.3V \pm 0.3V$ および $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ の電圧および温度に対して、それぞれ保証される最大および最小仕様の一覧です。保証される仕様は、Analog Continuous Time PSoC ブロックを通して測定されたものです。AGND 用の電力レベルは、Analog Continuous Time PSoC ブロックの電力を参照します。RefHi および RefLo 用の電力レベルは、Analog Reference Control レジスタを参照します。AGND 用の制限される状態は、Analog Continuous Time PSoC ブロックに対してローカルな AGND バッファのオフセットエラーを含んでいます。典型的なパラメータは $25^{\circ}C$ で適用される設計ガイダンス用のものです。

5V DC Analog Reference Specifications (5V 直流アナログ基準仕様)

記号	説明	Min	Typ	Max	単位
-	AGND = $V_{dd}/2^a$ CT ブロック電力 = 高	$V_{dd}/2 - 0.030$	$V_{dd}/2 - 0.004$	$V_{dd}/2 + 0.003$	V
-	AGND = $2 * \text{BandGap}^a$ CT ブロック電力 = 高	$2 * \text{BG} - 0.043$	$2 * \text{BG} - 0.010$	$2 * \text{BG} + 0.024$	V
-	AGND = $P2[4]$ ($P2[4] = V_{dd}/2^a$) CT ブロック電力 = 高	$P2[4] - 0.013$	$P2[4] 0.001$	$P2[4] + 0.014$	V
-	AGND = BandGap^a CT ブロック電力 = 高	$\text{BG} - 0.009$	BG	$\text{BG} + 0.009$	V
-	AGND = $1.6 * \text{BandGap}^a$ CT ブロック電力 = 高	$1.6 * \text{BG} - 0.018$	$1.6 * \text{BG}$	$1.6 * \text{BG} + 0.018$	V
-	AGND カラム間変動 ($\text{AGND} = V_{dd}/2^a$) CT ブロック電力 = 高	-0.034	0.000	0.034	V
-	REFHI = $V_{dd}/2 + \text{BandGap}$ 基準制御電力 = 高	$V_{dd}/2 + \text{BG} - 0.140$	$V_{dd}/2 + \text{BG} - 0.018$	$V_{dd}/2 + \text{BG} + 0.103$	V
-	REFHI = $3 * \text{BandGap}$ 基準制御電力 = 高	$3 * \text{BG} - 0.112$	$3 * \text{BG} - 0.018$	$3 * \text{BG} + 0.076$	V
-	REFHI = $2 * \text{BandGap} + P2[6]$ ($P2[6] = 1.3V$) 基準制御電力 = 高	$2 * \text{BG} + P2[6] - 0.113$	$2 * \text{BG} + P2[6] - 0.018$	$2 * \text{BG} + P2[6] + 0.077$	V
-	REFHI = $P2[4] + \text{BandGap}$ ($P2[4] = V_{dd}/2$) 基準制御電力 = 高	$P2[4] + \text{BG} - 0.130$	$P2[4] + \text{BG} - 0.016$	$P2[4] + \text{BG} + 0.098$	V
-	REFHI = $P2[4] + P2[6]$ ($P2[4] = V_{dd}/2$, $P2[6] = 1.3V$) 基準制御電力 = 高	$P2[4] + P2[6] - 0.133$	$P2[4] + P2[6] - 0.016$	$P2[4] + P2[6] + 0.100$	V
-	REFHI = $3.2 * \text{BandGap}$ 基準制御電力 = 高	$3.2 * \text{BG} - 0.112$	$3.2 * \text{BG}$	$3.2 * \text{BG} + 0.076$	V
-	REFLO = $V_{dd}/2 - \text{BandGap}$ 基準制御電力 = 高	$V_{dd}/2 - \text{BG} - 0.051$	$V_{dd}/2 - \text{BG} + 0.024$	$V_{dd}/2 - \text{BG} + 0.098$	V
-	REFLO = BandGap 基準制御電力 = 高	$\text{BG} - 0.082$	$\text{BG} + 0.023$	$\text{BG} + 0.129$	V
-	REFLO = $2 * \text{BandGap} - P2[6]$ ($P2[6] = 1.3V$) 基準制御電力 = 高	$2 * \text{BG} - P2[6] - 0.084$	$2 * \text{BG} - P2[6] + 0.025$	$2 * \text{BG} - P2[6] + 0.134$	V
-	REFLO = $P2[4] - \text{BandGap}$ ($P2[4] = V_{dd}/2$) 基準制御電力 = 高	$P2[4] - \text{BG} - 0.056$	$P2[4] - \text{BG} + 0.026$	$P2[4] - \text{BG} + 0.107$	V
-	REFLO = $P2[4] - P2[6]$ ($P2[4] = V_{dd}/2$, $P2[6] = 1.3V$) 基準制御電力 = 高	$P2[4] - P2[6] - 0.057$	$P24 - P26 + 0.026$	$P2[4] - P2[6] + 0.110$	V

a. AGND 許容度は、PSoC ブロック中のローカルバッファのオフセットを含んでいます。バンドギャップ電圧は $1.3V \pm 2\%$ です。

3.3V DC Analog Reference Specifications (3.3V 直流アナログ基準仕様)

記号	説明	Min	Typ	Max	単位
-	AGND = $V_{dd}/2^a$ CT ブロック電力 = 高	$V_{dd}/2 - 0.027$	$V_{dd}/2 - 0.003$	$V_{dd}/2 + 0.002$	V
-	AGND = $2 \cdot \text{BandGap}^a$ CT ブロック電力 = 高	許可されていません			
-	AGND = P2[4] (P2[4] = $V_{dd}/2$) CT ブロック電力 = 高	$P24 - 0.008$	$P24 + 0.001$	$P24 + 0.009$	V
-	AGND = BandGap ^a CT ブロック電力 = 高	BG - 0.009	BG	BG + 0.009	V
-	AGND = $1.6 \cdot \text{BandGap}^a$ CT ブロック電力 = 高	$1.6 \cdot \text{BG} - 0.018$	$1.6 \cdot \text{BG}$	$1.6 \cdot \text{BG} + 0.018$	V
-	AGND カラム間変動 (AGND = $V_{dd}/2$) ^a CT ブロック電力 = 高	-0.034	0.000	0.034	mV
-	REFHI = $V_{dd}/2 + \text{BandGap}$ 基準制御電力 = 高	許可されていません			
-	REFHI = $3 \cdot \text{BandGap}$ 基準制御電力 = 高	許可されていません			
-	REFHI = $2 \cdot \text{BandGap} + P2[6]$ (P2[6] = 0.5V) 基準制御電力 = 高	許可されていません			
-	REFHI = P2[4] + BandGap (P2[4] = $V_{dd}/2$) 基準制御電力 = 高	許可されていません			
-	REFHI = P2[4] + P2[6] (P2[4] = $V_{dd}/2$, P2[6] = 0.5V) Ref Control Power = High	$P2[4] + P2[6] - 0.075$	$P2[4] + P2[6] - 0.009$	$P2[4] + P2[6] + 0.057$	V
-	REFHI = $3.2 \cdot \text{BandGap}$ 基準制御電力 = 高	許可されていません			
-	REFLO = $V_{dd}/2 - \text{BandGap}$ 基準制御電力 = 高	許可されていません			
-	REFLO = BandGap 基準制御電力 = 高	許可されていません			
-	REFLO = $2 \cdot \text{BandGap} - P2[6]$ (P2[6] = 0.5V) 基準制御電力 = 高	許可されていません			
-	REFLO = P2[4] - BandGap (P2[4] = $V_{dd}/2$) 基準制御電力 = 高	許可されていません			
-	REFLO = P2[4] - P2[6] (P2[4] = $V_{dd}/2$, P2[6] = 0.5V) 基準制御電力 = 高	$P2[4] - P2[6] - 0.048$	$P24 - P26 + 0.022$	$P2[4] - P2[6] + 0.092$	V

a. AGND 許容度は、PSoC ブロック中のローカルバッファのオフセットを含んでいます。バンドギャップ電圧は $1.3V \pm 2\%$ です。

DC Analog PSoC Block Specifications (直流アナログ PSoC ブロック仕様)

次の表は、5V ± 5% および 3.3V ± 10% の電圧で $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ の温度範囲に対して保証される最大および最小仕様の一覧です。典型的なパラメータは 3.3V および 5V (25°C) で適用される設計ガイダンス用のものです。

DC Analog PSoC Block Specifications (直流アナログ PSoC ブロック仕様)

記号	説明	Min	Typ	Max	単位	注記
R _{CT}	抵抗ユニット値 (連続時間)	–	12.24	–	kΩ	
C _{SC}	コンデンサユニット値 (スイッチドキャパシタ)	–	80	–	fF	

DC POR and LVD Specifications (直流 POR および LVD 仕様)

AVDD 用に指定されている場合を除いて、仕様は 3.0V ~ 5.5V および $T_j = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 。

DC POR and LVD Specifications (直流 POR および LVD 仕様)

記号	説明	Min	Typ	Max	単位	注記
V _{IPOR}	IPOR トリップに対する AVDD 値	1.60	1.90	2.30	V	
V _{PPOR0R}	PPOR トリップに対する AVDD 値 (正のランプ) PORLEV1,PORLEV0=00b		2.908		V	
V _{PPOR1R}	PORLEV1,PORLEV0=01b	–	4.394	–	V	
V _{PPOR2R}	PORLEV1,PORLEV0=10b		4.548		V	
V _{PPOR0}	PPOR トリップに対する AVDD 値 (負のランプ) PORLEV1,PORLEV0=00b		2.816		V	
V _{PPOR1}	PORLEV1,PORLEV0=01b	–	4.394	–	V	
V _{PPOR2}	PORLEV1,PORLEV0=10b		4.548		V	
V _{PH0}	PPOR ヒステリシス PORLEV1,PORLEV0=00b	–	92	–	mV	
V _{PH1}	PORLEV1,PORLEV0=01b	–	0	–	mV	
V _{PH2}	PORLEV1,PORLEV0=10b	–	0	–	mV	
V _{LVD0}	LVD トリップに対する AVDD 値 VM2,VM1,VM0=000b	2.863	2.921	2.979 ^a	V	
V _{LVD1}	VM2,VM1,VM0=001b	2.963	3.023	3.083	V	
V _{LVD2}	VM2,VM1,VM0=010b	3.070	3.133	3.196	V	
V _{LVD3}	VM2,VM1,VM0=011b	3.920	4.00	4.080	V	
V _{LVD4}	VM2,VM1,VM0=100b	4.393	4.483	4.573	V	
V _{LVD5}	VM2,VM1,VM0=101b	4.550	4.643	4.736 ^b	V	
V _{LVD6}	VM2,VM1,VM0=110b	4.632	4.727	4.822	V	
V _{LVD7}	VM2,VM1,VM0=111b	4.718	4.814	4.910	V	
V _{PUMP0}	PUMP トリップに対する AVDD 値 VM2,VM1,VM0=000b	2.963	3.023	3.083	V	
V _{PUMP1}	VM2,VM1,VM0=001b	3.033	3.095	3.157	V	
V _{PUMP2}	VM2,VM1,VM0=010b	3.185	3.250	3.315	V	
V _{PUMP3}	VM2,VM1,VM0=011b	4.110	4.194	4.278	V	
V _{PUMP4}	VM2,VM1,VM0=100b	4.550	4.643	4.736	V	
V _{PUMP5}	VM2,VM1,VM0=101b	4.632	4.727	4.822	V	
V _{PUMP6}	VM2,VM1,VM0=110b	4.719	4.815	4.911	V	
V _{PUMP7}	VM2,VM1,VM0=111b	4.900	5.000	5.100	V	

a. 供給が立ち下がる PPOR (PORLEV=00) よりも 50 mV 以上常に上。

b. 供給が立ち下がる PPOR (PORLEV=10) よりも 50 mV 以上常に上。

DC Programming Specifications (直流プログラミング仕様)

DC Programming Specifications (直流プログラミング仕様)

記号	説明	Min	Typ	Max	単位	注記
I _{CCP}	プログラミングまたは検証中の供給電流	-	5	25	mA	
V _{ILP}	プログラミングまたは検証中の入力低電圧	-	-	0.8	V	
V _{IHP}	プログラミングまたは検証中の入力高電圧	2.2	-	-	V	
I _{ILP}	プログラミングまたは検証中に V _{ilp} が P1[0] または P1[1] に適用される際の入力電流	-	-	0.2	mA	駆動内部プルダウン抵抗。
I _{IHP}	プログラミングまたは検証中に V _{ihp} が P1[0] または P1[1] に適用される際の入力電流	-	-	1.5	mA	駆動内部プルダウン抵抗。
V _{OLV}	プログラミングまたは検証中の出力低電圧	-	-	V _{ss} +0.75	V	
V _{OHV}	プログラミングまたは検証中の出力高電圧	V _{dd} - 1.0	-	V _{dd}	V	
Flash _{ENPB}	フラッシュ耐久性 (1 ブロックあたり)	50,000	-	-	-	1 ブロックあたりの消去/書き込みサイクル。
Flash _{ENT}	フラッシュ耐久性 (合計) ^a	1,800,000	-	-	-	消去/書き込みサイクル。
Flash _{DR}	フラッシュデータ保持時間	10	-	-	年	

- a. 最大 36 x 50,000 ブロックの耐久性サイクルが許可されます。これは、各 50,000 最大サイクルの 36x1 ブロック、各 25,000 最大サイクルの 36x2 ブロック、または各 12,500 最大サイクルの 36x4 ブロックにおける操作を平衡し、サイクルの総数を 36x50,000 に制限して 50,000 サイクル以上ブロックが見つからないようにします。

PSoC デバイスは、標準温度範囲 (-40° C から +85° C 周囲温度) に対する耐久性を増強するために適応アルゴリズムを使用します。0° C から 85° C 間の 50° C スパン内の温度範囲は、耐久性の増強に対して一定であると考えられます。例えば、室温 (25° C) が公称操作温度の場合、0° C から 50° C の範囲は定数値 25 として近似され、温度センサは必要ありません。

完全な標準範囲では、ユーザは温度センサユーザモジュール (FlashTemp) を使用して書き込みの前に温度引数に結果を伝えなければなりません。詳細は、<http://www.cypressmicro.com> の PSoC Application Support の Application Notes で Flash APIs Application Note AN2015 を参照してください。

AC Electrical Characteristics (交流電氣的特性)

AC Chip-Level Specifications (交流チップレベル仕様)

AC Chip-Level Specifications (交流チップレベル仕様)

記号	説明	Min	Typ	Max	単位	注記
F _{IMO}	内部主発振器周波数	23.4	24	24.6 ^{a,c}	MHz	トリム。工場出荷トリム値。
F _{CPU1}	CPU 周波数 (5 V 公称)	0.93	24	24.6 ^{a,b}	MHz	
F _{CPU2}	CPU 周波数 (3.3V 公称)	0.93	12	12.3 ^{b,c}	MHz	
F _{48M}	デジタル PSoC ブロック周波数	0	48	49.2 ^{a,b,d}	MHz	下記の AC Digital Block Specifications (交流デジタルブロック仕様) を参照。
F _{24M}	デジタル PSoC ブロック周波数	0	24	24.6 ^{b,e,d}	MHz	
F _{32K1}	内部低速発振器周波数	15	32	64	kHz	
F _{32K2}	外部水晶子発振器	-	32.768	-	kHz	精度はコンデンサおよび水晶子依存です。50% デューティサイクル。
F _{PLL}	PLL 周波数	-	23.986	-	MHz	水晶子周波数の倍数 (x732)。
Jitter24M2	24 MHz 周期ジッタ (PLL)	-	-	-	ns	
T _{PLLSLEW}	PLL ロック時間	0.5	-	10	ms	
T _{PLLSLEWSLOW}	低利得設定用 PLL ロック時間	0.5	-	50	ms	
T _{OS}	1% の外部水晶子発振器スタートアップ	-	1700	2620	ms	
T _{OSACC}	100 ppm の外部水晶子発振器スタートアップ	-	2800	3800 ^f	ms	
Jitter32k	32 kHz 周期ジッタ	-	-	-	ns	
T _{XRST}	外部リセットパルス幅	10	-	-	μs	
DC24M	24 MHz デューティサイクル	40	50	60	%	
Step24M	24 MHz トリムステップサイズ	-	50	-	kHz	
F _{out48M}	48 MHz 出力周波数	46.8	48.0	49.2 ^{a,c}	MHz	トリム。工場出荷トリム値。
Jitter24M1	24 MHz 周期ジッタ (IMO)	-	-	-	ns	
F _{MAX}	列入力または列出力上の信号の最大周波数。	-	-	12	MHz	
T _{RAMP}	供給ランプ時間	0	-	-	μs	

a. 4.75V < V_{dd} < 5.25V.

b. V_{dd} 範囲用に適切にトリムされた内部主発振器から得られた精度。

c. 3.0V < V_{dd} < 3.6V.

d. ユーザモジュールの最大周波数に関する詳細は、Application Note AN2012 "Adjusting PSoC Microcontroller Trims for Dual Voltage-Range Operation" を参照してください。

e. 3.0V < 5.25V.

f. 水晶子発振器周波数は、T_{OSACC} 期間の終了までの最後の値の 100 ppm 内です。正確な操作は、適切にロードされた 1 uW 最大駆動レベル 32.768 kHz 水晶子を仮定します。3.0V ≤ V_{dd} ≤ 5.5V, -40° C ≤ T_A ≤ 85° C.

AC General Purpose IO (GPIO) Specifications (交流汎用 IO (GPIO) 仕様)

指定されている場合を除いて、V_{dd} = 3.0 ~ 5.5 および Temp = -40° C ~ 85° C。

AC GPIO Specifications (交流 GPIO 仕様)

記号	説明	Min	Typ	Max	単位	注記
F _{GPIO}	GPIO 操作周波数	0	-	12	MHz	
T _{RiseF}	立ち上がり時間、Normal Strong モード、Cload = 50 pF	3	-	18	ns	V _{dd} = 4.5 ~ 5.5V, 10% - 90%
T _{FallF}	立ち下がり時間、Normal Strong モード、Cload = 50 pF	2	-	18	ns	V _{dd} = 4.5 ~ 5.5V, 10% - 90%
T _{RiseS}	立ち上がり時間、Slow Strong モード、Cload = 50 pF	10	27	-	ns	V _{dd} = 3 ~ 5.5V, 10% - 90%
T _{FallS}	立ち下がり時間、Slow Strong モード、Cload = 50 pF	10	22	-	ns	V _{dd} = 3 ~ 5.5V, 10% - 90%

AC Operational Amplifier Specifications (交流オペアンプ仕様)

次の表は、 $5V \pm 0.25V$ および $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 、 $3.3V \pm 0.3V$ および $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ の電圧および温度に対して、それぞれ保証される最大および最小仕様の一覧です。典型的なパラメータは設計ガイダンス用に提供されています。典型的なパラメータは $25^{\circ}C$ で適用されます。セトリングタイム、スルーレート、および利得帯域幅は、アナログ連続時間 PSoC ブロックに基づきます。

5V AC Operational Amplifier Specifications (5V 交流オペアンプ仕様)

記号	説明	Min	Typ	Max	単位	注記
T _{ROA}	ΔV の 80% から ΔV の 0.1% までの立ち上がりセトリングタイム (10 pF 負荷、単一利得)					低電力および高オペアンプバイアス、中電力、中電力および高オペアンプバイアスレベルの仕様最大は、低および高電力レベル間です。
	電力 = 低	–	–	3.9	μs	
	電力 = 低、オペアンプバイアス = 高	–	–		μs	
	電力 = 中	–	–		μs	
	電力 = 中、オペアンプバイアス = 高	–	–	0.72	μs	
	電力 = 高	–	–		μs	
T _{SOA}	ΔV の 20% から ΔV の 0.1% までの立ち下がりセトリングタイム (10 pF 負荷、単一利得)					低電力および高オペアンプバイアス、中電力、中電力および高オペアンプバイアスレベルの仕様最大は、低および高電力レベル間です。
	電力 = 低	–	–	5.48	μs	
	電力 = 低、オペアンプバイアス = 高	–	–		μs	
	電力 = 中	–	–		μs	
	電力 = 中、オペアンプバイアス = 高	–	–	0.72	μs	
	電力 = 高	–	–		μs	
SR _{ROA}	立ち上がりスルーレート (20% ~ 80%)(10 pF 負荷、単一利得)					低電力および高オペアンプバイアス、中電力、中電力および高オペアンプバイアスレベルの仕様最小は、低および高電力レベル間です。
	電力 = 低	0.3	–		V/ μs	
	電力 = 低、オペアンプバイアス = 高				V/ μs	
	電力 = 中				V/ μs	
	電力 = 中、オペアンプバイアス = 高	2.5	–		V/ μs	
	電力 = 高				V/ μs	
SR _{FOA}	立ち下がりスルーレート (80% ~ 20%)(10 pF 負荷、単一利得)					低電力および高オペアンプバイアス、中電力、中電力および高オペアンプバイアスレベルの仕様最小は、低および高電力レベル間です。
	電力 = 低	0.26	–		V/ μs	
	電力 = 低、オペアンプバイアス = 高				V/ μs	
	電力 = 中				V/ μs	
	電力 = 中、オペアンプバイアス = 高	2.2	–		V/ μs	
	電力 = 高				V/ μs	
BW _{OA}	利得帯域幅積					低電力および高オペアンプバイアス、中電力、中電力および高オペアンプバイアスレベルの仕様最小は、低および高電力レベル間です。
	電力 = 低	0.75	–		MHz	
	電力 = 低、オペアンプバイアス = 高				MHz	
	電力 = 中				MHz	
	電力 = 中、オペアンプバイアス = 高	4.5	–		MHz	
	電力 = 高				MHz	
E _{NOA}	1 kHz 時の雑音	–	85	180	nV/rt-Hz	
		–	80	160	nV/rt-Hz	
–	100 Hz 時の歪み率	–	–	-86 dB		高電力。V _{dd} /2 上に中心のある 2.6V ピークツーピーク正弦波

3.3V AC Operational Amplifier Specifications (3.3V 交流オペアンプ仕様)

記号	説明	Min	Typ	Max	単位	注記
T _{ROA}	ΔV の 80% から ΔV の 0.1% までの立ち上がりセトリングタイム (10 pF 負荷、単一利得)					低電力および高オペアンプバイアス、中電力、中電力および高オペアンプバイアスレベルの仕様最大は、低および高電力レベル間です。
	電力 = 低	—	—	3.92	μs	
	電力 = 低、オペアンプバイアス = 高	—	—		μs	
	電力 = 中	—	—		μs	
	電力 = 中、オペアンプバイアス = 高	—	—	0.72	μs	
	電力 = 高 (3.3 ボルト高バイアス操作は未サポート)	—	—	—		
T _{SOA}	ΔV の 20% から ΔV の 0.1% までの立ち下がりセトリングタイム (10 pF 負荷、単一利得)					低電力および高オペアンプバイアス、中電力、中電力および高オペアンプバイアスレベルの仕様最大は、低および高電力レベル間です。
	電力 = 低	—	—	5.41	μs	
	電力 = 低、オペアンプバイアス = 高	—	—		μs	
	電力 = 中	—	—		μs	
	電力 = 中、オペアンプバイアス = 高	—	—	0.72	μs	
	電力 = 高 (3.3 ボルト高バイアス操作は未サポート)	—	—	—		
SR _{ROA}	立ち上がりスルーレート (20% ~ 80%)(10 pF 負荷、単一利得)	0.31	—		V/ μs	低電力および高オペアンプバイアス、中電力、中電力および高オペアンプバイアスレベルの仕様最小は、低および高電力レベル間です。
	電力 = 低				V/ μs	
	電力 = 低、オペアンプバイアス = 高				V/ μs	
	電力 = 中				V/ μs	
	電力 = 中、オペアンプバイアス = 高	2.7	—		V/ μs	
	電力 = 高 (3.3 ボルト高バイアス操作は未サポート)	—	—	—		
SR _{FOA}	立ち下がりスルーレート (80% ~ 20%)(10 pF 負荷、単一利得)	0.24	—		V/ μs	低電力および高オペアンプバイアス、中電力、中電力および高オペアンプバイアスレベルの仕様最小は、低および高電力レベル間です。
	電力 = 低				V/ μs	
	電力 = 低、オペアンプバイアス = 高				V/ μs	
	電力 = 中				V/ μs	
	電力 = 中、オペアンプバイアス = 高	1.8	—		V/ μs	
	電力 = 高 (3.3 ボルト高バイアス操作は未サポート)	—	—	—	V/ μs	
BW _{OA}	利得帯域幅積					低電力および高オペアンプバイアス、中電力、中電力および高オペアンプバイアスレベルの仕様最小は、低および高電力レベル間です。
	電力 = 低	0.67	—		MHz	
	電力 = 低、オペアンプバイアス = 高				MHz	
	電力 = 中				MHz	
	電力 = 中、オペアンプバイアス = 高	4.0	—		MHz	
	電力 = 高 (3.3 ボルト高バイアス操作は未サポート)	—	—	—		
E _{NOA}	1 kHz 時の雑音 (Turbo Medium)		85	180	nV/rt-Hz	

AC Digital Block Specifications (交流デジタルブロック仕様)

AC Digital Block Specifications (交流デジタルブロック仕様)

機能	説明	Min	Typ	Max	単位	注記
Timer	キャプチャパルス幅	50 ^a	–	–	ns	
	最大周波数、キャプチャなし	–	–	48	MHz	4.75V < Vdd < 5.25V.
	最大周波数、キャプチャあり	–	–	24	MHz	
カウンタ	イネーブルパルス幅	50 ^a	–	–	ns	
	最大周波数、イネーブル入力なし	–	–	48	MHz	4.75V < Vdd < 5.25V.
	最大周波数、イネーブル入力あり	–	–	24	MHz	
不感帯	停止パルス幅:					
	非同期リスタートモード	20	–	–	ns	
	同期リスタートモード	50 ^a	–	–	ns	
	無効モード	50 ^a	–	–	ns	
	最大周波数	–	–	48	MHz	4.75V < Vdd < 5.25V.
CRCPRS (PRS Mode)	最大入カクロック周波数	–	–	48	MHz	4.75V < Vdd < 5.25V.
CRCPRS (CRC Mode)	最大入カクロック周波数	–	–	24	MHz	
SPIM	最大入カクロック周波数	–	–	8	MHz	
SPIS	最大入カクロック周波数	–	–	4	ns	
	転送間にネゲートにされた SS_ の幅	50 ^a	–	–	ns	
トランスミッタ	最大入カクロック周波数	–	–	16	MHz	
レシーバ	最大入カクロック周波数	–	16	48	MHz	4.75V < Vdd < 5.25V.

a. 50 ns 最小入力パルス幅は、24 MHz (42 ns 公称周期) で実行する入カシンクロナイザに基づきます。

AC Analog Output Buffer Specifications (交流アナログ出力バッファ仕様)

次の表は、5V ± 5% および -40° C ≤ T_A ≤ 85° C の電圧および温度に対して保証される最大および最小仕様の一覧です。典型的なパラメータは設計ガイダンス用に提供されています。典型的なパラメータは 5V および 25° C で適用されます。

5V AC Analog Output Buffer Specifications (5V 交流アナログ出力バッファ仕様)

記号	説明	Min	Typ	Max	単位	注記
T _{ROB}	0.1% までの立ち上がりセトリングタイム、1V ステップ、100pF 負荷 電力 = 低 電力 = 高	-	-	2.5	μs	
		-	-	2.5	μs	
T _{SOB}	0.1% までの立ち下がりセトリングタイム、1V ステップ、100pF 負荷 電力 = 低 電力 = 高	-	-	2.2	μs	
		-	-	2.2	μs	
SR _{ROB}	立ち上がりスルーレート (20% ~ 80%)、1V ステップ、100pF 負荷 電力 = 低 電力 = 高	.9	-	-	V/μs	
		.9	-	-	V/μs	
SR _{FOB}	立ち下がりスルーレート (80% ~ 20%)、1V ステップ、100pF 負荷 電力 = 低 電力 = 高	.9	-	-	V/μs	
		.9	-	-	V/μs	
BW _{OB}	小信号帯域幅、20mVpp、3dB BW、100pF 負荷 電力 = 低 電力 = 高	1.0	-	-	MHz	
		1.0	-	-	MHz	
BW _{OB}	大信号帯域幅、1Vpp、3dB BW、100pF 負荷 電力 = 低 電力 = 高	590	-	-	kHz	
		590	-	-	kHz	

3.3V AC Analog Output Buffer Specifications (3.3V 交流アナログ出力バッファ仕様)

記号	説明	Min	Typ	Max	単位	注記
T _{ROB}	0.1% までの立ち上がりセトリングタイム、1V ステップ、100pF 負荷 電力 = 低 電力 = 高	-	-	3.8	μs	
		-	-	3.8	μs	
T _{SOB}	0.1% までの立ち下がりセトリングタイム、1V ステップ、100pF 負荷 電力 = 低 電力 = 高	-	-	2.6	μs	
		-	-	2.6	μs	
SR _{ROB}	立ち上がりスルーレート (20% ~ 80%)、1V ステップ、100pF 負荷 電力 = 低 電力 = 高	.5	-	-	V/μs	
		.5	-	-	V/μs	
SR _{FOB}	立ち下がりスルーレート (80% ~ 20%)、1V ステップ、100pF 負荷 電力 = 低 電力 = 高	.5	-	-	V/μs	
		.5	-	-	V/μs	
BW _{OB}	小信号帯域幅、20mVpp、3dB BW、100pF 負荷 電力 = 低 電力 = 高	.85	-	-	MHz	
		.85	-	-	MHz	
BW _{OB}	大信号帯域幅、1Vpp、3dB BW、100pF 負荷 電力 = 低 電力 = 高	335	-	-	kHz	
		335	-	-	kHz	

AC External Clock Specifications (交流外部クロック仕様)

5V AC External Clock Specifications (5V 交流外部クロック仕様)

記号	説明	Min	Typ	Max	単位	注記
F _{OSCEXT}	周波数	0	–	24.24	MHz	
–	高周期	20.6	–	–	ns	
–	低周期	20.6	–	–	ns	
–	切り替え用電力増加 IMO	150	–	–	μs	

3.3V AC External Clock Specifications (3.3V 交流外部クロック仕様)

記号	説明	Min	Typ	Max	単位	注記
F _{OSCEXT}	CPU クロックを 1 で割った周波数 ^a	0	–	12	MHz	
F _{OSCEXT}	CPU クロックを 2 またはそれ以上で割った周波数 ^b	0	–	24	MHz	
–	CPU クロックを 1 で割った高周期	41.7	–	–	ns	
–	CPU クロックを 1 で割った低周期	41.7	–	–	ns	
–	切り替え用電力増加 IMO	150	–	–	μs	

- a. 最大 CPU 周波数は 3.3V で 12 MHz です。CPU クロックディバイダを 1 に設定すると、外部クロックは最大周波数およびデューティサイクル要求を満たさなければなりません。
- b. 外部クロックの周波数が 12 MHz よりも高い場合、CPU クロックディバイダは 2 またはそれ以上に設定しなければなりません。この場合、CPU クロックディバイダは 50% のデューティサイクル要求が満たされることを保証します。

AC Programming Specifications (交流プログラミング仕様)

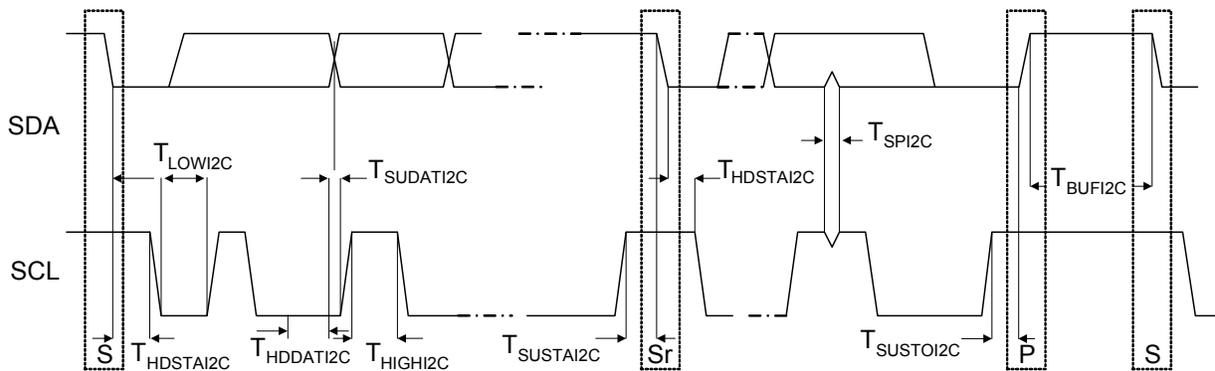
AC Programming Specifications (交流プログラミング仕様)

記号	説明	Min	Typ	Max	単位	注記
T _{RSCLK}	SCLK の立ち上がり時間	1	–	20	ns	
T _{FSCLK}	SCLK の立ち下がり時間	1	–	20	ns	
T _{SSCLK}	SCLK の立ち下がりエッジへのデータセットアップ時間	40	–	–	ns	
T _{HSCLK}	SCLK の立ち下がりエッジからのデータ保持時間	40	–	–	ns	
F _{SCLK}	SCLK の周波数	0	–	8	MHz	
T _{ERASEB}	フラッシュ消去時間 (ブロック)	–	10	–	ms	
T _{WRITE}	フラッシュブロック書き込み時間	–	10	–	ms	
T _{DSCLK}	SCLK の立ち下がりエッジからのデータ出力遅延	–	–	45	ns	

AC I²C Specifications (交流 I2C 仕様)AC Characteristics of the I²C SDA and SCL Pins (I2C SDA および SCL ピンの交流仕様)

記号	説明	Standard モード		Fast モード		単位	注記
		Min	Max	Min	Max		
F _{SCL I2C}	SCL クロック周波数	0	100	0	400	kHz	
T _{HDSTAI2C}	保持時間 (再送) START 条件。この期間の後、最初のクロックパルスが生成されます。	4.0	–	0.6	–	μs	
T _{LOWI2C}	SCL クロックの LOW 周期	4.7	–	1.3	–	μs	
T _{HIGHI2C}	SCL クロックの HIGH 周期	4.0	–	0.6	–	μs	
T _{SUSTAI2C}	再送 START 条件のセットアップ時間	4.7	–	0.6	–	μs	
T _{HDDATI2C}	データ保持時間	0	–	0	–	μs	
T _{SUDATI2C}	データセットアップ時間	250	–	100 ^a	–	ns	
T _{SUSTOI2C}	STOP 条件のセットアップ時間	4.0	–	0.6	–	μs	
T _{BUFI2C}	STOP 条件と START 条件間のバスフリー時間	4.7	–	1.3	–	μs	
T _{SPI2C}	入力フィルタによって抑制されたスパイクのパルス幅。	–	–	0	50	ns	

- a. Fast-モード I²C-バス デバイスは Standard-モード I²C-バスシステムで使用することができますが、要件 t_{SU;DAT} ≥ 250 ns を満たさなければなりません。デバイスが SCL 信号の LOW 周期を延長しない場合は、自動的にこうなります。デバイスが SCL 信号の LOW 周期を延長した場合、SCL ラインがリリースされる前に (Standard-モード I²C-バス仕様に従って) SDL ライン t_{max} + t_{SU;DAT} = 1000 + 250 = 1250 ns に次のデータビットを出力します。

I²C バス上の F/S-モードのタイミングの定義

SECTION H REVISION HISTORY (改訂履歴)



Document Revision History (文書改訂履歴)

文書タイトル:		CY8C27143, CY8C27243, CY8C27443, CY8C27543, CY8C27643 PSoC™ Mixed Signal Array Final Data Sheet		
文書番号:		38-12012		
改訂	ECN #	変更日	変更対象	変更内容
**	127087	03/07/01	New Silicon.	新規文書 (改訂 **).
*A	128780	03/07/29	Engineering and NWJ	新規電氣的仕様の追加、Core Architecture (コア・アーキテクチャ) リンクの修正、一部のテキスト、表、図、フォーマットの修正。
*B	128992	03/08/14	NWJ	割り込みコントローラ表の修正、Electrical Specifications (電氣的仕様) セクションおよび Register (レジスタ) 章の修正。
*C	129283	03/08/28	NWJ	Electrical Specifications (電氣的仕様) セクションの大幅な変更。
*D	129442	03/09/09	NWJ	Electrical Specifications (電氣的仕様) セクションの変更。20/28-Lead SOIC パッケージとピン出力の追加。
配布先:		外部/パブリック		
告示:		なし		

